

	製品仕様書 SPECIFICATIONS	決裁 APPROVED BY	Nov-2-2015 矢野 <i>K. Yam</i>
		検認 CHECKED BY	Nov-2-2015 板垣 <i>T. Itagaki</i>
	担当 ISSUED BY	Nov-2-2015 柴田 <i>K. Shibata</i>	
	制定/ISSUED ON		Nov 2, 2015

<p>1. 機能 FUNCTION</p> <p>1-1. 特長 FEATURES</p> <p>2. パッケージ PACKAGE</p> <p>3. 付帯資料 ACCOMPANYING MATERIAL</p> <p>3-1. 付帯事項 NOTES 取り扱い上の注意 ATTENTION</p> <p>3-2. 梱包仕様 PACKING SPECIFICATIONS</p> <p>3-3. パッケージ実装条件 CONDITION FOR PACKAGE MOUNTING</p>	<ul style="list-style-type: none"> ・ リチウムイオン電池 3~5直保護 Li-ion Battery protection IC (For 3~5 cell in series) ・ 過充電、セルバランス、過放電、過電流検出回路内蔵 Overcharge detection voltage circuit included ・ 断線検出回路内蔵 Disconnection detect circuit included ・ レギュレータ機能内蔵 Regulator function included ・ VSOP-24A ・ NOTES — Ver. 001 ・ #59 — 6756 テーピング Taping B収納 B Housing ・ M — VSOP-24A
---	---

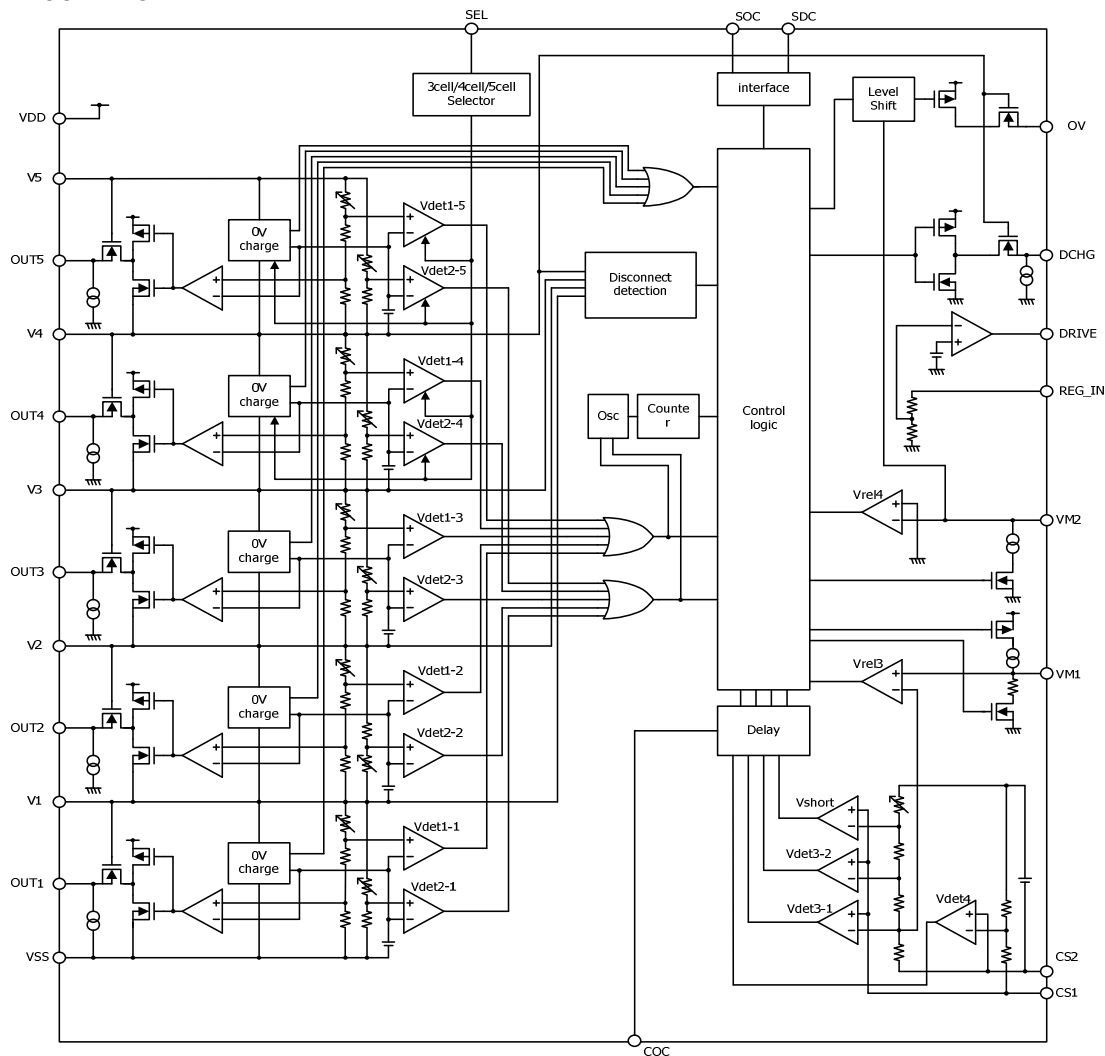
輸出規制品 /EXPORT CONTROL	No	開発区分 / DEVELOPMENT CLASS		3	
		得意先コード / USER CODE			
RoHS	対応済み (Compliance)	G	機種コード / MODEL CODE		0ABN
			記号 SYMBOL	部門コード DIVISION CODE	タイプコード / TYPE CODE
ハロゲン/HALOGEN	ハロゲンフリー/Halogen-free		R 59	AR39	△ 0

来歴
HISTORY

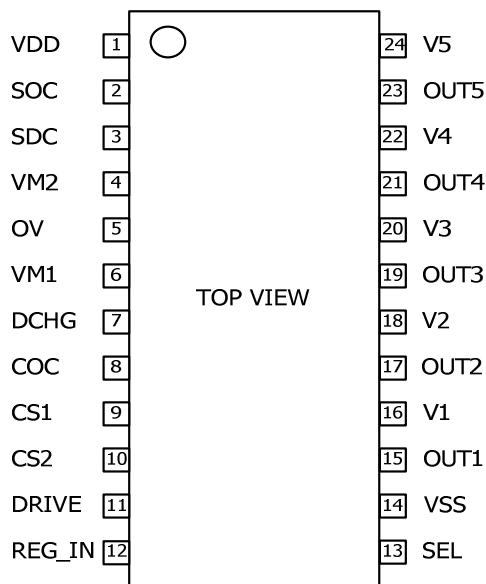
日付 DATE	HISTORY		変更内容 CHANGED CONTENT	担当 CHARGE
Nov 02, 2015	REV.	△ 0	新規作成。 New making	柴田

MM3575A02

4. ブロック図
BLOCK DIAGRAM



5. ピン配置
PIN CONFIGURATION



MM3575A00

6. 端子説明

TERMINAL EXPLANATIONS

端子No. PIN No.	端子名 PIN NAME	入出力 INPUT / OUTPUT	説明 PIN DESCRIPTION
1	VDD	INPUT	ICの電源入力端子。 The input terminal of the power supply of IC.
2	SOC	INPUT	過充電検出出力制御端子。 The control terminal of output over charge detection. ・ $I_{SOC} > I_{SOCH}$ OV: 通常動作(Normal mode) ・ $I_{SOC} < I_{SOCL}$ OV: 放電禁止(charge prohibition)="Hi-impedance"
3	SDC	INPUT	過放電検出出力制御端子。 The control terminal of output over discharge detection. ・ $I_{SDC} > I_{SDCH}$ DCHG: 通常動作(Normal mode) ・ $I_{SDC} < I_{SDCL}$ DCHG: 放電禁止(discharge prohibition)="Low"
4	VM2	INPUT	充電器マイナス電位入力端子。充電器の接続状態を検出します。 Input terminal connected to charger negative voltage. Detected charger connection.
5	OV	OUTPUT	充電制御出力端子。Pch OPEN ドレイン出力。 Charge control output terminal. Output type is Pch open drain. ・通常時(Normal mode) : "High" ・過充電時(Overcharge mode) : "Hi impedance"
6	VM1	INPUT	放電電位入力端子。負荷の接続状態を検出します。 Input terminal connected to discharge voltage. Detected load connection.
7	DCHG	OUTPUT	放電制御出力端子。V4とVSSの間のCMOS出力。 Discharge control output terminal. Output type is CMOS. ・通常時(Normal mode) : "High" ・過放電時(Overdischarge mode) : "Low"
8	COC	INPUT	放電過電流、充電過電流検出/復帰の遅延時間設定端子です。 VDD端子-COC端子間にコンデンサを接続する事により 遅延時間を設定することができます。 A terminal which sets delay time of discharging overcurrent and charging overcurrent detection/release. It is able to set delay time by connecting a condenser between VDD and COC terminals.
9	CS1	INPUT	過電流検出端子です。CS1-CS2間に接続した抵抗で過電流を検出します。検出すると、DCHG端子から"L"レベルを出力し、大電流が流れることを防ぎます。 Input of overcurrent detection. Detected overcurrent by sense resistor between CS1 pin and CS2 pin. And then the DCHG terminal outputs low level, and it protects from large current discharging.
10	CS2	INPUT	過電流検出回路の基準端子です。 Common terminal of overcurrent detection circuit.
11	DRIVE	OUTPUT	レギュレータ用FETのドライブ端子。 The drive terminal of FET for regulator.
12	REG_IN	INPUT	レギュレータ電圧のインプット端子。 The input terminal of regulator voltage.

MM3575A02

MITSUMI ELECTRIC CO.,LTD.

端子No. PIN No.	端子名 PIN NAME	入出力 INPUT / OUTPUT	説明 PIN DESCRIPTION	
13	SEL	INPUT	3,4,5直の切り替え端子。 This pin is for changing function for 3cell in series or 4cell in series , 5cell in series.	
			入力電圧 / Input voltage	
			VSS	5直監視 5Cell in series
			V2	4直監視 (V5-V4端子間ショート) 4Cell in series (Connect V5 and V4 terminal)
14	VSS	INPUT	VDD	3直監視 (V5-V4-V3端子間ショート) 3Cell in series (Connect V5,V4 and V3 terminal)
			ICのグラウンド入力端子。V1セルのローサイド電圧の入力端子。 The input terminal of the negative voltage of V1 cell.	
			The input terminal of the ground of IC.	
			V1セルのセルバランス制御端子 V1 cell balance control output terminal. Output type is CMOS. ・通常時(Normal mode) : "Low" ・検出時(Detect mode) : "High"	
15	OUT1	OUTPUT	V1セルのハイサイド電圧及びV2セルのローサイド電圧の入力端子。 The input terminal of the positive voltage of V1 cell, and the negative voltage of V2 cell .	
16	V1	INPUT	V2セルのセルバランス制御端子 V2 cell balance control output terminal. Output type is CMOS. ・通常時(Normal mode) : "Low" ・検出時(Detect mode) : "High"	
17	OUT2	OUTPUT	V2セルのハイサイド電圧及びV3セルのローサイド電圧の入力端子。 The input terminal of the positive voltage of V2 cell, and the negative voltage of V3 cell .	
18	V2	INPUT	V3セルのセルバランス制御端子 V3 cell balance control output terminal. Output type is CMOS. ・通常時(Normal mode) : "Low" ・検出時(Detect mode) : "High"	
19	OUT3	OUTPUT	V3セルのハイサイド電圧及びV4セルのローサイド電圧の入力端子。 The input terminal of the positive voltage of V3 cell, and the negative voltage of V4 cell .	
20	V3	INPUT	V4セルのセルバランス制御端子 V4 cell balance control output terminal. Output type is CMOS. ・通常時(Normal mode) : "Low" ・検出時(Detect mode) : "High"	
21	OUT4	OUTPUT	V4セルのハイサイド電圧及びV5セルのローサイド電圧の入力端子。 The input terminal of the positive voltage of V4 cell, and the negative voltage of V5 cell .	
22	V4	INPUT	V5セルのセルバランス制御端子 V5 cell balance control output terminal. Output type is CMOS. ・通常時(Normal mode) : "Low" ・検出時(Detcet mode) : "High"	
23	OUT5	OUTPUT	V5セルのハイサイド電圧入力端子。 The input terminal of the positive voltage of V5 cell .	
24	V5	INPUT		

MM3575A02

MITSUMI ELECTRIC CO.,LTD.

7. 絶対最大定格

ABSOLUTE MAXIMUM RATINGS

(特記なき場合 Ta=25°C / Ta=25°C, unless otherwise specified)

項目 PARAMETER	記号 SYMBOL		単位 UNIT
保存温度 Storage temperature	T _{STG}	-55 ~ 125	°C
動作温度 Operating temperature	T _{OPR}	-55 ~ 125	°C
VDD端子印加電圧 VDD pin supply voltage	V _{VDDMAX}	V _{SS} -0.3 ~ V _{SS} +30	V
V5端子印加電圧 V5 pin supply voltage	V _{V5MAX}	V ₄ -0.3 ~ V _{DD} +0.3	V
セル電圧入力端子間電圧 Voltage between the input pins of voltage of battery	V _{cellMAX}	-0.3 ~ 10	V
OV端子・VM1端子・VM2端子 OV pin · VM1 pin · VM2 pin supply voltage	V _{OVMAX} V _{VM1MAX} V _{VM2MAX}	V _{DD} -30 ~ V _{DD} +0.3	V
DCHG端子・CS1端子・CS2端子印加電圧 DCHG pin · CS1pin · CS2 pin supply voltage	V _{DCHGMAX} V _{CS1MAX} V _{CS2MAX}	V _{SS} -0.3 ~ V _{DD} +0.3	V
OUT1端子・OUT2端子・OUT3端子・OUT4端子 ・OUT5端子印加電圧 OUT1 pin · OUT2 pin · OUT3 pin · OUT4pin ・OUT5 pin supply voltage	V _{OUT1MAX} V _{OUT2MAX} V _{OUT3MAX} V _{OUT4MAX} V _{OUT5MAX}	V _{n-1} -0.3 ~ V _n +0.3	V
SEL端子印加電圧 SEL pin supply voltage	V _{SELMAX}	V _{SS} -0.3 ~ V _{DD} +0.3	V
SDC・SOC端子印加電圧 SDC・SOCpin supply voltage	V _{SDCMAX} V _{SOCMAX}	V _{SS} -0.3 ~ V _{DD} +0.3	V
DRIVE・REG_IN端子印加電圧 DRIVE・REG_IN pin supply voltage	V _{DRIVEMAX} V _{REG_INMAX}	V _{SS} -0.3 ~ V _{DD} +0.3	V
許容損失 Power dissipation	Pd	300	mW

8. 推奨動作範囲

RECOMMENDED OPERATING CONDITIONS

項目 PARAMETER	記号 SYMBOL	定格 RATING	単位 UNIT
動作温度 Operating Temperature	T _{OPR}	-40 ~ 85	°C
電源電圧 Supply Voltage	V _{OPR}	V _{SS} +3.5 ~ V _{SS} +22.5	V

MM3575A02

9. 電気的特性
ELECTRICAL CHARACTERISTICS

(特記無き場合 / unless otherwise specified, Ta=+25°C, VDD=17.5V, VCELL=3.5V, RSDC=RSOC=1MΩ, ROV=3MΩ, CS2=SEL=VSS, VM1=VM2=0V, COC=0.001μF)

項目 PARAMETER	記号 SYMBOL	測定条件 TEST CONDITIONS	最小 MIN	標準 TYP	最大 MAX	単位 UNIT	*1
消費電流1 (VDD端子) Current consumption1 (VDD)	I _{DD1}	V _{CELL} = 4.3V	-	25.0	35.0	μA	1
消費電流2 (VDD端子) Current consumption2 (VDD)	I _{DD2}	V _{CELL} = 3.5V	-	20.0	30.0	μA	1
消費電流3 (VDD端子) Current consumption3 (VDD)	I _{DD3}	V _{CELL} = 2.0V	-	10.0	15.0	μA	1
パワーセーブ時消費電流1 (VDD端子) Power save 1 Current consumption (VDD)	I _{DD_PS1}	V _{CELL} = 3.5V SDC=SOC=OPEN	-	12.0	16.0	μA	1
パワーセーブ時消費電流2 (VDD端子) Power save 2 Current consumption (VDD)	I _{DD_PS2}	V _{CELL} = 3.5V SDC=SOC=VSS	-	4.0	6.0	μA	1
消費電流1 (V5端子) Current consumption1 (V5)	I _{V5_1}	V _{CELL} = 4.3V	-	4.0	6.0	μA	1
消費電流2 (V5端子) Current consumption2 (V5)	I _{V5_2}	V _{CELL} = 3.5V	-	2.0	4.0	μA	1
消費電流3 (V5端子) Current consumption3 (V5)	I _{V5_3}	V _{CELL} = 2.0V	-	1.0	1.5	μA	1
パワーセーブ時消費電流 (V5端子) Current consumption at power save (V5)	I _{V5_PS}	V _{CELL} = 3.5V SDC=SOC=VSS or SDC=SOC=OPEN	-	-	0.05	μA	1
V4端子入力電流 V4 pin input current	I _{V4}	V _{CELL} = 3.5V	-	-	1.00	μA	1
V3端子入力電流 V3 pin input current	I _{V3}	V _{CELL} = 3.5V	-	-	1.00	μA	1
V2端子入力電流 V2 pin input current	I _{V2}	V _{CELL} = 3.5V	-	-	1.00	μA	1
V1端子入力電流 V1 pin input current	I _{V1}	V _{CELL} = 3.5V	-	-	1.00	μA	1
過充電検出電圧 Overcharge detection voltage (n=1,2,3,4,5)	V _{DET1n}	Ta=0~+50°C V _{CELLn} = 4.1V→4.4V V _{CELL} = 4.1V	4.225	4.250	4.275	V	2
過充電復帰電圧 Overcharge release voltage (n=1,2,3,4,5)	V _{REL1n}	V _{CELLn} = 4.4V→4.1V V _{CELL} = 4.1V	4.125	4.175	4.225	V	2
過充電検出遅延時間 Overcharge detection delay time	t _{VDET1}	V _{CELL} = 4.1V→4.4V	0.75	1.00	1.25	sec	2
過充電復帰遅延時間 Overcharge release delay time	t _{VREL1}	V _{CELL} = 4.4V→4.1V	75.00	100.00	125.00	msec	2

*1 測定回路図の記号です。

The test circuit symbols.

*2 この項目は設計保証値です。

This parameter is guaranteed by design.

MM3575A02

(特記無き場合 / unless otherwise specified, Ta=+25°C, VDD=17.5V, VCELL=3.5V, RSDC=RSOC=1MΩ, ROV=3MΩ, CS2=SEL=VSS, VM1=VM2=0V, COC=0.001uF)

項目 PARAMETER	記号 SYMBOL	測定条件 TEST CONDITIONS	最小 MIN	標準 TYP	最大 MAX	単位 UNIT	*1
セルバランス検出電圧 Cell balance detection voltage (n=1,2,3,4,5)	V _{DET_CBN}	Ta=0~+50°C V _{CELLn} = 4.1V→4.4V V _{CELL} = 4.1V	4.150	4.180	4.210	V	2
セルバランスヒステリシス電圧 Cell balance hysteresis voltage (n=1,2,3,4,5) *2	V _{DET_CBN_HYS}	V _{CELLn} = 4.4V→4.1V V _{CELL} = 4.1V	-	0.007	0.015	V	2
セルバランス検出遅延時間 Cell balance detection delay time	t _{VDET_CB}	V _{CELL} = 4.1V→4.4V	0.192	0.256	0.320	sec	2
セルバランス復帰遅延時間 Cell balance release delay time	t _{VREL_CB}	V _{CELL} = 4.4V→4.1V	4.8	8.0	11.2	msec	2
過放電検出電圧 Overdischarge detection voltage (n=1,2,3,4,5)	V _{DET2n}	V _{CELLn} = 3.0V→2.6V V _{CELL} = 3.0V	2.720	2.800	2.880	V	2
過放電復帰電圧 Overdischarge release voltage (n=1,2,3,4,5)	V _{REL2n}	V _{CELLn} = 2.6V→3.0V V _{CELL} = 3.0V	2.800	2.900	3.000	V	2
過放電検出遅延時間 Overdischarge detection delay time	t _{VDET2}	V _{CELL} = 3.0V→2.6V	0.75	1.00	1.25	sec	2
過放電復帰遅延時間 Overdischarge release delay time	t _{VREL2}	V _{CELL} = 2.6V→3.0V	3.0	4.0	5.0	msec	2
放電過電流検出電圧1 Discharging overcurrent detection voltage1	V _{DET3-1}	CS1 = 0V→0.15V	0.085	0.100	0.115	V	3
放電過電流検出電圧2 Discharging overcurrent detection voltage2 *3	V _{DET3-2}	CS1 = 0V→0.25V	0.170	0.200	0.230	V	3
ショート検出電圧 Short detection voltage *3	V _{SHORT}	CS1 = 0V→1.0V	0.30	0.40	0.50	V	3
放電過電流復帰VM1端子電圧 VM1 pin discharging overcurrent release voltage	V _{REL3}	CS1 = 0V VM1 = 1.5V→0V	0.60	0.90	1.20	V	4
VM1端子プルダウン抵抗 VM1 pin pulldown resistance	R _{VM1PD1}	V _{CELL} = 3.5V VM1 = 1.0V CS1 = 0.3V	37.5	50.0	62.5	kΩ	4
放電過電流検出遅延時間1 Discharging overcurrent detection delay time1	t _{VDET3-1}	COC = 0.001uF CS1 = 0V→0.15V	7.0	10.0	13.0	msec	3
放電過電流検出検出時間2 Discharging overcurrent detection delay time2	t _{VDET3-2}	COC = 0.001uF CS1 = 0V→0.25V	1.4	2.0	2.6	msec	3
ショート検出遅延時間 Short detection delay time	t _{SHORT}	CS1 = 0V→1.0V	100	200	300	usec	3
放電過電流復帰遅延時間 Discharging overcurrent release delay time	t _{VREL3}	COC = 0.001uF VCS = 0V VM1 = 1.5V→0V	2.8	4.0	5.2	msec	4

*1 測定回路図の記号です。

The test circuit symbols.

*2 この項目は設計保証値です。

This parameter is guaranteed by design.

*3 V_{DET3-2}はV_{SHORT}より高くなることはありません。

"V_{DET3-2}" does not become higher than "V_{SHORT}".

MM3575A02

MITSUMI ELECTRIC CO.,LTD.

....

(特記無き場合 / unless otherwise specified, Ta=+25°C, VDD=17.5V, VCELL=3.5V, RSDC=RSOC=1MΩ, ROV=3MΩ, CS2=SEL=VSS, VM1=VM2=0V, COC=0.001μF)

項目 PARAMETER	記号 SYMBOL	測定条件 TEST CONDITIONS	最小 MIN	標準 TYP	最大 MAX	単位 UNIT	*1
充電過電流検出電圧 Charging overcurrent detection voltage	V _{DET4}	CS1 = 0V→-0.15V	-0.030	-0.020	-0.010	V	3
充電過電流復帰VM2端子電圧 VM2 pin charging overcurrent release voltage	V _{REL4}	CS1 = 0V VM2 = -1.0V→-0.5V	-0.100	0.000	0.100	V	5
充電過電流検出遅延時間 Charging overcurrent detection delay time	t _{VDET4}	COC = 0.001μF CS1 = 0V→-0.15V	716.8	1024.0	1331.2	msec	3
充電過電流復帰遅延時間 Charging overcurrent release delay time	t _{VREL4}	COC = 0.001μF CS1 = 0V VM2 = -1.0V→-0.5V	89.6	128.0	166.4	msec	5
V4端子断線検出電圧 V4 pin disconnect detection voltage	V _{DETS_V4}	V5-V3 = 7.0V V4-V3 = 3.5V→3.0V	TYP- 0.10	(V5-V3) ×0.45	TYP+ 0.10	V	6
V3端子断線検出電圧 V3 pin disconnect detection voltage	V _{DETS_V3}	V4-V2 = 7.0V V3-V2 = 3.5V→3.0V	TYP- 0.10	(V4-V2) ×0.45	TYP+ 0.10	V	7
V2端子断線検出電圧 V2 pin disconnect detection voltage	V _{DETS_V2}	V3-V1 = 7.0V V2-V1 = 3.5V→3.0V	TYP- 0.10	(V3-V1) ×0.45	TYP+ 0.10	V	8
V1端子断線検出電圧 V1 pin disconnect detection voltage	V _{DETS_V1}	V2 = 7.0V V1 = 3.5V→3.0V	TYP- 0.10	V2×0.45	TYP+ 0.10	V	9
断線検出遅延時間 Disconnect detection delay time	t _{VDETS}	V5-V3 = 7.0V V4-V3 = 3.5V→3.0V	150.0	200.0	250.0	msec	6
断線復帰遅延時間 Disconnect release delay time	t _{VRELS}	V5-V3 = 7.0V V4-V3 = 3.0V→3.5V	3072.0	4096.0	5120.0	msec	6
0V充電禁止最大電圧 Maximum forbidden voltage for 0V charging	V _{CELL0V}	V _{CELL} =2.0V→0.5V VM2=-2V	1.00	1.25	1.50	V	10

*1 測定回路図の記号です。

The test circuit symbols.

*2 この項目は設計保証値です。

This parameter is guaranteed by design.

MM3575A02

(特記無き場合 / unless otherwise specified, Ta=+25°C, VDD=17.5V, VCELL=3.5V, RSDC=RSOC=1MΩ, ROV=3MΩ, CS2=SEL=VSS, VM1=VM2=0V, COC=0.001μF)

項目 PARAMETER	記号 SYMBOL	測定条件 TEST CONDITIONS	最小 MIN	標準 TYP	最大 MAX	単位 UNIT	*1
DCHG端子出力電圧H DCHG pin output voltage H	V _{DCHG_H}	V _{CELL} = 3.5V VDD-V _{DCHG} I _{DCHG} = -20uA	V4-1.1	-	-	V	11
DCHG端子出力電圧L DCHG pin output voltage L	V _{DCHG_L}	V _{CELL} = 2.0 V V _{DCHG} -VSS I _{DCHG} = 20uA	-	-	0.5	V	11
OV端子出力電圧H OV pin output voltage H	V _{OV_H}	V _{CELL} = 3.5V VDD-V _{OV} I _{OV} = -20uA	V4-1.1	-	-	V	11
OV端子リーク電流 OV pin Leak current	I _{leakOV}	V _{CELL} > V _{DET1} OV = VSS	-0.1	-	-	uA	12
OUT5端子出力電圧H OUT5 pin output voltage H	V _{OUT5_H}	V _{CELL5} = 4.25V V _{CELL4,3,2,1} = 4.08V I _{OUT5} = -20uA	V5-1.2	-	V5	V	11
OUT5端子出力電圧L OUT5 pin output voltage L	V _{OUT5_L}	V _{CELL5} = 3.5 V I _{OUT5} = 20uA	V4	-	V4+0.5	V	11
OUT4端子出力電圧H OUT4 pin output voltage H	V _{OUT4_H}	V _{CELL4} = 4.25V V _{CELL5,3,2,1} = 4.08V I _{OUT4} = -20uA	V4-1.2	-	V4	V	11
OUT4端子出力電圧L OUT4 pin output voltage L	V _{OUT4_L}	V _{CELL4} = 3.5 V I _{OUT4} = 20uA	V3	-	V3+0.5	V	11
OUT3端子出力電圧H OUT3 pin output voltage H	V _{OUT3_H}	V _{CELL3} = 4.25V V _{CELL5,4,2,1} = 4.08V I _{OUT3} = -20uA	V3-1.2	-	V3	V	11
OUT3端子出力電圧L OUT3 pin output voltage L	V _{OUT3_L}	V _{CELL3} = 3.5 V I _{OUT3} = 20uA	V2	-	V2+0.5	V	11
OUT2端子出力電圧H OUT2 pin output voltage H	V _{OUT2_H}	V _{CELL2} = 4.25V V _{CELL5,4,3,1} = 4.08V I _{OUT2} = -20uA	V2-1.2	-	V2	V	11
OUT2端子出力電圧L OUT2 pin output voltage L	V _{OUT2_L}	V _{CELL2} = 3.5 V I _{OUT2} =20uA	V1	-	V1+0.5	V	11
OUT1端子出力電圧H OUT1 pin output voltage H	V _{OUT1_H}	V _{CELL1} = 4.25V V _{CELL5,4,3,2} = 4.08V I _{OUT1} = -20uA	V1-1.2	-	V1	V	11
OUT1端子出力電圧L OUT1 pin output voltage L	V _{OUT1_L}	V _{CELL1} = 3.5 V I _{OUT1} = 20uA	-	-	VSS+0.5	V	11
SEL端子電圧 L *2 SEL input voltage L	V _{SEL_L}	V _{CELL} = 3.5V	-	-	0.5	V	13
SEL端子電圧 M *2 SEL input voltage M	V _{SEL_M}	V _{CELL} = 3.5V	1.4	-	VDD-1.4	V	13
SEL端子電圧 H *2 SEL input voltage H	V _{SEL_H}	V _{CELL} = 3.5V	VDD-0.5	-	-	V	13
SEL端子電流 M SEL input current M	I _{SEL_M}	V _{CELL} = 3.5V SEL = V2	-	0.15	0.225	uA	13
SEL端子電流 H SEL input current H	I _{SEL_H}	V _{CELL} = 3.5V SEL = VDD	-	0.15	0.225	uA	13

*1 測定回路図の記号です。

The test circuit symbols.

*2 この項目は設計保証値です。

This parameter is guaranteed by design.

MM3575A02

MITSUMI ELECTRIC CO.,LTD.

....

(特記無き場合 / unless otherwise specified, Ta=+25°C, VDD=17.5V, VCELL=3.5V, RSDC=RSOC=1MΩ, CS2=SEL=VSS, VM1=VM2=0V, COC=0.001uF)

項目 PARAMETER	記号 SYMBOL	測定条件 TEST CONDITIONS	最小 MIN	標準 TYP	最大 MAX	単位 UNIT	*1
SDC端子検出電流 SDC detection current	I _{SDCL}	V _{CELL} = 3.5V	-	-	0.1	uA	14
SDC端子解除電流 SDC release current	I _{SDCH}	V _{CELL} = 3.5V	0.75	-	-	uA	14
SDC端子電流 SDC input current	I _{SDC}	V _{CELL} = 3.5V R _{SDC} =1MΩ	-	-	1.50	uA	1
SDC端子検出遅延時間 SDC detection delay time	t _{SDC_DET}	V _{CELL} = 3.5V I _{SDC} =3.0uA→0.01uA	1.5	2.0	2.5	ms	14
SDC端子解除遅延時間 SDC release delay time	t _{SDC_REL}	V _{CELL} = 3.5V I _{SDC} =0.01uA→3.0uA	0.75	1.00	1.25	ms	14
SOC端子検出電流 SOC detection current	I _{SOC L}	V _{CELL} = 3.5V	-	-	0.1	uA	14
SOC端子解除電流 SOC release current	I _{SOC H}	V _{CELL} = 3.5V	0.75	-	-	uA	14
SOC端子電流 SOC input current	I _{SOC}	V _{CELL} = 3.5V R _{SDC} =1MΩ	-	-	1.50	uA	1
SOC端子検出遅延時間 SOC detection delay time	t _{SOC_DET}	V _{CELL} = 3.5V I _{SOC} =3.0uA→0.01uA	1.5	2.0	2.5	ms	14
SOC端子解除遅延時間 SOC release delay time	t _{SOC_REL}	V _{CELL} = 3.5V I _{SOC} =0.01uA→3.0uA	0.75	1.00	1.25	ms	14
パワーセーブモード2検出電圧 Power save mode 2 detection voltage	V _{PS_DET2}	V _{CELL} = 3.5V SDC=SOC =OPEN→VSS R _{SDC} =R _{SOC} =0Ω	-	-	0.5	V	15
パワーセーブモード解除遅延時間 Power save mode release delay time	t _{PS_REL}	V _{CELL} = 3.5V I _{SDC} =I _{SOC} =0.01uA→3.0uA	3.0	4.0	5.0	ms	1
レギュレータ出力電圧 Regulator output voltage	V _{REG}	I _{REG} =100uA	4.750	5.000	5.250	V	16
DRIVE端子ソース電流 *2 DRIVE pin source current	I _{DRIVE_SO}	V _{CELL} = 3.5V REG_IN=V _{REG} -0.5V DRIVE =V _{REG} +0.5V	2.0	2.5	3.0	mA	17
DRIVE端子シンク電流 *2 DRIVE pin sink current	I _{DRIVE_SI}	V _{CELL} = 3.5V REG_IN=V _{REG} +0.5V DRIVE =V _{REG} -0.5V	1.0	6.0	8.0	uA	17

*1 測定回路図の記号です。

The test circuit symbols.

*2 この項目は設計保証値です。

This parameter is guaranteed by design.

MM3575A02

MITSUMI ELECTRIC CO.,LTD.

....

10-1. 測定方法 TEST METHOD

1. 消費電流、パワーセーブ時消費電流、端子電流（測定回路1）

Current consumption, current consumption at power save, and terminal current (measuring circuit 1)

1.1 消費電流1,2,3(VDD端子,V5端子)、V4~V1端子入力電流、SDC,SOC端子電流

Current consumption 1, 2, 3 (VDD pin and V5 pin), V4~V1 pin input current, SDC,SOC input current.

SW1をON、V5-V4,V4-V3,V3-V2,V2-V1,V1-VSS間電圧を4.3Vにし、過充電検出遅延時間経過後のVDD端子、V5端子に流れる電流が消費電流1(IDD1,IV5_1)となります。SW1をON、V5-V4,V4-V3,V3-V2,V2-V1,V1-VSS間電圧を3.5Vにした後のVDD端子、V5端子に流れる電流が消費電流2(IDD2,IV5_2)、V4,V3,V2,V1端子、SDC,SOC端子に流れる電流がV4~V1端子入力電流(IV4,IV3,IV2,IV1)、SDC,SOC端子電流(ISDC,ISOC)となります。SW1をON、V5-V4,V4-V3,V3-V2,V2-V1,V1-VSS間電圧を2.0Vにし、過放電検出遅延時間経過後のVDD端子、V5端子に流れる電流が消費電流3(IDD3,IV5_3)となります。

Turn SW1 on, and set the voltage between V5-V4,V4-V3,V3-V2,V2-V1 and V1-VSS to 4.3V. The current consumption 1 (IDD1,IV5_1) is the current which flows to VDD and V5 terminals after overcharge detection delay time. Turn SW1 on, and set the voltage between V5-V4,V4-V3,V3-V2,V2-V1 and V1-VSS to 3.5V. After that, the current consumption 2 (IDD2,IV5_2) is the current which flows to VDD and V5 pin, and V4~V1 input current (IV4,IV3,IV2,IV1) and SDC and SOC input current are the current which flows to V4,V3,V2,V1 pin and SDC, SOC pin.

Turn SW1 on, and set the voltage between V5-V4,V4-V3,V3-V2,V2-V1 and V1-VSS to 2.0V. The current consumption 3 (IDD3,IV5_3) is the current which flows to VDD and V5 pin after overdischarge detection delay time.

1.2 パワーセーブ時消費電流1,2(VDD端子,V5端子)、パワーセーブモード検出/解除遅延時間

Power save 1 and 2 current consumption (VDD and V5 pin), and power save mode detection/release delay time

SW1をON、V5-V4,V4-V3,V3-V2,V2-V1,V1-VSS間電圧を3.5Vにします。その後、SW1をOFFし、VDD,V5端子の消費電流が減少するまでの時間がパワーセーブモード検出遅延時間(tPS_DET)、減少した後の消費電流がパワーセーブ時消費電流1(IDD_PS1,IV5_PS)となります。(パワーセーブモード1)

その後、SW2をONしたときにVDD端子に流れる消費電流がパワーセーブ時消費電流2(IDD_PS2)となります。パワーセーブモード1の状態からSW1をONし、VDD,V5端子の消費電流が増加するまでの時間がパワーセーブモード解除遅延時間(tPS_REL)となります。

Turn SW1 on, and set the voltage between V5-V4,V4-V3,V3-V2,V2-V1 and V1-VSS to 3.5V. Then turn SW1 off, and the power save mode detection delay time (tPS_DET) is the time until current consumption of VDD and V5 pin decreases, and the power save 1 current consumption (IDD_PS1,IV5_PS) is current consumption after decreasing. (Power saving mode 1)

After that, the power save 2 current consumption (IDD_PS2) is the current consumption which flows to VDD pin when SW2 is turned on.

Turn SW1 on from power save mode 1, and the power save mode release delay time (tPS_REL) is the time until current consumption of VDD and V5 pin increases.

MM3575A02

2. 過充電検出/復帰電圧、セルバランス検出/ヒステリシス電圧、過放電検出/復帰電圧、過充電検出/復帰遅延時間、セルバランス検出/復帰遅延時間、過放電検出/復帰遅延時間 (測定回路2)
Overcharge detection/release voltage, cell balance detection/hysteresis voltage, overdischarge detection/release voltage, overcharge detection/release delay time, cell balance detection/release delay time, and overdischarge detection/release delay time (measuring circuit 2)

2.1 過充電検出/復帰電圧 (VDET1n, VREL1n)、過充電検出/復帰遅延時間 (tVDET1, tVREL1)

Overcharge detection/release voltage (VDET1n, VREL1n) and overcharge detection/release delay time (tVDET1, tVREL1)

V5-V4, V4-V3, V3-V2, V2-V1, V1-VSS間電圧を4.1Vにした状態からVn端子 (n=1,2,3,4,5) 電圧を上げて行き、OV端子がVSS+0.5V以下となったときのVn端子電圧が過充電検出電圧 (VDET1n)となります。その後、Vn端子電圧を下げて行き、OV端子がV4-1.1V以上となったときのVn端子電圧が過充電復帰電圧 (VREL1n)となります。

V5-V4, V4-V3, V3-V2, V2-V1, V1-VSS間電圧を4.1Vにした状態からV1-VSS間電圧を4.4Vに上げ、OV端子がVSS+0.5V以下となるまでの時間が過充電検出遅延時間 (tVDET1)となります。その後、V1端子電圧を4.1Vに下げて、OV端子がV4-1.1V以上となるまでの時間が過充電復帰遅延時間 (tVREL1)となります。

Increase Vn pin (n=1,2,3,4,5) voltage from the state which set voltage between V5-V4 and V4-V3 and V3-V2 and V2-V1 and V1-VSS to 4.1V, the overcharge detection voltage (VDET1n) is Vn pin voltage when OV pin is VSS+0.5V or less. Then decrease Vn pin , and the overcharge release voltage (VREL1n) is Vn pin voltage when OV pin is V4-1.1V or more.

Increase the voltage between V1-VSS to 4.4V from the state which set voltage between V5-V4 and V4-V3 and V3-V2 and V2-V1 and V1-VSS to 4.1V, the overcharge detection delay time (tVDET1) is the time until OV pin becomes VSS+0.5V or less.

Then decrease V1 pin to 4.1V, and the overcharge release delay time (tVREL1) is the time until OV pin becomes V4-1.1V or more.

2.2 セルバランス検出/ヒステリシス電圧 (VDET_CBn, VDET_CBn_HYS)、セルバランス検出/復帰遅延時間

Cell balance detection/hysteresis voltage (VDET_CBn, VDET_CBn_HYS) and cell balance detection/release delay time (tVDET_CB, tVREL_CB)

V5-V4, V4-V3, V3-V2, V2-V1, V1-VSS間電圧を4.1Vにした状態からVn端子 (n=1,2,3,4,5) 電圧を上げて行き、OUTn端子 (n=1,2,3,4,5)がVn-1.2V以上となったときのVn端子電圧がセルバランス検出電圧 (VDET_CBn)となります。その後、Vn端子を下げて行き、OUTn端子がVn+0.5V (OUT1端子の場合はVSS+0.5V) 以下となったときのVn端子電圧をセルバランス検出電圧から引いたものがセルバランスヒステリシス電圧 (VDET_CBn_HYS)となります。

V5-V4, V4-V3, V3-V2, V2-V1, V1-VSS間電圧を4.1Vにした状態からV1-VSS間電圧を4.4Vに上げ、OUT1端子がV1-1.2V以上となるまでの時間がセルバランス検出遅延時間 (tVDET_CB)となります。その後、V1端子を4.1Vに下げて、OV端子がOUT1端子がVSS+0.5V以下となるまでの時間がセルバランス復帰遅延時間 (tVREL_CB)となります。

Increase Vn pin (n=1,2,3,4,5) voltage from the state which set voltage between V5-V4 and V4-V3 and V3-V2 and V2-V1 and V1-VSS to 4.1V, the cell balance detection voltage (VDET_CBn) is Vn pin voltage when OUTn pin (n=1,2,3,4,5) is Vn-1.2V or more. Then decrease Vn pin, and the cell balance hysteresis voltage (VDET_CBn_HYS) is a value subtracting Vn pin voltage when OUTn pin is Vn+0.5V or less (VSS+0.5V or less for OUT1 pin) from the cell balance detection voltage.

Increase the voltage between V1-VSS to 4.4V from the state which set voltage between V5-V4 and V4-V3 and V3-V2 and V2-V1 and V1-VSS to 4.1V, the cell balance detection delay time (tVDET_CB) is the time until OUT1 pin becomes V1-1.2V or more. Then decrease V1 pin to 4.1V, and the cell balance release delay time (tVREL_CB) is the time until OUT1 pin becomes VSS+0.5V or less.

MM3575A02

2.3 過放電検出/復帰電圧 (VDET2n, VREL2n)、過放電検出/復帰遅延時間 (tVDET2, tVREL2)

Overdischarge detection/release voltage (VDET2n, VREL2n) and overdischarge detection/release delay time (tVDET2, tVREL2)

V5-V4, V4-V3, V3-V2, V2-V1, V1-VSS間電圧を2.9Vにした状態からVn端子 (n=1,2,3,4,5) 電圧を下げて行き、DCHG端子がVSS+0.5V以下となったときのVn端子電圧が過放電検出電圧 (VDET2n)となります。その後、測定対象外の端子間の電圧を3.0Vにした状態からVn端子を上げて行き、DCHG端子がV4-1.1V以上となったときのVn端子電圧が過放電復帰電圧 (VREL2n)となります。V5-V4, V4-V3, V3-V2, V2-V1, V1-VSS間電圧を2.9Vにした状態でV1-VSS間電圧を2.6Vに下げ、DCHG端子がVSS+0.5V以下となるまでの時間が過放電検出遅延時間 (tVDET2)となります。その後、V1端子を3.0Vに上げてDCHG端子がV4-1.1V以上となるまでの時間が過放電復帰遅延時間 (tVREL2)となります。

Decrease Vn pin (n=1,2,3,4,5) voltage from the state which set voltage between V5-V4 and V4-V3 and V3-V2 and V2-V1 and V1-VSS to 2.9V, the overdischarge detection voltage (VDET2n) is Vn pin voltage when DCHG pin becomes VSS+0.5V or less. Then increase Vn pin from the state which set voltage between the terminals which are not measured to 3.0V, and the overdischarge release voltage (VREL2n) is Vn pin voltage when DCHG pin becomes V4-1.1V or more.

Decrease the voltage between V1-VSS to 2.6V from the state which set voltage between V5-V4 and V4-V3 and V3-V2 and V2-V1 and V1-VSS to 2.9V, Overdischarge detection delay time (tVDET2) is the time until DCHG pin becomes VSS+0.5V or less. Then increase V1 pin to 3.0V, and the overdischarge release delay time (tVREL2) is the time until DCHG pin becomes V4-1.1V or more.

3. 放電過電流検出電圧1,2、ショート検出電圧、放電過電流検出1,2遅延時間、ショート検出遅延時間

充電過電流検出電圧、充電過電流検出遅延時間 (測定回路3)

Discharging overcurrent detection voltage 1,2, short detection voltage, discharging overcurrent detection 1,2 delay time, short detection delay time, charging overcurrent detection voltage, and charging overcurrent detection delay time (measuring circuit 3)

3.1 放電過電流検出電圧1,2 (V_{DET3-1}, V_{DET3-2})

Discharging overcurrent detection voltage 1,2 (VDET3-1, VDET3-2)

COC端子に容量を接続します。

V5-V4, V4-V3, V3-V2, V2-V1, V1-VSS間電圧を3.5Vにした状態からCS1端子電圧を上げて行き、DCHG端子がVSS+0.5V以下となったときのCS1端子電圧が放電過電流検出電圧1 (VDET3-1)となります。

V5-V4, V4-V3, V3-V2, V2-V1, V1-VSS間電圧を3.5Vにした状態で、CS1端子に放電過電流検出遅延時間2以上、放電過電流検出遅延時間1未満のパルス電圧を印加し、DCHG端子がVSS+0.5V以下となったときのCS1端子電圧が放電過電流検出電圧2 (VDET3-2)となります。

Connect capacitor to COC pin.

Increase CS1 pin voltage from the state which set voltage between V5-V4 and V4-V3 and V3-V2 and V2-V1 and V1-VSS to 3.5V, the discharging overcurrent detection voltage 1 (VDET3-1) is CS1 pin voltage when DCHG pin become VSS+0.5V or less.

Apply pulse voltage, which is the discharging overcurrent detection delay time 2 or more and less than the discharging overcurrent detection delay time 1, to CS1 pin, from the state which set voltage between V5-V4 and V4-V3 and V3-V2 and V2-V1 and V1-VSS to 3.5V, the discharging overcurrent detection voltage 2 (VDET3-2) is CS1 pin voltage when DCHG pin becomes VSS+0.5V or less.

MM3575A02

3. 放電過電流検出電圧1,2、ショート検出電圧、放電過電流検出1,2遅延時間、ショート検出遅延時間
 充電過電流検出電圧、充電過電流検出遅延時間 (測定回路3)
 Discharging overcurrent detection voltage 1,2, short detection voltage, discharging overcurrent detection 1,2
 delay time, short detection delay time, charging overcurrent detection voltage, and charging overcurrent
 detection delay time (measuring circuit 3)

3.2 ショート検出電圧 (VSHORT)、充電過電流検出電圧 (VDET4)

Short detection voltage (VSHORT) and charging overcurrent detection voltage (VDET4)

COC端子に容量を接続します。

SW3をONし、V5-V4,V4-V3,V3-V2,V2-V1,V1-VSS間電圧を3.5Vにした状態からCS1端子電圧を上げて行き、
 DCHG端子がVSS+0.5V以下となったときのCS1端子電圧がショート検出電圧 (VSHORT)となります。

SW3をOFFし、V5-V4,V4-V3,V3-V2,V2-V1,V1-VSS間電圧を3.5Vにした状態からCS1端子電圧を下げて行き、OV
 端子がVSS+0.5V以下となったときのCS1端子電圧が充電過電流検出電圧1 (VDET4)となります。

Connect capacitor to COC pin.

Turn SW3 on, and increase CS1 pin voltage from the state which set voltage between V5-V4 and V4-V3
 and V3-V2 and V2-V1 and V1-VSS to 3.5V, the short detection voltage (VSHORT) is CS1 pin voltage when
 DCHG pin becomes VSS+0.5V or less.

Decrease CS1 pin voltage from the state which set voltage between V5-V4 and V4-V3 and V3-V2 and V2-
 V1 and V1-VSS to 3.5V, the charging overcurrent detection voltage (VDET4) is CS1 pin voltage when OV
 pin becomes VSS+0.5V or less.

3.3 放電過電流検出遅延時間1,2、ショート検出遅延時間 (tVDET3-1,tVDET3-2,tVSHORT)、充電過電流検出遅延時
 間 (VDET4)

Discharging overcurrent detection delay time 1,2, short detection delay time (tVDET3-1,tVDET3-
 2,tVSHORT), and charging overcurrent detection delay time (VDET4)

COC端子に容量を接続します。

V5-V4,V4-V3,V3-V2,V2-V1,V1-VSS間電圧を3.5Vにした状態からCS1端子電圧を放電過電流検出電圧1以上に
 上げて、DCHG端子がVSS+0.5V以下となるまでの時間が放電過電流検出遅延時間1 (tVDET3-1)となります。

V5-V4,V4-V3,V3-V2,V2-V1,V1-VSS間電圧を3.5Vにした状態からCS1端子電圧を放電過電流検出電圧2以上に
 上げて、DCHG端子がVSS+0.5V以下となるまでの時間が放電過電流検出遅延時間2 (tVDET3-2)となります。

V5-V4,V4-V3,V3-V2,V2-V1,V1-VSS間電圧を3.5Vにした状態からCS1端子電圧をショート検出電圧以上に上げ
 て、DCHG端子がVSS+0.5V以下となるまでの時間がショート検出遅延時間1 (tVSHORT)となります。

V5-V4,V4-V3,V3-V2,V2-V1,V1-VSS間電圧を3.5Vにした状態からCS1端子電圧を充電過電流検出電圧以下に下
 げて、OV端子がVSS+0.5V以下となるまでの時間が充電過電流検出遅延時間 (tVDET4)となります。

※ショート検出遅延時間以外の遅延時間はCOC端子に接続する容量の値に比例します。

Connect capacitor to COC pin.

Increase CS1 pin voltage to discharging overcurrent detection voltage 1 or more, from the state which set
 voltage between V5-V4 and V4-V3 and V3-V2 and V2-V1 and V1-VSS to 3.5V, the discharging overcurrent
 detection delay time 1 (tVDET3-1) is the time until DCHG pin becomes VSS+0.5V or less.

Increase CS1 pin voltage to discharging overcurrent detection voltage 2 or more, from the state which set
 voltage between V5-V4 and V4-V3 and V3-V2 and V2-V1 and V1-VSS to 3.5V, the discharging overcurrent
 detection delay time 2 (tVDET3-2) is the time until DCHG pin becomes VSS+0.5 or less.

Increase CS1 pin voltage to short detection voltage or more, from the state which set voltage between V5-
 V4 and V4-V3 and V3-V2 and V2-V1 and V1-VSS to 3.5V, the short detection delay time 1 (tVSHORT) is
 the time until DCHG pin becomes VSS+0.5 or less.

Decrease CS1 pin voltage to charging overcurrent detection voltage or less, from the state which set
 voltage between V5-V4 and V4-V3 and V3-V2 and V2-V1 and V1-VSS to 3.5V, the charging overcurrent
 detection delay time (tVDET4) is the time until OV pin becomes VSS+0.5 or less.

* Delay time except short detection delay time is proportional to capacity value connected to COC pin.

MM3575A02

4. 放電過電流復帰VM1端子電圧、VM1端子プルダウン抵抗、放電過電流復帰遅延時間（測定回路4）
VM1 pin discharging overcurrent release voltage, VM1 pin pulldown resistance, and discharging overcurrent release delay time

COC端子に容量を接続します。

V5-V4,V4-V3,V3-V2,V2-V1,V1-VSS間電圧を3.5V、CS1端子電圧を0.25V、VM1端子を1.2Vに上げて放電過電流検出状態にします。この状態からVM1端子電圧を下げていき、DCHG端子がV4-1.1V以上となったときのVM1端子電圧が放電過電流復帰VM1端子電圧 (VREL3) となります。

V5-V4,V4-V3,V3-V2,V2-V1,V1-VSS間電圧を3.5V、CS1端子電圧を0.25Vに上げ、放電過電流検出遅延時間経過後VM1端子を1.2Vに上げて、VM1端子に流れる電流で1.2Vを割った値がVM1端子プルダウン抵抗 (RVM1PD1) となります。

V5-V4,V4-V3,V3-V2,V2-V1,V1-VSS間電圧を3.5V、CS1端子電圧を0.25Vに上げて放電過電流検出状態にします。その後VM1端子を1.2Vに上げて、CS1端子を0Vに下げます。この状態からVM1端子を0Vに下げて、DCHG端子がV4-1.1V以上となるまでの時間が放電過電流復帰遅延時間 (tVREL3) となります。

※遅延時間はCOC端子に接続する容量の値に比例します。

Connect capacitor to COC pin.

Increase CS1 pin voltage to 0.2V and VM1 pin voltage to 1.2V while maintaining voltage between V5-V4,V4-V3,V3-V2,V2-V1 and V1-VSS at 3.5V. From this condition, decrease VM1 pin voltage, and VM1 pin discharging overcurrent release voltage (VREL3) is VM1 pin voltage when DCHG pin becomes V4-1.1V or more.

Increase CS1 pin voltage to 0.2V while maintaining voltage between V5-V4,V4-V3,V3-V2,V2-V1 and V1-VSS at 3.5V, after discharging overcurrent detection delay time, increase VM1 pin to 1.0V. The VM1 pin pulldown resistance (RVM1PD1) is a value dividing 1.0V by the current which flows to VM1 pin.

Increase CS1 pin voltage to 0.2V to have a condition of discharging overcurrent detection, while maintaining voltage between V5-V4,V4-V3,V3-V2,V2-V1 and V1-VSS at 3.5V. Then increase VM1 pin to 1V and decrease CS1 pin to 0V. From this condition, decrease VM1 pin to 0V, and the discharging overcurrent release delay time (tVREL3) is the time until DCHG pin becomes V4-1.1V or more.

* Delay time is proportional to capacity value connected to COC pin.

MM3575A02

5. 充電過電流復帰VM2端子電圧、充電過電流復帰遅延時間、過放電復帰VM2端子電圧（測定回路5）
VM2 pin charging overcurrent release voltage, charging overcurrent release delay time, and VM2 pin overdischarge release voltage (measuring circuit 5)

COC端子に容量を接続します。

V5-V4,V4-V3,V3-V2,V2-V1,V1-VSS間電圧を3.5V、CS1端子電圧を0Vにした状態でVM2端子を下げて行き、OV端子がVSS+0.5V以下になった時のVM2端子電圧がVM2端子充電過電流検出電圧(VDET4_VM2)となります。この状態からVM2端子電圧を上げていき、OV端子がV4-1.1V以上となったときのVM2端子電圧が充電過電流復帰VM2端子電圧(VREL4)となります。

V5-V4,V4-V3,V3-V2,V2-V1,V1-VSS間電圧を3.5V、CS1端子電圧を-0.1Vに下げて充電過電流検出状態にします。その後VM2端子を-1Vに下げて、CS1端子を0Vに上げます。この状態からVM2端子を0.5Vに上げて、OV端子がV4-1.1V以上となるまでの時間が充電過電流復帰遅延時間(tVREL4)となります。

※遅延時間はCOC端子に接続する容量の値に比例します。

Connect capacitor to COC terminal.

Decrease VM2 terminal while maintaining voltage between V5-V4,V4-V3,V3-V2,V2-V1 and V1-VSS at 3.5V and CS1 terminal voltage at 0V, the VM2 pin charging overcurrent detection voltage (VDET4_VM2) is VM2 pin voltage when OV pin becomes VSS+0.5V or less. From this condition, increase VM2 pin voltage, and VM2 pin charging overcurrent release voltage (VREL4) is VM2 pin voltage when OV pin becomes V4-1.1V or more. Decrease CS1 pin voltage to -0.1V to have a condition of charging overcurrent detection, while maintaining voltage between V5-V4,V4-V3,V3-V2,V2-V1 and V1-VSS at 3.5V. Then decrease VM2 pin to -1V and increase CS1 pin to 0V. From this condition, increase VM2 pin to 0.5V, and the charging overcurrent release delay time (tVREL4) is the time until OV pin becomes V4-1.1V or more.

* Delay time is proportional to capacity value connected to COC pin.

6. V4端子断線検出電圧、断線検出遅延時間、断線復帰遅延時間（測定回路6）
V4 pin disconnect detection voltage, disconnect detection delay time, disconnect release delay time (measuring circuit 6)

V5-V3間電圧を7.0V、V4-V3,V3-V2,V2-V1,V1-VSS間電圧を3.5Vにした状態でV4端子を下げて行き、OV端子がVSS+0.5V以下、DCHG端子がVSS+0.5V以下になった時のV4端子電圧がV4端子断線検出電圧となります。V5-V3間電圧を7.0V、V4-V3,V3-V2,V2-V1,V1-VSS間電圧を3.5Vにした状態でV4端子を3.5Vから3.0Vに下げてOV端子、DCHG端子がVSS+0.5V以下となるまでの時間が断線検出遅延時間となります。

その後、V4端子を3.0Vから3.5Vに上げてOV端子、DCHG端子がV4-1.1V以上となるまでの時間が断線復帰遅延時間となります。

Decrease V4 pin while maintaining voltage between V5-V3 at 7.0V and voltage between V4-V3,V3-V2,V2-V1 and V1-VSS at 3.5V. The V4 pin disconnect detection voltage is V4 pin voltage when OV pin and DCHG pin become VSS+0.5V or less.

Decrease V4 pin from 3.5V to 3.0V while maintaining voltage between V5-V3 at 7.0V and voltage between V4-V3,V3-V2,V2-V1 and V1-VSS at 3.5V. The disconnect detection delay time is the time until OV pin and DCHG pin become VSS+0.5V or less.

Then increase V4 pin from 3.0V to 3.5V, and the disconnect release delay time is the time until OV pin and DCHG pin become V4-1.1V or more.

7. V3端子断線検出電圧（測定回路7）
V3 pin disconnect detection voltage (measuring circuit 7)

V4-V2間電圧を7.0V、V5-V4,V3-V2,V2-V1,V1-VSS間電圧を3.5Vにした状態でV3端子を下げて行き、OV端子がVSS+0.5V以下、DCHG端子がVSS+0.5V以下になった時のV3端子電圧がV3端子断線検出電圧となります。

Decrease V3 pin while maintaining voltage between V4-V2 at 7.0V and voltage between V5-V4,V3-V2,V2-V1 and V1-VSS at 3.5V. The V3 pin disconnect detection voltage is V3 pin voltage when OV pin and DCHG pin become VSS+0.5V or less.

MM3575A02

8. V2端子断線検出電圧 (測定回路8)

V2 pin disconnect detection voltage (measuring circuit 8)

V3-V1間電圧を7.0V、V5-V4、V4-V3、V2-V1、V1-VSS間電圧を3.5Vにした状態でV2端子を下げて行き、OV端子がVSS+0.5V以下、DCHG端子がVSS+0.5V以下になった時のV2端子電圧がV2端子断線検出電圧となります。

Decrease V2 pin while maintaining voltage between V3-V1 at 7.0V and voltage between V5-V4, V4-V3, V2-V1 and V1-VSS at 3.5V. The V2 pin disconnect detection voltage is V2 pin voltage when OV pin and DCHG pin become VSS+0.5V or less.

9. V1端子断線検出電圧 (測定回路9)

V1 pin disconnect detection voltage (measuring circuit 9)

V2-VSS間電圧を7.0V、V5-V4、V4-V3、V3-V2、V1-VSS間電圧を3.5Vにした状態でV1端子を下げて行き、OV端子がVSS+0.5V以下、DCHG端子がVSS+0.5V以下になった時のV1端子電圧がV1端子断線検出電圧となります。

Decrease V1 pin while maintaining voltage between V2-VSS at 7.0V and voltage between V5-V4, V4-V3, V3-V2 and V1-VSS at 3.5V. The V1 pin disconnect detection voltage is V1 pin voltage when OV pin and DCHG pin become VSS+0.5V or less.

10. 0V充電禁止最大電圧 (測定回路10)

Maximum forbidden voltage for 0V charging (measuring circuit 10)

V5-V4、V4-V3、V3-V2、V2-V1、V1-VSS間電圧を1.5V、VM2端子電圧を-2Vにした状態でVn端子(n=1,2,3,4,5)電圧を下げて行き、OV端子が-1.5V以下となったときのVn端子電圧が0V充電禁止最大電圧($V_{CELL0Vn}$)となります。

Increase Vn pin (n=1,2,3,4,5) voltage from the state which set voltage between V5-V4 and V4-V3 and V3-V2 and V2-V1 and V1-VSS to 1.5V and VM2 pin voltage at -2V. The maximum forbidden voltage for 0V charging ($V_{CELL0Vn}$) is Vn pin voltage when OV pin becomes -1.5V or less.

11. DCHG端子出力電圧、OV端子出力電圧、OUTn端子出力電圧(n=1,2,3,4,5) (測定回路11)

DCHG pin output voltage, OV pin output voltage, and OUTn pin output voltage (n=1,2,3,4,5) (measuring circuit 11)

V5-V4、V4-V3、V3-V2、V2-V1、V1-VSS間電圧を3.5Vにした状態でDCHG端子から20uA引いたときのDCHG端子電圧がDCHG端子出力電圧H(VDCHG_H)となります。

V5-V4、V4-V3、V3-V2、V2-V1、V1-VSS間電圧を2.0Vにし、過放電検出遅延時間後DCHG端子に-20uA流し込んだときのDCHG端子電圧がDCHG端子出力電圧L(VDCHG_L)となります。

V5-V4、V4-V3、V3-V2、V2-V1、V1-VSS間電圧を3.5Vにした状態でOV端子から20uA引いたときのOV端子電圧がOV端子出力電圧H(VOV_H)となります。

V5-V4、V4-V3、V3-V2、V2-V1、V1-VSS間電圧を3.5Vにし、OUTn端子(n=1,2,3,4,5)に-20uA流し込んだときのOUTn端子電圧がOUTn端子出力電圧L(VOUTn_L)となります。その後、V5-V4、V4-V3、V3-V2、V2-V1、V1-VSS間電圧を4.08Vにし、Vn端子を4.4Vに上げ、セルバランス検出遅延時間後にOUTn端子から20uA引いたときのOUTn端子電圧がOUTn端子出力電圧H(VOUTn_H)となります。

The DCHG pin output voltage H (VDCHG_H) is DCHG pin voltage after subtracting 20uA from DCHG pin, while maintaining voltage between V5-V4, V4-V3, V3-V2, V2-V1 and V1-VSS at 3.5V.

Set voltage between V5-V4, V4-V3, V3-V2, V2-V1 and V1-VSS to 2.0V. The DCHG pin output voltage L (VDCHG_L) is DCHG pin voltage when applying -20uA to DCHG pin after overdischarge detection delay time.

The OV pin output voltage H (VOV_H) is OV pin voltage after subtracting 20uA from OV pin, while maintaining voltage between V5-V4, V4-V3, V3-V2, V2-V1 and V1-VSS at 3.5V.

Set voltage between V5-V4, V4-V3, V3-V2, V2-V1 and V1-VSS to 3.5V. The OUTn pin output voltage L (VOUTn_L) is OUTn pin voltage when applying -20uA to OUTn pin (n=1,2,3,4,5). Then set voltage between V5-V4, V4-V3, V3-V2, V2-V1 and V1-VSS to 3.55V and increase Vn pin to 4.0V. The OUTn pin output voltage H (VOUTn_H) is OUTn pin voltage when subtracting 20uA from OUTn pin after cell balance detection delay time.

MM3575A02

12. OV端子リーク電流 (測定回路12)
OV pin leak current (measuring circuit 12)

V5-V4,V4-V3,V3-V2,V2-V1,V1-VSS間電圧を4.3Vにし過充電検出遅延時後、OV端子から流れ出る電流がOV端子リーク電流 (VleakOV) となります。

Set voltage between V5-V4,V4-V3,V3-V2,V2-V1 and V1-VSS to 4.3V. The OV pin leak current (VleakOV) is the current which flows from OV pin after overcharge detection delay time.

13. SEL端子電流 (測定回路13)
SEL pin current (measuring circuit 13)

V5-V4,V4-V3,V3-V2,V2-V1,V1-VSS間電圧を3.5Vにした状態でSEL端子を7VにしたときにSEL端子に流れる電流がSEL端子電流M (ISELM)、SEL=VDDとしたときにSEL端子に流れる電流がSEL端子電流H (ISELH) となります。

Set SEL pin to 7V while maintaining voltage between V5-V4,V4-V3,V3-V2,V2-V1 and V1-VSS at 3.5V. The SEL pin current M (ISELM) is the current which flows to SEL pin. The SEL pin current H (ISELH) is the current which flows to SEL pin when SEL=VDD.

14. SDC,SOC端子検出/解除電流、遅延時間 (測定回路14)
SDC, SOC pin detection/release current and delay time (measuring circuit 14)

V5-V4,V4-V3,V3-V2,V2-V1,V1-VSS間電圧を3.5V、SDC端子電流を1 μ Aにした状態でSDC端子電流を下げていき、DCHG端子がVSS+0.5V以下となったときのSDC端子電流がSDC端子検出電流 (ISDCL) となります。その後、SDC端子電流を上げていき、DCHG端子がV4-1.1V以上となったときのSDC端子電流がSDC端子解除電流 (ISDCH) となります。

V5-V4,V4-V3,V3-V2,V2-V1,V1-VSS間電圧を3.5V、SOC端子電流を1 μ Aにした状態でSOC端子電流を下げていき、OV端子がVSS+0.5V以下となったときのSOC端子電流がSOC端子検出電流 (ISOCL) となります。その後、SOC端子電流を上げていき、OV端子がV4-1.1V以上となったときのSOC端子電流がSOC端子解除電流 (ISOCH) となります。

V5-V4,V4-V3,V3-V2,V2-V1,V1-VSS間電圧を3.5V、SDC端子電流を1 μ Aにした状態でSDC端子電流を0.1 μ A以下に下げた後、DCHG端子がVSS+0.5V以下となるまでの時間がSDC端子検出遅延時間 (tSDC_DET) となります。その後、SDC端子電流を1.0 μ Aに上げてから、DCHG端子がV4-1.1V以上となるまでの時間がSDC端子解除遅延時間 (tSDC_REL) となります。

V5-V4,V4-V3,V3-V2,V2-V1,V1-VSS間電圧を3.5V、SOC端子電流を1 μ Aにした状態でSOC端子電流を0.1 μ A以下に下げた後、OV端子がVSS+0.5V以下となるまでの時間がSOC端子検出遅延時間 (tSOC_DET) となります。その後、SOC端子電流を1.0 μ Aに上げてから、OV端子がV4-1.1V以上となるまでの時間がSOC端子解除遅延時間 (tSOC_REL) となります。

Decrease SDC pin current while maintaining voltage between V5-V4,V4-V3,V3-V2,V2-V1 and V1-VSS at 3.5V and SDC pin current at 1 μ A. The SDC pin detection current (ISDCL) is SDC pin current when DCHG pin becomes VSS+0.5V or less. Then increase SDC pin current, and the SDC pin release current (ISDCH) is SDC pin current when DCHG pin becomes V4-1.1V or more.

Decrease SOC pin current while maintaining voltage between V5-V4,V4-V3,V3-V2,V2-V1 and V1-VSS at 3.5V and SOC pin current at 1 μ A. The SOC pin detection current (ISOCL) is SOC pin current when OV pin becomes VSS+0.5V or less. Then increase SOC pin current, and the SOC pin release current (ISOCH) is SOC pin current when OV pin becomes V4-1.1V or more.

Decrease SDC pin current to 0.1 μ A or less, while maintaining voltage between V5-V4,V4-V3,V3-V2,V2-V1 and V1-VSS at 3.5V and SDC pin current at 1 μ A. The SDC pin detection delay time (tSDC_DET) is the time until DCHG pin becomes VSS+0.5V or less. Then increase SDC pin current to 1.0 μ A, and the SDC pin release delay time (tSDC_REL) is the time until DCHG pin becomes V4-1.1V or more.

Decrease SOC pin current to 0.1 μ A or less, while maintaining voltage between V5-V4,V4-V3,V3-V2,V2-V1 and V1-VSS at 3.5V and SOC pin current at 1 μ A. The SOC pin detection delay time (tSOC_DET) is the time until OV pin becomes VSS+0.5V or less. Then increase SOC pin current to 1 μ A, and the SOC pin release delay time (tSOC_REL) is the time until OV pin becomes V4-1.1V or more.

MM3575A02

15. パワーセーブモード2検出電圧 (測定回路15)
Power save mode 2 detection voltage (measuring circuit 15)

V5-V4,V4-V3,V3-V2,V2-V1,V1-VSS間電圧を3.5V、SW10をONしSDC,SOC端子に17.5Vを印加します。その状態から印加電圧を下げていき、VDD端子に流れる消費電流がパワーセーブ時消費電流1からパワーセーブ時消費電流2に切り替わったときの印加電圧がパワーセーブモード2検出電圧 (VPS_DET2) となります。

Set voltage between V5-V4,V4-V3,V3-V2,V2-V1 and V1-VSS to 3.5V, turn SW10 on, and apply 17.5V to SDC and SOC pins. Decrease applied voltage from that condition. The power save mode 2 detection voltage (VPS_DET2) is the applied voltage when the current which flows to VDD pin switches from Power save 1 current consumption to Power save 2 current consumption.

16. レギュレータ出力電圧 (測定回路16)
Regulator output voltage (measuring circuit 16)

外付けのNch FETのドレインをVDD端子、ゲートをDRIVE端子、ソースをREG_IN端子に接続します。V5-V4,V4-V3,V3-V2,V2-V1,V1-VSS間電圧を3.5V、REG_IN端子から電流を100 μ A引いたときのREG_IN端子電圧がレギュレータ出力電圧 (VREG) となります。

Connect drain of external Nch FET to VDD pin, gate to DRIVE pin, and source to REG_IN pin. Set voltage between V5-V4,V4-V3,V3-V2,V2-V1 and V1-VSS to 3.5V, and the regulator output voltage (VREG) is REG_IN pin voltage after subtracting 100 μ A from REG_IN pin.

17. DRIVE端子ソース電流、シンク電流 (測定回路17)
DRIVE pin source current and sink current (measuring circuit 17)

V5-V4,V4-V3,V3-V2,V2-V1,V1-VSS間電圧を3.5Vの状態、REG_IN端子をVREG-0.5V、DRIVE端子をVREG+1.0VにしてDRIVE端子から流れる電流がDRIVE端子ソース電流 (IDRIVE_SO) となります。

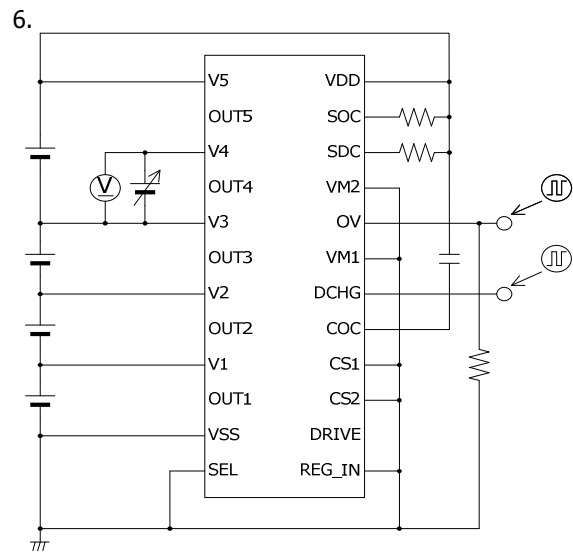
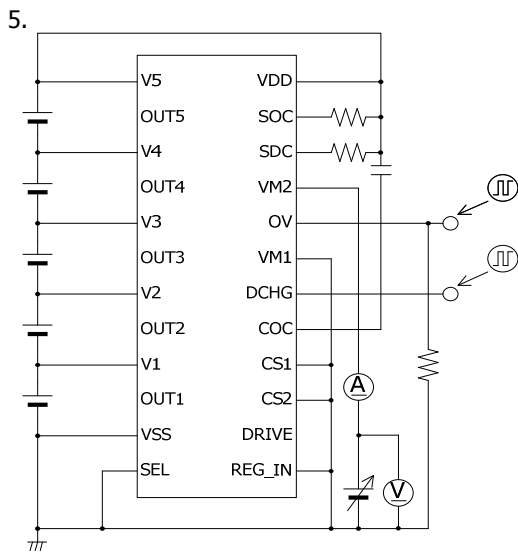
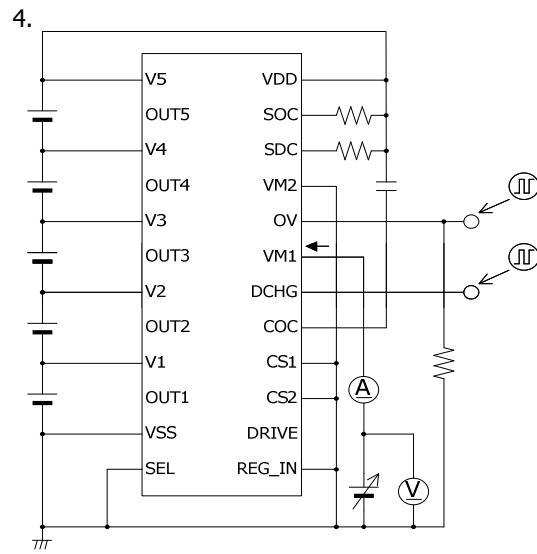
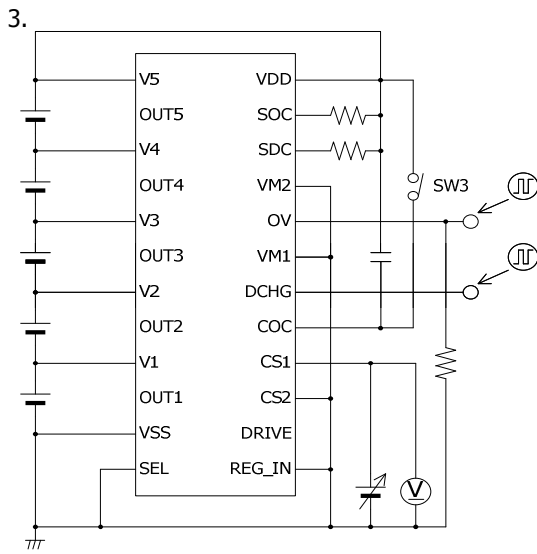
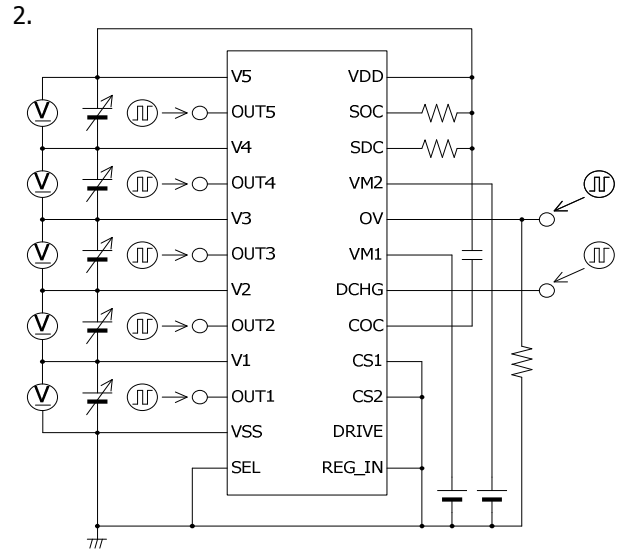
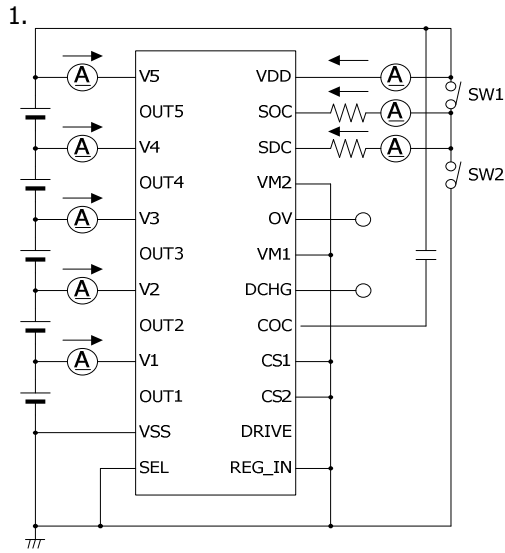
V5-V4,V4-V3,V3-V2,V2-V1,V1-VSS間電圧を3.5Vの状態、REG_IN端子をVREG+0.5V、DRIVE端子をVREG-1.0VにしてDRIVE端子に流れる電流がDRIVE端子シンク電流 (IDRIVE_SI) となります。

Set REG_IN pin to VREG-0.5V and DRIVE pin to VREG+1.0V, while maintaining voltage between V5-V4,V4-V3,V3-V2,V2-V1 and V1-VSS at 3.5V. The DRIVE pin source current (IDRIVE_SO) is the current which flows from DRIVE pin.

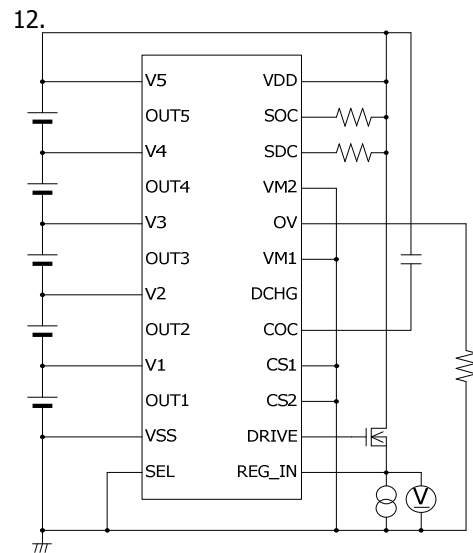
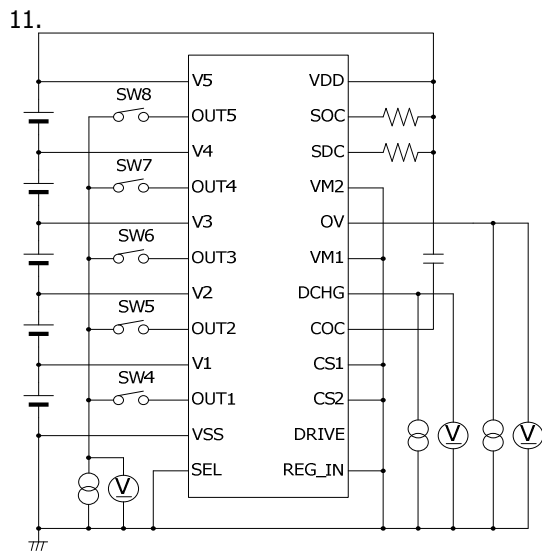
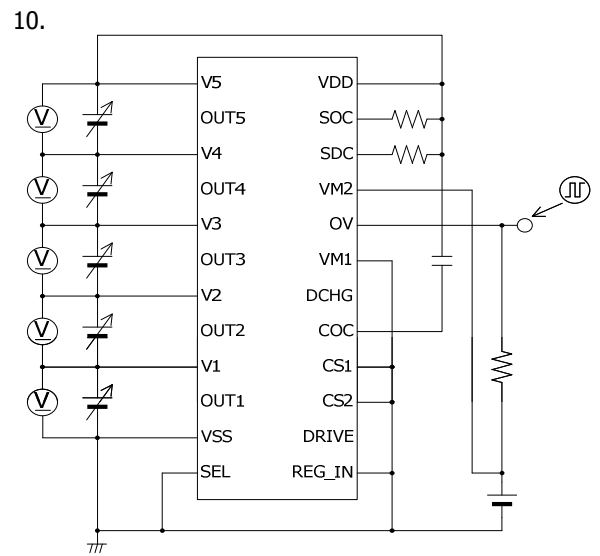
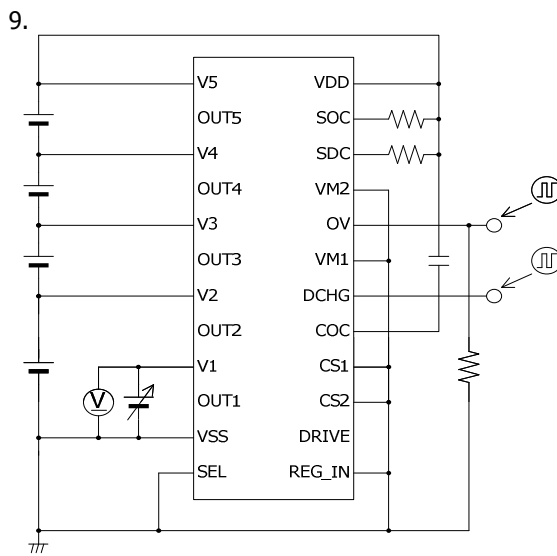
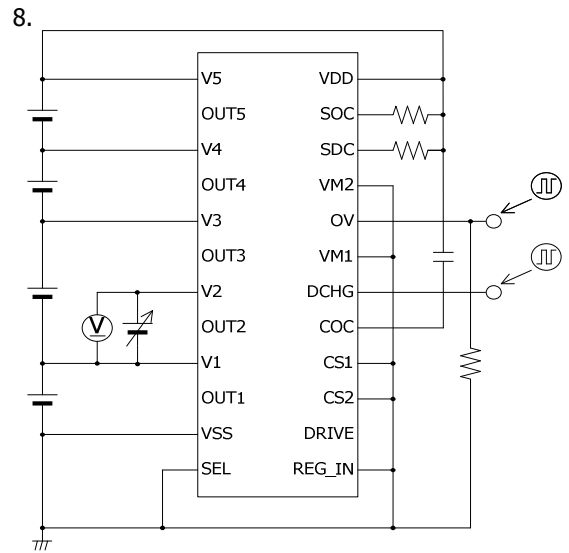
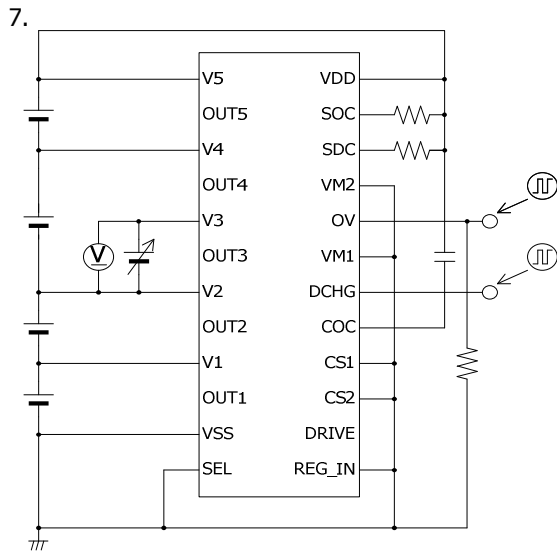
Set REG_IN pin to VREG+0.5V and DRIVE pin to VREG-1.0V, while maintaining voltage between V5-V4,V4-V3,V3-V2,V2-V1 and V1-VSS at 3.5V. The DRIVE pin sink current (IDRIVE_SI) is the current which flows to DRIVE pin.

MM3575A02

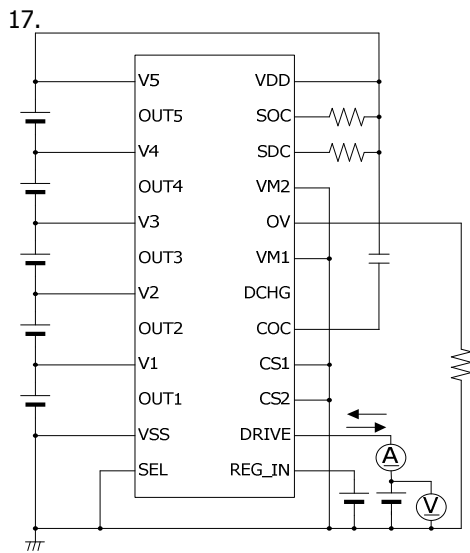
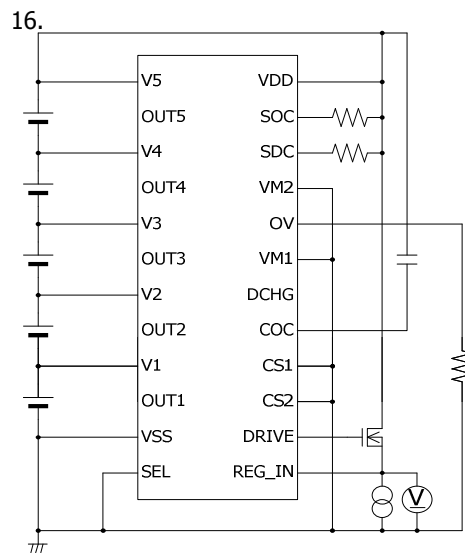
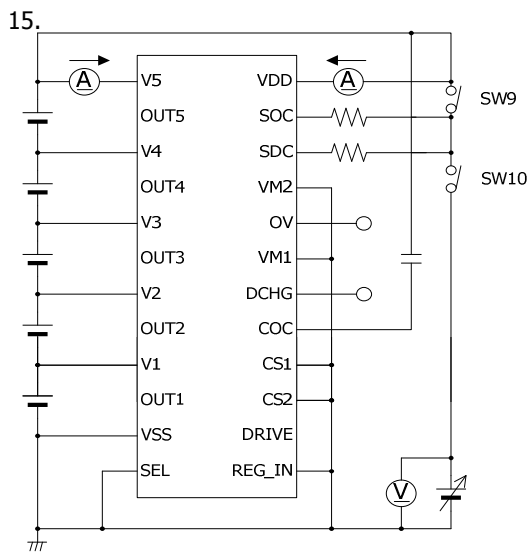
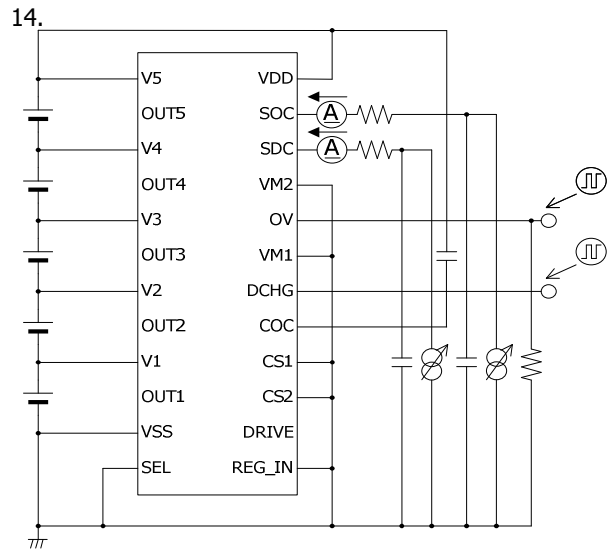
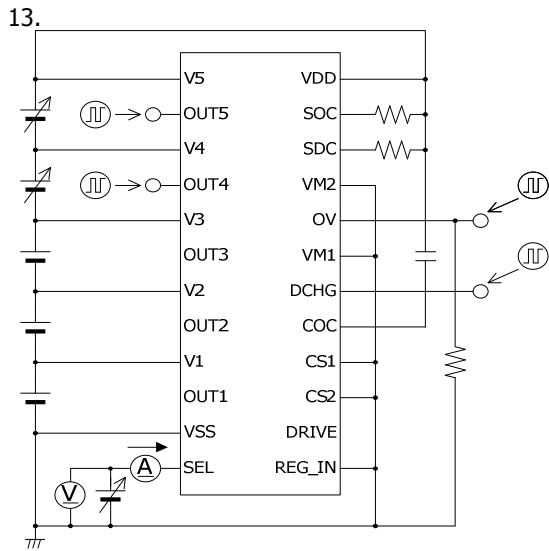
10-2. 測定回路
TEST CIRCUIT



MM3575A02



MM3575A02



MM3575A02

11. 機能説明 OPERATION

11-1. 過充電検出回路 Overcharge detector

- V5-V4端子間電圧、V4-V3端子間電圧、V3-V2端子間電圧、V2-V1端子間電圧、V1-VSS端子間電圧のいずれかが過充電検出電圧(Typ.4.250V)以上になると電池の過充電状態を検出します。過充電を検出すると、外付けプルダウン抵抗が接続されるOV出力端子が"Hi-impedance"となり、プルダウン抵抗によりプルダウンされ、外付け充電制御Nch MOS FETをOFFすることによって電池の充電を禁止します。

If any of the voltage between V5-V4, V4-V3, V3-V2, V2-V1 and V1-VSS pins become overcharge detection voltage (Typ.4.250V) or more, it detects overcharge condition of battery. When it detects overcharge, OV pin which external pull-down resistance will be connected to becomes "Hi-impedance". Therefore, it is pulled down by pull-down resistance, and it forbids battery charge by turning off external charge control Nch MOS FET.
- 過充電検出後、OV出力端子は"Hi-impedance"となっていますが、外付け充電制御Nch MOS FETの寄生ダイオードを介して負荷電流を流すことができます。その後、V5-V4端子間電圧、V4-V3端子間電圧、V3-V2端子間電圧、V2-V1端子間電圧、V1-VSS端子間電圧の全てが過充電復帰電圧(Typ.4.175V)以下になると過充電状態から復帰します。過充電状態から復帰するとOV出力端子は"High"レベルとなり、外付け充電制御Nch MOS FETをONすることによって電池の充電が可能となります。

After detecting overcharge, OV pin is "Hi-impedance" but it is able to carry load current through parasitic diode of external charge control Nch MOS FET. Then, when all the voltage between V5-V4, V4-V3, V3-V2, V2-V1 and V1-VSS pins become overcharge release voltage (Typ.4.175V) or less, it releases from overcharge state. When it releases from overcharge state, OV pin becomes "High" level and it will be able to charge battery by turning on external charge control Nch MOS FET.
- 過充電検出と充電過電流を同時に検出した場合、充電過電流も同時に検出しているため、V5-V4端子間電圧、V4-V3端子間電圧、V3-V2端子間電圧、V2-V1端子間電圧、V1-VSS端子間電圧の全てが過充電復帰電圧以下となってもOV出力端子は"High"レベルとなりません。充電器を開放し充電過電流検出状態を解除することで、OV出力端子は"High"レベルとなり電池の充電が可能となります。

When overcharge and charging overcurrent are detected at the same time, OV output pin does not become "High" level even if all the voltage between V5-V4, V4-V3, V3-V2, V2-V1 and V1-VSS pins become overcharge release voltage or less because charging overcurrent is detected at the same time. By releasing charger and releasing charging overcurrent detection condition, OV pin becomes "High" level and it will be able to charge battery.
- 過充電検出時と過充電復帰時にはIC内部で設定された遅延時間が存在します。V5-V4端子間電圧、V4-V3端子間電圧、V3-V2端子間電圧、V2-V1端子間電圧、V1-VSS端子間電圧のいずれかが過充電検出電圧以上になっても、過充電検出遅延時間内 (Typ.1.00s) に過充電検出電圧よりも低くなると、過充電検出はしません。また、過充電検出状態で、V5-V4端子間電圧、V4-V3端子間電圧、V3-V2端子間電圧、V2-V1端子間電圧、V1-VSS端子間電圧の全てが過充電復帰電圧よりも低くなっても、過充電復帰遅延時間内 (Typ.100.0ms) に過充電復帰電圧以上に戻ると、過充電からの復帰はしません。

There is delay time set inside IC for overcharge detection and overcharge release. Even if any of the voltage between V5-V4, V4-V3, V3-V2, V2-V1 and V1-VSS pins become overcharge detection voltage or more, it does not detect overcharge when it is below overcharge detection voltage within overcharge detection delay time (Typ.1.00s).

Even if all of the voltage between V5-V4, V4-V3, V3-V2, V2-V1 and V1-VSS pins become below overcharge release voltage during detecting overcharge, it does not releases from overcharge when it is back to overcharge release voltage or more within overcharge release delay time (Typ.100.0ms).
- OV端子の出力はPch オープンドレイン出力となっており、通常時は"High"レベルが出力され、過充電時は"Hi-impedance"となります。"High"レベルの電圧はOV端子出力電圧H (Min.V4-1.1V)となります。

Output of OV pin is Pch open drain output. It outputs "High" level during normal times and be "Hi-impedance" during overcharge. The voltage of "High" level is OV pin output voltage H (Min.V4-1.1V).

MM3575A02

11-2. 過放電検出回路

Overdischarge detector

- ・ V5-V4端子間電圧、V4-V3端子間電圧、V3-V2端子間電圧、V2-V1端子間電圧、V1-VSS端子間電圧のいずれかが過放電検出電圧(Typ.2.800V)以下になると電池の過放電状態を検出します。DCHG出力端子が"Low"レベルとなり、外付け放電制御Nch MOS FETをOFFすることによって電池の放電を禁止します。
If any of the voltage between V5-V4, V4-V3, V3-V2, V2-V1 and V1-VSS pins become overdischarge detection voltage (Typ.2.800V) or less, it detects overdischarge condition of battery. DCHG output pin becomes "Low" level, and it forbids battery discharge by turning off external discharge control Nch MOS FET.
- ・ 過放電検出後、DCHG出力端子は"Low"レベルが出力されていますが、外付け放電制御Nch MOS FETの寄生ダイオードを介して充電電流を流すことができます。その後、V5-V4端子間電圧、V4-V3端子間電圧、V3-V2端子間電圧、V2-V1端子間電圧、V1-VSS端子間電圧の全てが過放電復帰電圧(Typ.2.900V)以上になると過放電状態から復帰します。過放電状態から復帰するとDCHG出力端子は"High"レベルとなり、外付け放電制御Nch MOS FETをONすることによって電池の放電が可能となります。
After detecting overdischarge, DCHG pin outputs "Low" level but it is able to carry charging current through parasitic diode of external discharge control Nch MOS FET. Then, when all the voltage between V5-V4, V4-V3, V3-V2, V2-V1 and V1-VSS pins become overdischarge release voltage (Typ.2.900V) or more, it release from overdischarge state. When it releases from overdischarge state, DCHG pin becomes "High" level, and battery will be able to discharge by turning on external discharge control Nch MOS FET.
- ・ 過放電検出時と過放電復帰時にはIC内部で設定された遅延時間が存在します。V5-V4端子間電圧、V4-V3端子間電圧、V3-V2端子間電圧、V2-V1端子間電圧、V1-VSS端子間電圧のいずれかが過放電検出電圧以下になっても、過放電検出遅延時間内 (Typ.1.00s) に過放電検出電圧よりも高くなると、過放電検出はしません。また、過放電検出状態で、V5-V4端子間電圧、V4-V3端子間電圧、V3-V2端子間電圧、V2-V1端子間電圧、V1-VSS端子間電圧の全てが過放電復帰電圧よりも高くなっても、過放電復帰遅延時間内 (Typ.4ms) に過放電復帰電圧以下に戻ると、過放電からの復帰はしません。
There is delay time set inside IC for overdischarge detection and overdischarge release. Even if any of the voltage between V5-V4, V4-V3, V3-V2, V2-V1 and V1-VSS pins become overdischarge detection voltage or less, it does not detect overdischarge when it becomes higher than overdischarge detection voltage within overdischarge detection delay time (Typ.1.00s).
Even if all of the voltage between V5-V4, V4-V3, V3-V2, V2-V1 and V1-VSS pins become higher than overdischarge release voltage during detecting overdischarge, it does not releases from overdischarge state when it is back to overdischarge release voltage or less within overdischarge release delay time (Typ.4.0ms).
- ・ DCHG端子の出力はVDD-VSS間のCMOS出力となっており、通常時は"High"レベルが出力され、過放電時は"Low"レベルが出力されます。"High"レベルの電圧はDCHG端子出力電圧H (Min.V4-1.1V)となり、"Low"レベルの電圧はVSS端子レベルが出力されます。
Output of DCHG pin is CMOS output between VDD-VSS. It outputs "High" level during normal times and outputs "Low" level during overdischarge. The voltage of "High" level is DCHG pin output voltage H (Min.V4-1.1V), and the voltage of "Low" outputs VSS pin level.

MM3575A02

11-3. 放電過電流検出回路、ショート検出回路

Discharging overcurrent detector, Short detector

- 放電過電流、ショートはセンス抵抗の両端にCS1-CS2端子を接続し、端子間電圧を監視することで検出します。
Discharging overcurrent and short can be detected by connecting CS1-CS2 pins to both sides of sense resistance and monitoring voltage between pins.
- CS1端子電圧が放電過電流検出電圧1 (Typ.0.100V) 以上、または放電過電流検出電圧2 (Typ.0.200V) 以上になると放電過電流状態を検出します。CS1端子電圧がショート検出電圧 (Typ.0.40V) 以上になるとショート状態を検出し、DCHG出力端子が"Low"レベルとなり、外付け放電制御Nch MOS FETをOFFすることによって電池セルに大電流が流れることを防ぎます。
It detects discharging overcurrent when CS1 pin voltage becomes discharging overcurrent detection voltage 1 (Typ.0.100V) or more, or discharging overcurrent detection voltage 2 (Typ.0.200V) or more. When CS1 pin voltage becomes short detection voltage (Typ.0.40V) or more, it detects short and DCHG pin becomes "Low" level. It prevents high current from flowing to battery cell by turning off external discharge control Nch MOS FET.
- VM1端子とVSS端子との間にはVM1端子プルダウン抵抗(Typ.50kΩ)とスイッチが内蔵されています。スイッチは放電過電流1,2もしくはショート検出したときにONし、通常時(放電可能時)はOFFしています。放電過電流1,2検出またはショート検出後に負荷が解放されてオープン状態になると、VM1端子はVM1端子プルダウン抵抗を介してVSS端子電位にプルダウンされます。
It has built-in VM1 pin pulldown resistance (Typ.50kΩ) and a switch between VM1 and VSS pins. The switch is on when discharging overcurrent 1,2 or short are detected, and it is off during normal times (when it is able to discharge).
When load is released and it becomes open condition after detecting discharging overcurrent 1,2 or short, VM1 pin will be pulled down to VSS pin voltage with VM1 pin pulldown resistance.
- 放電過電流状態またはショート検出状態からの復帰は、VM1端子で行います。負荷が開放されて、VM1端子電圧が放電過電流復帰VM1端子電圧(Typ.0.9V)以下となった時点で、放電過電流検出またはショート検出状態から復帰し、DCHG出力端子が"High"レベルとなり、外付け放電制御Nch MOS FETをONすることによって電池の放電が可能となります。
Release from the conditions of discharging overcurrent or short detection is conducted with VM1 pin. It releases from discharging overcurrent or short select state when load is released and VM1 pin voltage becomes VM1 pin discharging overcurrent release voltage (Typ.0.9V) or less. DCHG pin becomes "High" level, and battery will be able to discharge by turning on external discharge control Nch MOS FET.
- 放電過電流検出1,2、放電過電流復帰時には遅延時間が設定されており、COC端子に接続する容量値によって可変となります(※以下のTyp.値はCOC端子に0.001uFを接続した場合の値です)。CS1端子電圧が放電過電流検出電圧1以上となり、放電過電流検出遅延時間1(Typ.10.0ms)経過する、または、CS1端子電圧が放電過電流検出電圧2以上となり、放電過電流検出遅延時間2(Typ.2.0ms)経過すると放電過電流を検出します。遅延時間以内にCS1端子電圧が検出電圧以下となった場合は放電過電流検出しません。
放電過電流1,2またはショート検出後、VM1端子電圧が放電過電流復帰VM1端子電圧以下となり、放電過電流復帰遅延時間(Typ.4.0ms)経過後、放電過電流検出状態から復帰します。遅延時間以内にVM1端子電圧が復帰電圧以上となった場合は放電過電流復帰しません。
The delay time is set for discharging overcurrent detection 1,2 and discharging overcurrent release, and it varies depending on capacity value connected to COC pin. (*The following Typ.value is when 0.001uF is connected to COC pin). It detects discharging overcurrent when CS1 pin voltage becomes discharging overcurrent detection voltage 1 or more and after passing discharging overcurrent detection delay time 1 (Typ.10.0ms), or when CS1 pin voltage becomes discharging overcurrent detection voltage 2 or more and after passing discharging overcurrent detection delay time 2 (Typ.2.0ms). It does not detect discharging overcurrent when CS1 terminal voltage becomes detected voltage or less within delay time. After detecting discharging overcurrent 1,2 or short, VM1 pin voltage becomes VM1 pin discharging overcurrent release voltage or less. Then it releases from discharging overcurrent detection after discharging overcurrent return delay time (Typ.4.0ms). It does not return from discharging overcurrent when VM1 terminal voltage becomes return voltage or more within delay time.
It is also set inside IC to be discharging overcurrent detection 1 delay time > discharging overcurrent detection 2 delay time.

MM3575A02

- ・ ショート検出時にはIC内部で設定された遅延時間が存在します。CS1端子電圧がショート検出電圧以上となり、ショート検出遅延時間(Typ.200.0us)経過するとショートを検出します。遅延時間以内にCS1端子電圧が検出電圧以下となった場合はショート検出しません。
There is delay time set inside IC for short detection. It detects short when CS1 pin voltage becomes short detection voltage or more and after passing short detection delay time (Typ.200us). It does not detect short when CS1 pin voltage becomes detected voltage or less within delay time.

11-4. 充電過電流検出回路

Charging overcurrent detector

- ・ 充電過電流はセンス抵抗の両端にCS1-CS2端子を接続し、端子間電圧を監視することで検出します。
Charging overcurrent can be detected by connecting CS1-CS2 pin to both sides of sense resistance and monitoring voltage between pins.
- ・ CS1端子電圧が充電過電流検出電圧 (Typ.-0.020V) 以下になると充電過電流状態を検出します。充電過電流を検出すると、外付けプルダウン抵抗が接続されるOV出力端子が"Hi-impedance"となり、プルダウン抵抗によりプルダウンされ、外付け充電制御Nch MOS FETをOFFすることによって電池の充電を禁止します。
It detects charging overcurrent condition when CS1 pin voltage becomes charging overcurrent detection voltage (Typ.-0.020V) or less. When it detects charging overcurrent, OV pin which external pull-down resistance will be connected to becomes "Hi-impedance". It will be pulled down by pull-down resistance, and it will forbid battery to charge by turning off external charge control Nch MOS FET.
- ・ 充電過電流状態からの復帰は、VM2端子で行います。充電器が開放されて、VM2端子電圧が充電過電流復帰VM2端子電圧(Typ.0.000V)以上となった時点で、充電過電流検出状態から復帰し、OV出力端子は"High"レベルとなり、外付け充電制御Nch MOS FETをONすることによって電池の充電が可能となります。
Release from the state of charging overcurrent is conducted with VM2 pin. It releases from charging overcurrent state when charger is released and VM2 pin voltage becomes VM2 pin charging overcurrent release voltage (Typ.0.000V) or more. Then OV pin becomes "High" level, and battery will be able to charge by turning on external charge control Nch MOS FET.
- ・ 充電過電流検出、復帰時には遅延時間が設定されており、COC端子に接続する容量値によって可変となります(※以下のTyp.値はCOC端子に0.001uFを接続した場合の値です)。CS1端子電圧が充電過電流検出電圧以下となり、充電過電流検出遅延時間(Typ.1024.0ms)経過すると充電過電流を検出します。遅延時間以内にCS1端子電圧が検出電圧以上となった場合は充電過電流検出しません。
充電過電流検出後、VM2端子電圧が充電過電流復帰VM2端子電圧以上となり、充電過電流復帰遅延時間(Typ.128.0ms)経過後、充電過電流検出状態から復帰します。遅延時間以内にVM2端子電圧が復帰電圧以下となった場合は充電過電流復帰しません。
The delay time is set for charging overcurrent detection and release, and it varies depending on capacity value connected to COC pin. (*The following Typ.value is when 0.001uF is connected to COC pin). It detects charging overcurrent when CS1 pin voltage becomes charging overcurrent detection voltage or less and after passing charging overcurrent detection delay time (Typ.1,024ms). It does not detect charging overcurrent when CS1 pin voltage becomes detected voltage or more within delay time.
After detecting charging overcurrent, it releases from charging overcurrent state when VM2 terminal voltage becomes VM2 pin charging overcurrent release voltage or more and after passing charging overcurrent release delay time (Typ.128.0ms). It does not release from charging overcurrent when VM2 pin voltage becomes release voltage or less within delay time.

MM3575A02

11-5. 断線検出回路

Open wire detector

- 断線はV5,V4,V3,V2,V1端子電圧を監視することで検出します。
Disconnection can be detected by monitoring voltage of V5,V4, V3, V2 and V1 terminals.
- V4端子がV4端子断線検出電圧(Typ.V5-V3*0.45V)以下、またはV3端子がV3端子断線検出電圧(Typ.V4-V2*0.45V)以下、またはV2端子がV2端子断線検出電圧(Typ.V3-V1*0.45V)以下、またはV1端子がV1端子断線検出電圧(Typ.V2*0.45V)以下となると断線を検出します。
V5端子の断線検出はV5-V4端子間電圧が0V充電禁止電圧(Typ.0.9V)以下となることで行われます。
断線を検出するとOV出力端子が"Hi-impedance"となり、外付けプルダウン抵抗でプルダウンされて"Low"レベルとなり、外付け充電制御FETをOFF、DCHG出力端子が"Low"レベルとなり外付け放電制御FETをOFFして電池の充放電を禁止します。
It detects disconnection when V4 pin becomes V4 pin disconnection detection voltage (Typ.V5-V3*0.45V) or less, or when V3 pin becomes V3 pin disconnection detection voltage (Typ.V4-V2*0.45V) or less, or when V2 pin becomes V2 pin disconnection detection voltage (Typ.V3-V1*0.45V) or less, or when V1 pin becomes V1 pin disconnection detection voltage (Typ.V2*0.45V) or less.
V5 pin disconnection can be detected by V5-V4 pins voltage becomes Maximum forbidden voltage for 0V(Typ.0.9V) charging or less.
When it detects disconnection, OV pin becomes "Hi-impedance", and it will be pulled down to "Low" level by external pull-down resistance, then turn off external charge control FET.
DCHG pin will be "Low" level and it forbids battery to charge and discharge by turning off external discharge control FET.
- 断線検出後、V5端子が0V充電禁止電圧以上、V4端子がV4端子断線検出電圧以上、かつV3端子がV3端子断線検出電圧以上、かつV2端子がV2端子断線検出電圧以上、かつV1端子がV1端子断線検出電圧以上となると断線検出状態から復帰します。
After detecting disconnection, it releases from the state of disconnection detection when V5 pin becomes Maximum forbidden voltage for 0V or more, and V4 pin becomes V4 pin disconnection detection voltage or more, and V3 pin becomes V3 pin disconnection detection voltage or more, and V2 pin becomes V2 pin disconnection detection voltage or more, and V1 pin becomes V1 pin disconnection detection voltage or more.
- 断線検出時と断線復帰時にはIC内部で設定された遅延時間が存在します。V5端子が0V充電禁止電圧以下、またはV4,V3,V2,V1端子のいずれかが断線検出電圧以下になっても、断線検出遅延時間内 (Typ.200.0ms) に断線検出電圧以上になると断線検出はしません。断線検出状態でV5端子が0V充電禁止電圧以上、またはV4,V3,V2,V1端子の全てが断線検出電圧以上になっても、断線復帰遅延時間内(Typ.4,096.0ms) にV5端子が0V充電禁止電圧以下、またはV4,V3,V2,V1端子のいずれかが断線検出電圧以下に戻ると、断線検出状態からの復帰はしません。
There is delay time set inside IC for disconnection detection and disconnection release. Even if V5 pin becomes Maximum forbidden voltage for 0V or less, or any of V4,V3,V2 and V1 pin becomes disconnection detection voltage or less, it does not detect disconnection when V5 pin becomes Maximum forbidden voltage for 0V or more, or any of V4,V3,V2 and V1 pin becomes disconnection detection voltage or more within disconnection detection delay time (Typ.200.0ms). Even if V5 pin becomes Maximum forbidden voltage for 0V or more or all of V4,V3,V2 and V1 pins becomes disconnection detection voltage or more during detecting disconnection, it does not release from disconnection detection when V5 pin becomes Maximum forbidden voltage for 0V or less or any of V4,V3,V2 and V1 pins becomes disconnection detection voltage or less within disconnection release delay time (Typ.4,096ms).
- V5-V4端子間電圧、V4-V3端子間電圧、V3-V2端子間電圧、V2-V1端子間電圧、V1-VSS端子間電圧の全てが過放電検出電圧以下となると、断線検出を行いません。
IF all of the voltage between V5-V4, V4-V3, V3-V2, V2-V1 and V1-VSS pins become lower than overdischarge detection voltage , it does not detect disconnection

MM3575A02

11-6. セルバランス検出回路

Cell balance detector

- ・ V5-V4端子間電圧、V4-V3端子間電圧、V3-V2端子間電圧、V2-V1端子間電圧、V1-VSS端子間電圧がセルバランス検出電圧(Typ.4.180V)以上になるとセルバランス状態を検出します。セルバランス状態を検出すると、OUT出力端子が"High"レベルとなり、外付けNch MOS FETをONすることによって電池セルごとの放電を行い、セルバランスを保ちます。OUT端子は各端子間ごとに設けており、V5-V4端子間がOUT5、V4-V3端子間がOUT4、V3-V2端子間がOUT3、V2-V1端子間がOUT2、V1-VSS端子間がOUT1に対応しています。

It detects the state of cell balance when voltage between V5-V4, V4-V3, V3-V2, V2-V1 and V1-VSS pins become cell balance detection voltage (Typ.4.180V) or more. OUT pin becomes "High" level when it detects cell balance, and it discharges per battery cell by turning on external Nch MOS FET and maintains cell balance. OUT pin is placed at each pin-to-pin and it corresponds as follows; between V5-V4 pins is OUT5, between V4-V3 pins is OUT4, between V3-V2 pins is OUT3, between V2-V1 pins is OUT2, and between V1-VSS pins is OUT1.

- ・ セルバランス機能にはヒステリシスを設けており、セルバランス検出後、V5-V4端子間電圧、V4-V3端子間電圧、V3-V2端子間電圧、V2-V1端子間電圧、V1-VSS端子間電圧がセルバランス検出電圧-セルバランスヒステリシス電圧(Typ.0.007V)以下になるとセルバランス検出状態から復帰します。セルバランス検出状態から復帰するとOUT出力端子は"Low"レベルとなり、外付けNch MOS FETをOFFして電池セルごとの放電を停止させます。

There is hysteresis for cell balance function. After detecting cell balance, it releases from cell balance state when voltage between V5-V4, V4-V3, V3-V2, V2-V1 and V1-VSS pins become cell balance detection voltage - cell balance hysteresis voltage (Typ.0.007V) or less. OUT pin becomes "Low" level when it releases from cell balance state, and it stops discharging per battery cell by turning off external Nch MOS FET.

- ・ セルバランス検出時と復帰時にはIC内部で設定された遅延時間が存在します。V5-V4端子間電圧、V4-V3端子間電圧、V3-V2端子間電圧、V2-V1端子間電圧、V1-VSS端子間電圧がセルバランス検出電圧以上になっても、セルバランス検出遅延時間内 (Typ.0.256s) にセルバランス検出電圧よりも低くなると、セルバランス検出はしません。また、セルバランス検出状態で、V5-V4端子間電圧、V4-V3端子間電圧、V3-V2端子間電圧、V2-V1端子間電圧、V1-VSS端子間電圧がセルバランス検出電圧-セルバランスヒステリシス電圧以下になっても、セルバランス復帰遅延時間内 (Typ.8.0ms) にセルバランス検出電圧-セルバランスヒステリシス電圧以上に戻ると、セルバランスの復帰はしません。

There is delay time set inside IC for cell balance detection and release. Even if voltage between V5-V4, V4-V3, V3-V2, V2-V1 and V1-VSS pins become cell balance detection voltage or more, it does not detect cell balance when it becomes cell balance detection voltage or less within cell balance detection delay time (Typ.0.256s).

Also, even if voltage between V5-V4, V4-V3, V3-V2, V2-V1 and V1-VSS pins become cell balance detection voltage - cell balance hysteresis voltage or less, it does not release from cell balance when it is back to cell balance detection voltage - cell balance hysteresis voltage or more within cell balance release delay time (Typ.8.0ms).

- ・ OUT_n端子(n=1,2,3,4,5)の出力はV_n-V_{n-1}間のCMOS出力となっており、通常時は"Low"レベルが出力され、セルバランス検出時は"High"レベルが出力されます。"High"レベルの電圧はOUT_n端子出力電圧H (Min.V_n-1.2V)となり、"Low"レベルの電圧はV_{n-1}端子レベルが出力されます。

Output of OUT_n pin (n=1,2,3,4,5) is CMOS output between V_n-V_{n-1}. It outputs "Low" level during normal times and outputs "High" level when detecting cell balance. The voltage of "High" level is OUT_n pin output voltage H (Min.V_n-1.2V), and the voltage of "Low" level outputs V_{n-1} pin level.

- ・ 断線検出状態、パワーセーブモードの場合、セルバランスは検出しません。セルバランス検出状態で断線検出、パワーセーブモードに移行した場合、V5-V4端子間電圧、V4-V3端子間電圧、V3-V2端子間電圧、V2-V1端子間電圧、V1-VSS端子間電圧がセルバランス検出電圧以上であっても強制的に検出状態を解除します。

It does not detect cell balance during disconnection detection and power save mode. When it changes to disconnection detection and power save mode when detecting cell balance, it forcibly releases detecting condition even if voltage between V5-V4, V4-V3, V3-V2, V2-V1 and V1-VSS pins is cell balance detection voltage or more.

- ・ セルバランス機能を使用しない場合はOUT_n端子(n=1,2,3,4,5)をオープンにしてください。When cell balance function is not used, please open the output of OUT_n pin (n=1,2,3,4,5).

MM3575A02

11-7. 出力端子制御回路

Output pin control circuit

- SDC端子でDCHG端子、SOC端子でOV端子を制御することができます。
DCHG and OV pins can be controlled by SDC and SOC pins respectively.
- SDC端子電流がSDC端子検出電流(Max.0.1uA)以下になると、DCHG端子制御を認識し、DCHG出力端子が"Low"レベルとなり、外付け放電制御Nch MOS FETをOFFすることによって電池の放電を禁止します。
その後、SDC端子電流がSDC端子解除電流(Min.0.75uA)以上になると、DCHG出力端子が"High"レベルとなり、外付け放電制御Nch MOS FETをONすることで電池の放電を可能にします。
When SDC pin current becomes SDC pin detection current (Max.0.1uA) or less, it recognizes DCHG pin control. Then DCHG output pin becomes "Low" level, and it forbids battery to discharge by turning off external discharge control Nch MOS FET.
After that, when SDC pin current becomes SDC pin release current (Min.0.75uA) or more, DCHG output pin becomes "High" level and battery will be able to discharge by turning on external discharge control Nch MOS FET.
- SDC端子の検出、解除時にはIC内部で設定された遅延時間が存在します。SDC端子電流がSDC端子検出電流以下となっても、SDC端子検出遅延時間内(Typ.2.0ms)に検出電流以上になると、SDC端子での検出動作は行いません。
SDC端子検出状態で、SDC端子解除電流以上となっても、SDC端子解除遅延時間内(Typ.1.0ms)に、解除電流以下になるとSDC端子検出状態の解除は行いません。
There is delay time set inside IC for SDC pin detection and release. Even if SDC pin current becomes SDC pin detection current or less, it does not detect SDC pin when it becomes detected current or more within SDC pin detection delay time (Typ.2.0ms).
Even if it becomes SDC pin release current or more during SDC pin detection, it does not release SDC pin detection condition when it becomes release current or less within SDC pin release delay time (Typ.1.0ms).
- SOC端子電流がSOC端子検出電流(Max.0.1uA)以下になると、OV端子制御を認識し、外付けプルダウン抵抗が接続されるOV出力端子が"Hi-impedance"となり、プルダウン抵抗によりプルダウンされ、外付け充電制御Nch MOS FETをOFFすることによって電池の充電を禁止します。その後、SOC端子電流がSOC端子解除電流(Min.0.75uA)以上になると、OV出力端子が"High"レベルとなり、外付け充電制御Nch MOS FETをONすることで電池の充電を可能にします。
When SOC pin current becomes SOC pin detection current (Max.0.1uA) or less, it recognizes OV pin control. Then OV pin, which external pull-down resistance will be connected to, becomes "Hi-impedance". It will be pulled down by pull-down resistance, and it forbids battery to charge by turning off external charge control Nch MOS FET.
After that, when SOC pin current becomes SOC pin release current (Min.0.75uA) or more, OV pin becomes "High" level and battery will be able to charge by turning on external charge control Nch MOS FET.
- SOC端子の検出、解除時にはIC内部で設定された遅延時間が存在します。SOC端子電流がSOC端子検出電流以下となっても、SOC端子検出遅延時間内(Typ.2.0ms)に検出電流以上になると、SOC端子での検出動作は行いません。
SOC端子検出状態で、SOC端子解除電流以上となっても、SOC端子解除遅延時間内(Typ.1.0ms)に、解除電流以下になるとSOC端子検出状態の解除は行いません。
There is delay time set inside IC for SOC pin detection and release. Even if SOC pin current becomes SOC pin detection current or less, it does not detect SOC pin when it becomes detected current or more within SOC pin detection delay time (Typ.2.0ms). Even if it becomes SOC pin release current or more during detecting SOC pin, it does not release SOC pin detection when it becomes release current or less within SOC pin release delay time (Typ.1.0ms).
- 出力端子制御をしない場合、SDC,SOC端子は電流制限抵抗(1MΩ以下)を介してVDD端子レベルに接続してください。
When output pin control is not used, please connect SDC and SOC pin to VDD pin level with current control resistance (1MΩ or less).

MM3575A02

11-8. パワーセーブモード検出回路

Power save mode detector

- ・ SDC端子、SOC端子を制御することで、パワーセーブモードにすることが可能です。
Power save mode can be set by controlling SDC and SOC pins.
- ・ SDC端子、SOC端子に流れる電流を検出電流以下にするとパワーセーブモード1に移行し、不要な回路を停止させて、VDD、V5端子の消費電流を低減させます。パワーセーブモード1では、DCHG出力端子は"Low"レベル、OV出力端子は"Hi-impedance"となり、外付け充放電制御Nch MOS FETをOFFし充放電禁止状態になります。このとき、レギュレータ出力は出力した状態のままです。パワーセーブモード1の状態から、SDC端子、SOC端子の両方をパワーセーブモード2検出電圧(Max.0.5V)以下に下げると、パワーセーブモード2に移行し、レギュレータ出力をOFFさせて、VDD端子に流れる電流をさらに低減させます。
It changes to power save mode1 when decrease the current which flows to SDC and SOC pins to detected current or less. It stops unnecessary circuits and decreases current consumption of VDD and V5 pins. On power save mode1, DCHG pin becomes "Low" level and OV pin becomes "Hi-impedance", and it forbids charge and discharge by turning off external charge-discharge control Nch MOS FET. At this time, the regulator output remains to output. When decrease both SDC and SOC pins from power save mode1 to power save mode2 detection voltage (Max.0.5V) or less, they will change to power save mode2. Then turn off the regulator output and decrease more current which flows to VDD pin.

- ・ パワーセーブモード2はSDC端子、SOC端子の両方をパワーセーブモード2検出電圧以上に上げると、解除されます。パワーセーブモード1は、SDC端子、SOC端子に流れる電流が、解除電流以上になることで解除されます。

Power save mode 2 will be released when both SDC and SOC pins are increased to power save mode2 detection voltage or more.

Power save mode 1 will be released when the current which flows to SDC and SOC pins increases to release current or more.

- ・ パワーセーブモード1の解除にはIC内部で設定された遅延時間が存在します。パワーセーブモード1の状態、SDC端子、SOC端子に流れる電流が解除電流以上となっても、パワーセーブモード解除遅延時間内(Typ.4.0ms)に解除電流以下になるとパワーセーブモード1を解除しません。
There is delay time set inside IC for power save mode1. Even if the current which flows to SDC and SOC pins becomes release current or more during power save mode1, it does not release power save mode1 when it becomes release current or less within power save mode release delay time (Typ.4.0ms).

- ・ パワーセーブモード2は遅延時間を設定していません。
There is no set delay time for power save mode2.

- ・ パワーセーブモード1への移行には、過放電検出遅延時間(Typ.1.00s)+約20msの遅延時間が存在します。
There is delay time of overdischarge detection delay time(Typ.1.00s) + about 20ms for power save mode1.

- ・ パワーセーブモード1を解除後は、過放電復帰遅延時間(Typ.4ms)後にDCHG=Hとなります。
When it released power save mode1, it changes DCHG=H after overdischarge release delay time(Typ.4ms).

11-9. 0V充電禁止回路

0V charge disable circuit

- ・ V5-V4端子間電圧、V4-V3端子間電圧、V3-V2端子間電圧、V2-V1端子間電圧、V1-VSS端子間電圧のいずれかが0V充電禁止最大電圧(Typ.1.25V)より低い電圧まで放電された電池に対しては、充電電流を流すことが出来ません。

Batteries are not able to carry charge current if any of voltage between V5-V4, V4-V3, V3-V2, V2-V1 and V1-VSS pins is discharged to below maximum forbidden voltage for 0V charging (Typ.0.9V).

MM3575A02

11-10. レギュレータ回路
Regulator circuit

- ・ 外付けNch MOS FETのドレインをVDDレベル、ゲートをDRIVE端子、ソースをREG_IN端子に接続することでレギュレータが構成されます。REG_IN端子の電圧がレギュレータ出力電圧(Typ.5.000V)です。
The regulator is constructed by connecting drain of external Nch MOS FET to VDD level, gate to DRIVE pin and source to REG_IN pin. The voltage of REG_IN pin is regulator output voltage(Typ.5.000V).
- ・ V5-V4端子間電圧、V4-V3端子間電圧、V3-V2端子間電圧、V2-V1端子間電圧、V1-VSS端子間電圧の全てが過放電検出電圧以下、またはパワーセーブモード2に移行するとレギュレータはOFFします。
OFFした後はV5-V4端子間電圧、V4-V3端子間電圧、V3-V2端子間電圧、V2-V1端子間電圧、V1-VSS端子間電圧の全てが過放電復帰電圧以上、かつパワーセーブモード2を解除するとレギュレータはONします。
The regulator is turned off when all the voltage between V5-V4, V4-V3, V3-V2, V2-V1 and V1-VSS pins become overdischarge detection voltage or less, or change to power save mode2.
After turning off, the regulator will be turned on when all the voltage between V5-V4, V4-V3, V3-V2, V2-V1 and V1-VSS pins become overdischarge release voltage or more, and power save mode2 is released.
- ・ レギュレータを使用しない場合はDRIVE端子はオープン、REG_IN端子は電流制限抵抗(1M Ω ~2M Ω 程度)を介してVSS端子レベルに接続してください。
When regulator is not used, please connect DRIVE pin to open and REG_IN pin to VSS pin level with current control resistance (about 1M Ω ~2M Ω).

MM3575A02

11-11. セレクト回路 Select circuit

- SEL端子に印加する電圧で3セル～5セル保護の切り替えを行います。
3 cell~5 cell is switched by voltage which applies to SEL pin.
- SEL端子にSEL端子電圧L(Max.0.5V)レベルが印加されている場合、5セル保護設定となります。
It is 5 cell protection setting when SEL pin voltage L (Max.0.5V) level is applied to SEL pin.
- SEL端子にSEL端子電圧M(Min.1.4V～Max.VDD-1.4V)レベルが印加されている場合、4セル保護設定となります。4セル保護設定の場合V5-V4端子間の過充電、セルバランス、過放電検出動作とV4端子の断線検出動作を行いません。4セル保護の際はV5-V4端子間をショートして使用してください。
It is 4 cell protection setting when SEL pin voltage M(Min.1.4V～Max.VDD-1.4V) level is applied to SEL pin. When it is on 4 cell protection setting, it does not conduct overcharge, cell balance and overdischarge detection operations between V5-V4 pin, and disconnection detection operation of V4 pin. For 4 cell protection, please short between V5-V4 pins and then use.
- SEL端子にSEL端子電圧H(Min.VDD-0.5V)レベルが印加されている場合、3セル保護設定となります。3セル保護設定の場合V5-V4端子間、V4-V3端子間の過充電、セルバランス、過放電検出動作とV4端子、V3端子の断線検出動作を行いません。3セル保護の際はV5-V4-V3端子間をショートして使用してください。
It is 3 cell protection setting when SEL pin voltage H(Min.VDD-0.5V) level is applied to SEL pin. When it is on 3 cell protection setting, it does not conduct overcharge, cell balance and overdischarge detection operations between V5-V4 pins, and disconnection detection operations of V3 pin. For 3 cell protection, please short between V5-V4-V3 pins and then use.

11-12. COC端子遅延時間回路 COC pin delay time circuit

- 放電過電流、充電過電流の検出、復帰遅延時間はVDD-COC端子間に接続される容量で設定されます。

Discharging overcurrent, charging overcurrent detect and release delay time are set by capacity connected to VDD-COC pins.

- 各遅延時間は下記の式で計算される値が遅延時間となります。容量は共通のため値を変えると下記の遅延時間が全て変わります。

Each delay time is calculated from the following formulas. Since the capacity is the same, all delay times below will change when a value is changed.

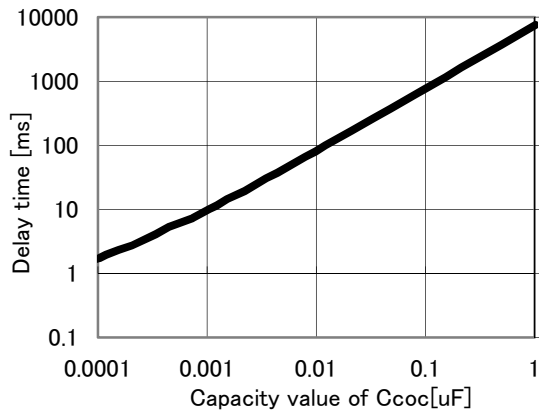
放電過電流1検出遅延時間 Discharging overcurrent detection delay time1	$t_{VDET3-1}[\text{ms}] = 10.0 \times \text{CCOC}[\text{uF}] \times 1000$
放電過電流2検出遅延時間 Discharging overcurrent detection delay time2	$t_{VDET3-2}[\text{ms}] = 2.0 \times \text{CCOC}[\text{uF}] \times 1000$
放電過電流復帰遅延時間 Discharging overcurrent release delay time	$t_{VREL3}[\text{ms}] = 4.0 \times \text{CCOC}[\text{uF}] \times 1000$
充電過電流検出遅延時間 Charging overcurrent detection delay time	$t_{VDET4}[\text{ms}] = 1024.0 \times \text{CCOC}[\text{uF}] \times 1000$
充電過電流復帰遅延時間 Charging overcurrent release delay time	$t_{VREL4}[\text{ms}] = 128.0 \times \text{CCOC}[\text{uF}] \times 1000$

C_{COC} : COC端子容量 / COC pin capacitor

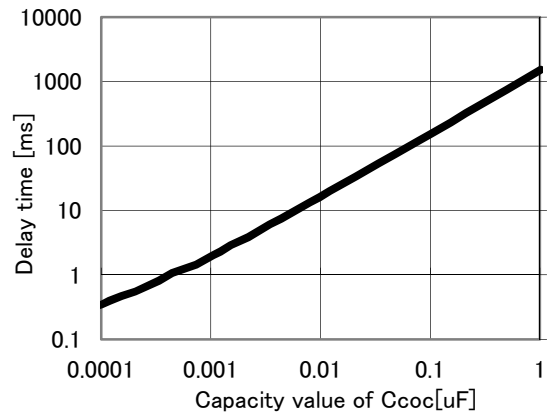
MM3575A02

11-13. COC端子遅延時間特性
COC pin delay time characteristic

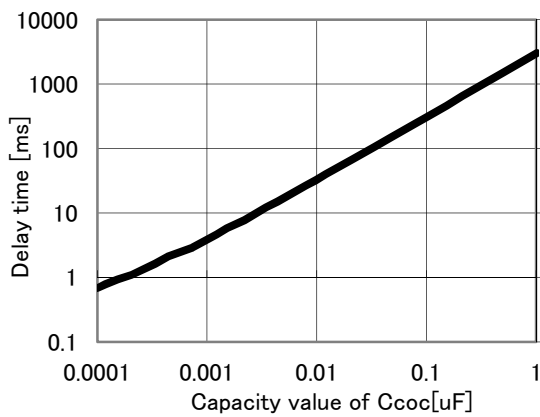
Discharging overcurrent detection delay time 1



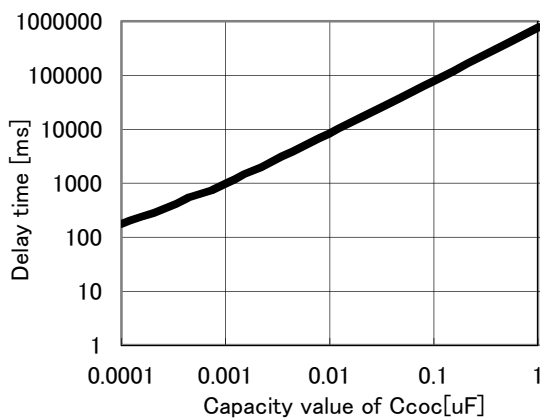
Discharging overcurrent detection delay time 2



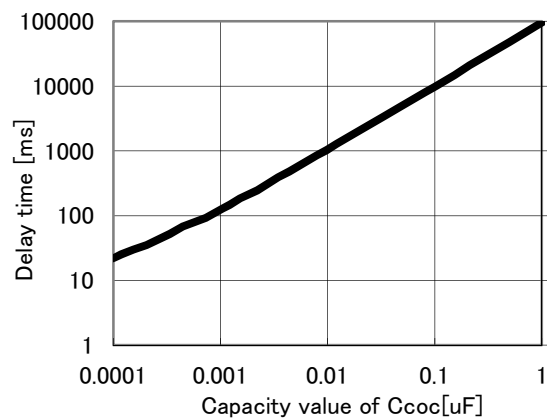
Discharging overcurrent release delay time



Charging overcurrent detection delay time



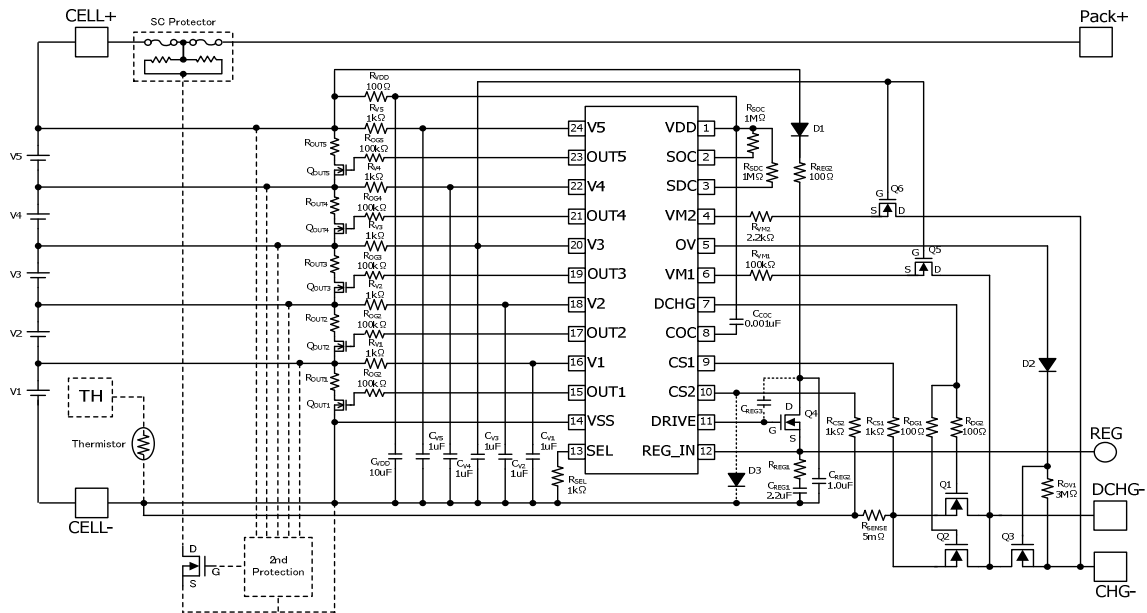
Charging overcurrent release delay time



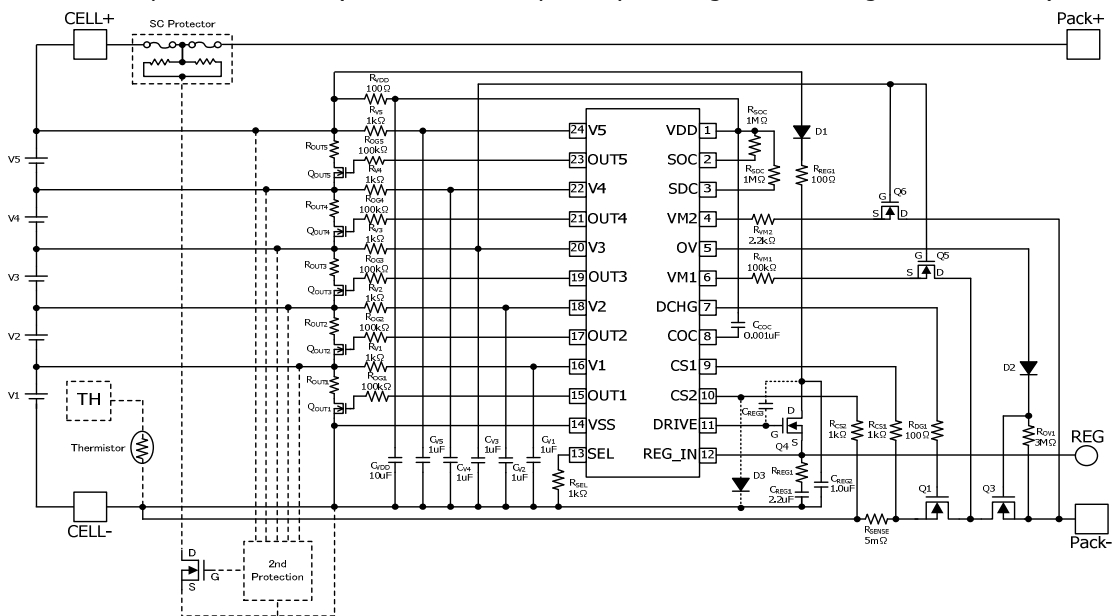
MM3575A02

12. 応用回路例
TYPICAL APPLICATION CIRCUIT

12-1. 5直応用回路例 (充放電経路を分ける場合)
5 cells protection circuit (When the current pathway of charge and discharge is divided.)



12-2. 5直応用回路例 (充放電経路を分けない場合)
5 cells protection circuit (When the current pathway of charge and discharge is not divided.)



- これらの回路は参考例として代表的な応用例を示したもので、実際にご使用する場合は、十分ご検討して使用して頂くようお願いいたします。

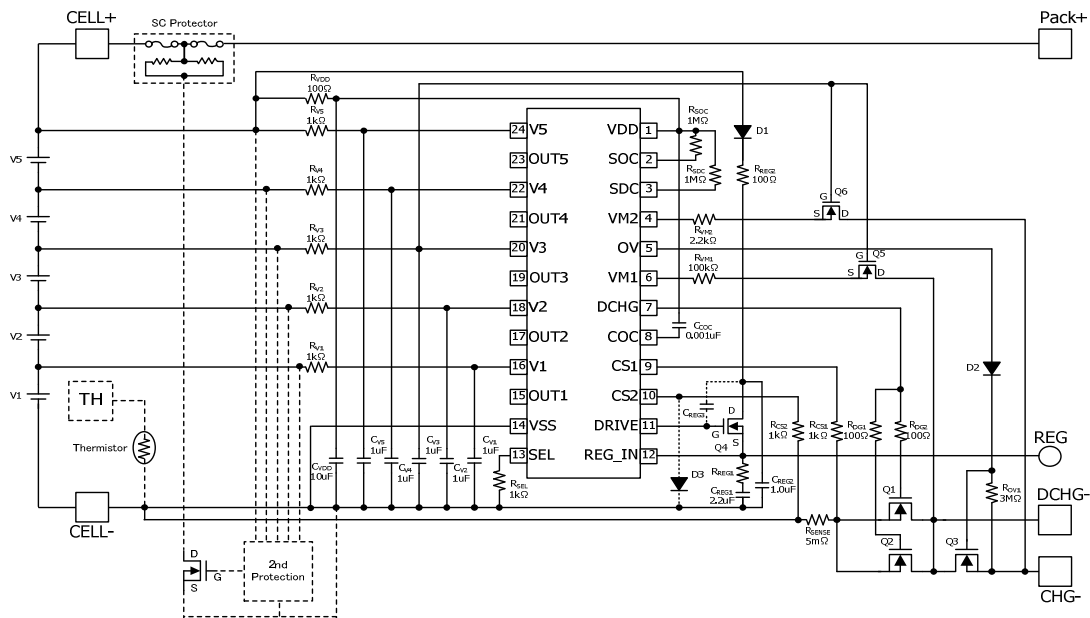
These circuits are typical examples provided for reference purposes, so in actual applications, the circuit constants, conditions and operations should be thoroughly studied.

- これらの回路を使用した事に起因する事故或いは損害等につきましては、当社はその責を負いかねますのでご了承下さい。

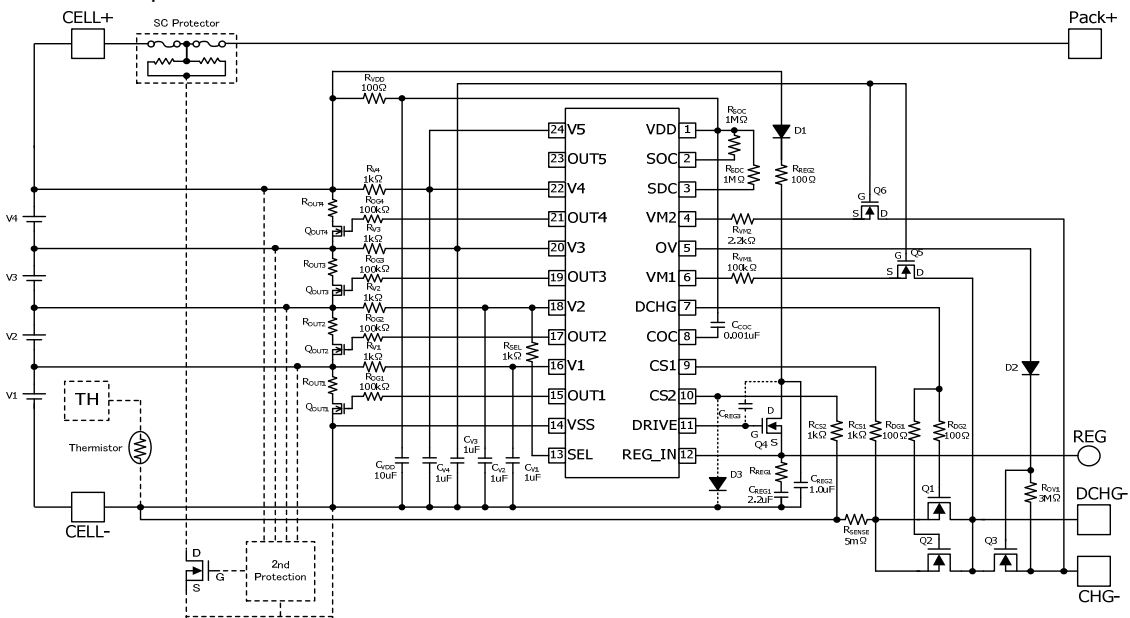
Mitsumi Electric Co., Ltd. assumes no responsibility for any trouble or damage as a result of the use of these circuits.

MM3575A02

12-3. 5直応用回路例 (セルバランス機能を使用しない場合)
5 cells protection circuit (When a cell balance function is not used.)



12-4. 4直応用回路例
4 cells protection circuit



- これらの回路は参考例として代表的な応用例を示したもので、実際にご使用する場合は、十分ご検討して使用して頂くようお願いいたします。

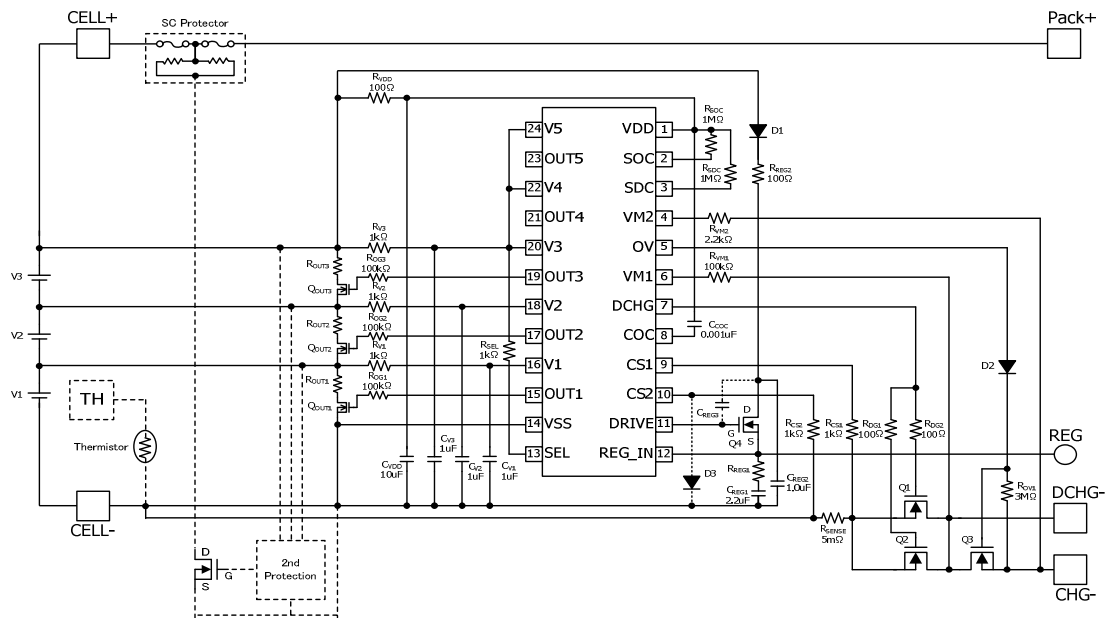
These circuits are typical examples provided for reference purposes, so in actual applications, the circuit constants, conditions and operations should be thoroughly studied.

- これらの回路を使用した事に起因する事故或いは損害等につきましては、当社はその責を負いかねますのでご了承下さい。

Mitsumi Electric Co., Ltd. assumes no responsibility for any trouble or damage as a result of the use of these circuits.

MM3575A02

12-5. 3直応用回路例 3 cells protection circuit



- これらの回路は参考例として代表的な応用例を示したもので、実際にご使用する場合は、十分ご検討して使用して頂くようお願いいたします。

These circuits are typical examples provided for reference purposes, so in actual applications, the circuit constants, conditions and operations should be thoroughly studied.

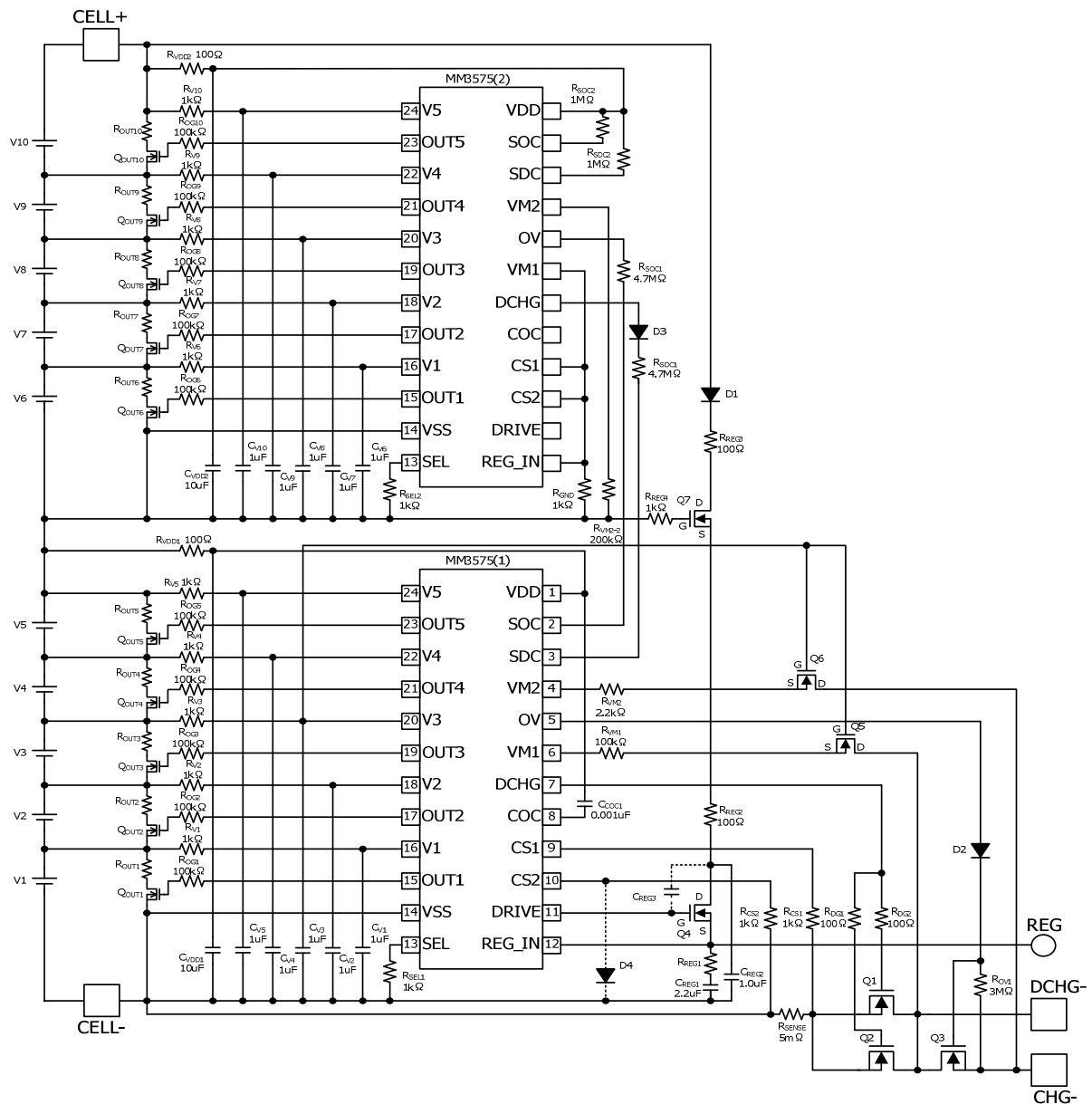
- これらの回路を使用した事に起因する事故或いは損害等につきましては、当社はその責を負いかねますのでご了承下さい。

Mitsumi Electric Co., Ltd. assumes no responsibility for any trouble or damage as a result of the use of these circuits.

MM3575A02

MITSUMI ELECTRIC CO.,LTD.

12-6. 10直応用回路例
10 cells protection circuit



- これらの回路は参考例として代表的な応用例を示したもので、実際にご使用する場合は、十分ご検討して使用して頂くようお願いいたします。

These circuits are typical examples provided for reference purposes, so in actual applications, the circuit constants, conditions and operations should be thoroughly studied.

- これらの回路を使用した事に起因する事故或いは損害等につきましては、当社はその責を負いかねますのでご了承下さい。

Mitsumi Electric Co., Ltd. assumes no responsibility for any trouble or damage as a result of the use of these circuits.

MM3575A02

12-8. 使用上の注意点 Application hints

- ・ 充放電制御FETを並列接続して使用する際は、寄生発振による破壊を防止するためにゲートに $10\Omega \sim 100\Omega$ 程度の抵抗を挿入してください。(RDG1,RDG2)
When charge-and-discharge control FET is multiple connection, please insert resistor from 10ohm to 100ohm with gate in order to prevent destruction due to parasitic oscillation. (RDG1,RDG2)
- ・ Q5,Q6は過放電、放電過電流を検出し、負荷によってパック出力 (DCHG-,Pack-) がCELL+電位に持ち上がった際にVM1,VM2端子に過大な電圧が印加されるのを防止するNch MOS FETです。電池の直数に応じた耐圧のものを使用して下さい。
Q5 and Q6 detect overdischarge and discharging overcurrent, and they are Nch MOS FET which prevents excess voltage from applying to VM1 and VM2 pins when pack output (DCHG-,Pack-) is increased to cell+ voltage by load. Please use one with voltage which meets the number of batteries in series.
- ・ Q4はレギュレータ出力用のNch MOS FETです。電池の直数に応じた耐圧、定格のものを使用して下さい。セルバランスの崩れを極力抑えるため、ドレイン端子の電位はCELL+レベルの電位から取るようにして下さい。
Q4 is Nch MOS FET for regulator output. Please use one with voltage and rating which meet the number of batteries in series. Please set potential for drain current from potential of cell+level in order to minimize a loss of cell balance.
- ・ D1はレギュレータからの逆流を防止するダイオードです。 $R_{REG2}, R_{REG3}, R_{REG5}$ はQ4がショートした場合の電流制限抵抗となりますので必ず入れてください。 R_{REG1} と $C_{REG1}(C_{REG2}, C_{REG3})$ はレギュレータの位相補償用の抵抗と容量となります。無い場合、レギュレータ出力が発振する懸念があります。必ず入れてください。入れる位置はQ4のゲートソース間に極力近づけてください。また必ず実機で確認して、数値を検証してください。
D1 is a diode which prevents backflow from regulator. Please make sure to insert $R_{REG1}, R_{REG2}, R_{REG3}$ since it will be current control resistance when shorted out. R_{REG1} and $C_{REG1}(C_{REG2}, C_{REG3})$ is resistance and capacity of regulator for phase compensation. The regulator output may oscillate without it. Please make sure to insert it and bring the position to put in close as much as possible between the gate and source of Q4. Please make sure to verify the constant numbers with production version.
- ・ R_{OUTn} はセルバランス制御時の放電電流の設定抵抗で、 Q_{OUTn} はセルバランス制御時の放電パスを制御するNch MOS FETです。放電電流は電池セルの特性に合わせて設定してください。
 R_{OUTn} is a set resistance of discharging current during cell balance control. Q_{OUTn} is Nch MOS FET which controls discharging path during cell balance control. Please set discharging current to meet characteristics of battery cell.
- ・ $R_{VDD1\sim3}$ と $C_{VDD1\sim3}$ はVDD端子の、 $R_{V1\sim15}$ と $C_{V1\sim15}$ はV1～V5端子の電源変動を抑える為のローパスフィルタです。電源変動によってV1～V5端子にVDD端子電圧以上の電圧が印加されないように、時定数を合わせて下さい。
 $R_{VDD1\sim3}, C_{VDD1\sim3}, R_{V1\sim15}$ and $C_{V1\sim15}$ is low-pass filter for VDD and V1～V5 pin. Please adjust time constants to prevent applying a voltage to V1～V5 pin higher than VDD pin when the power fluctuated.

これらの回路は参考例として代表的な応用例を示したもので、実際にご使用する場合は、十分ご検討して使用して頂くようお願いいたします。

These circuits are typical examples provided for reference purposes, so in actual applications, the circuit constants, conditions and operations should be thoroughly studied.

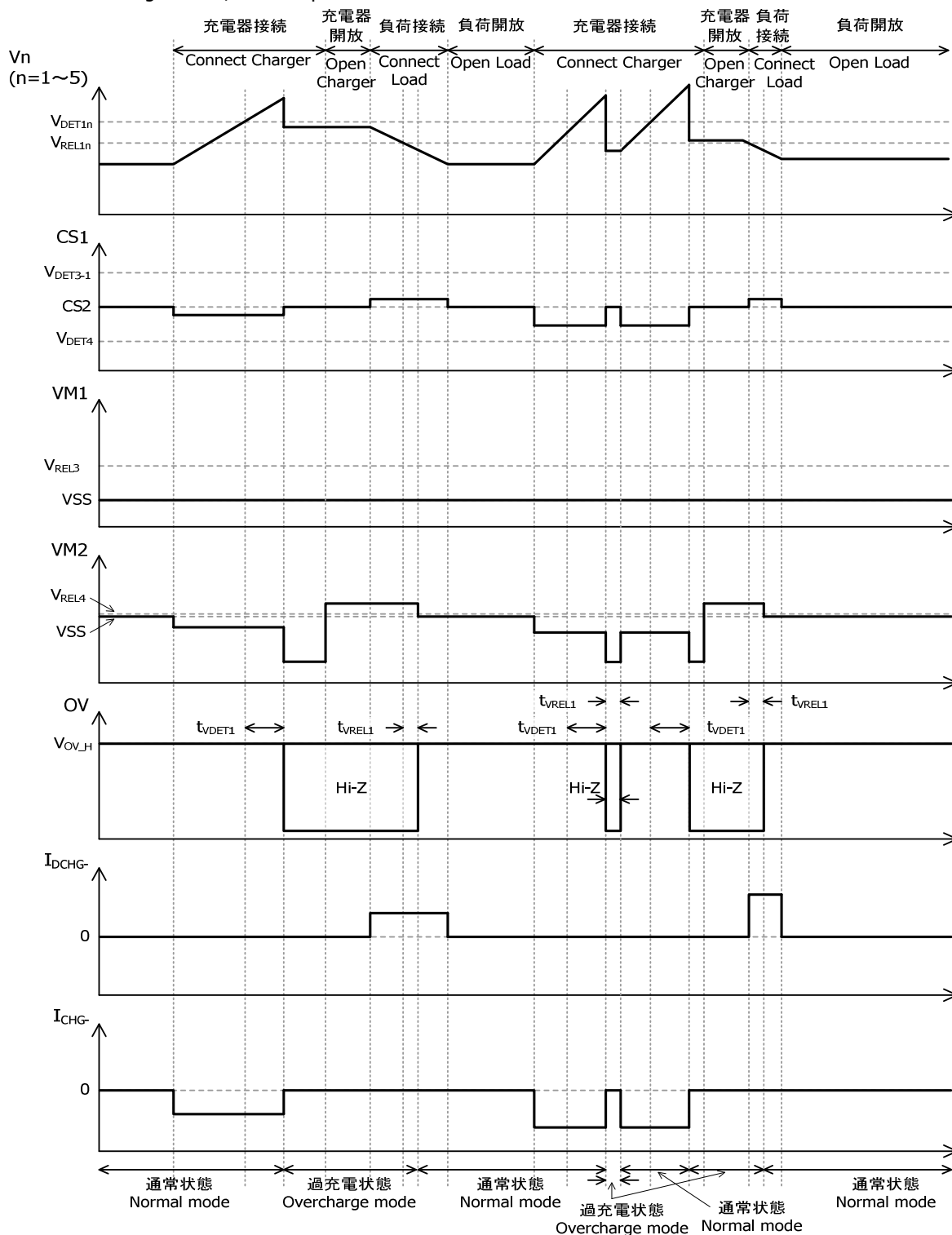
これらの回路を使用した事に起因する事故或いは損害等につきましては、当社はその責を負いかねますのでご了承下さい。

Mitsumi Electric Co., Ltd. assumes no responsibility for any trouble or damage as a result of the use of these circuits.

MM3575A02

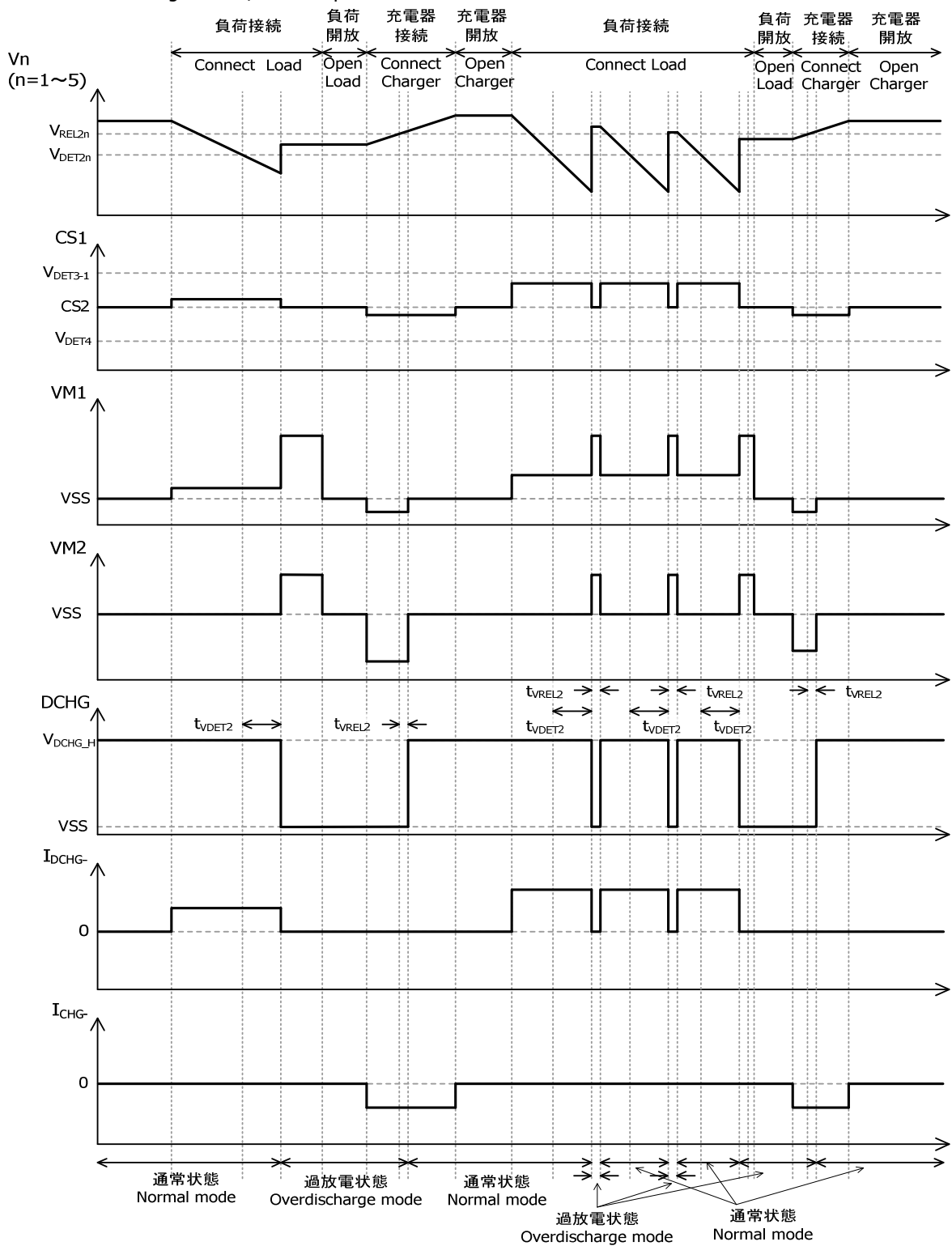
13. タイミングチャート TIMING CHART

13-1. 過充電検出/復帰動作 Overcharge detect/release operations



MM3575A02

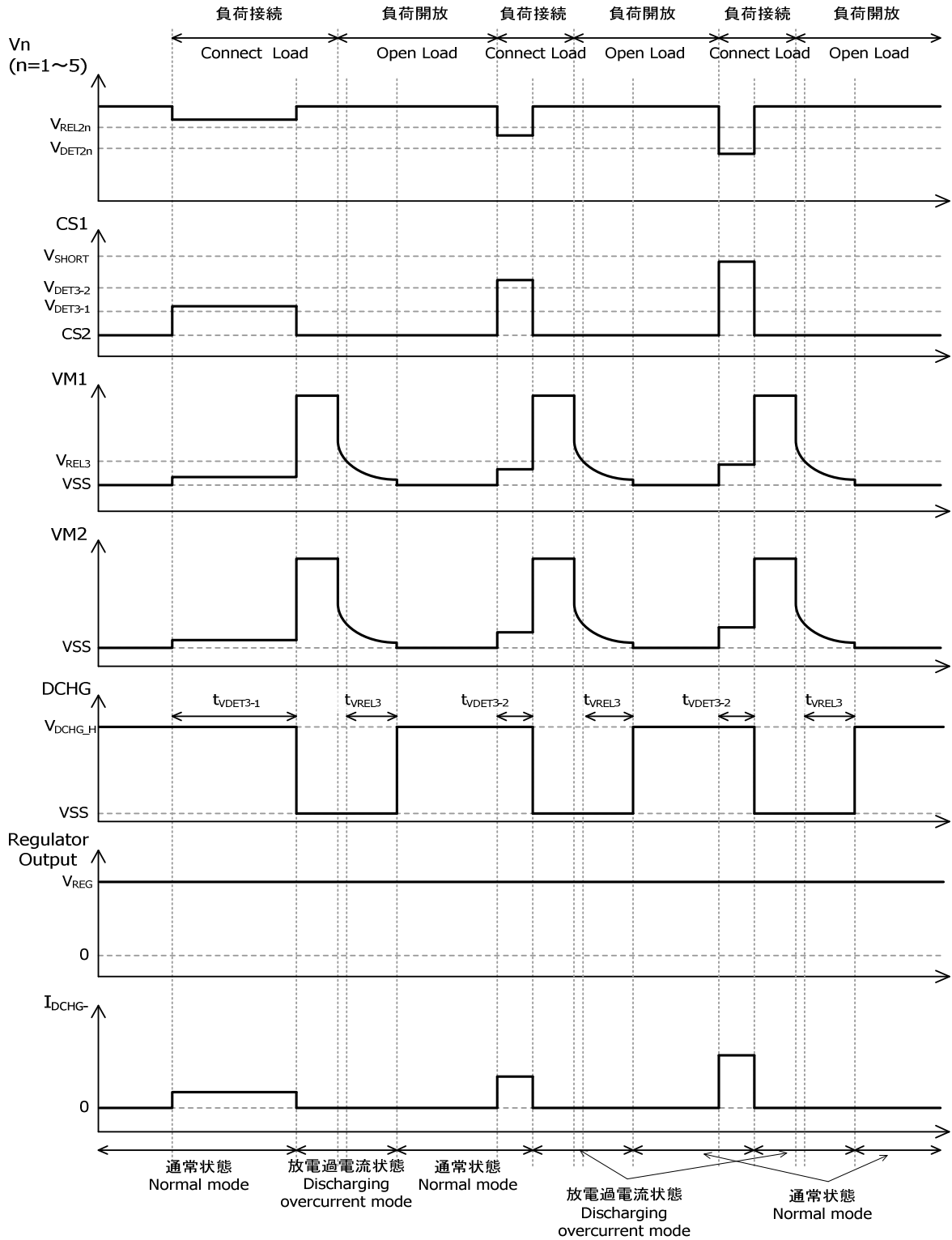
13-2. 過放電検出/復帰動作 Overdischarge detect/release operations



MM3575A02

13-3-1. 放电過電流検出/復帰動作

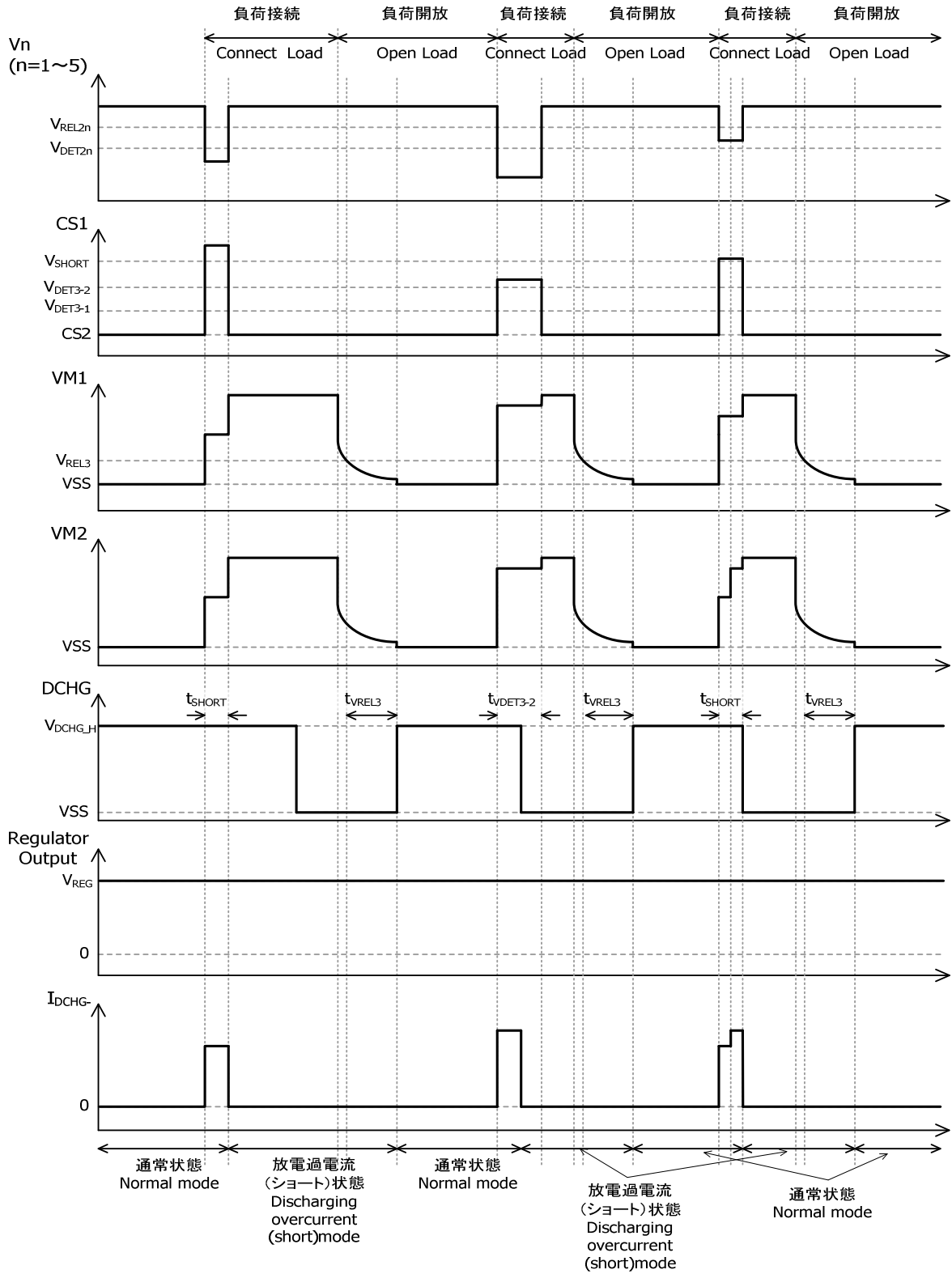
Discharging overcurrent detect/release operations



MM3575A02

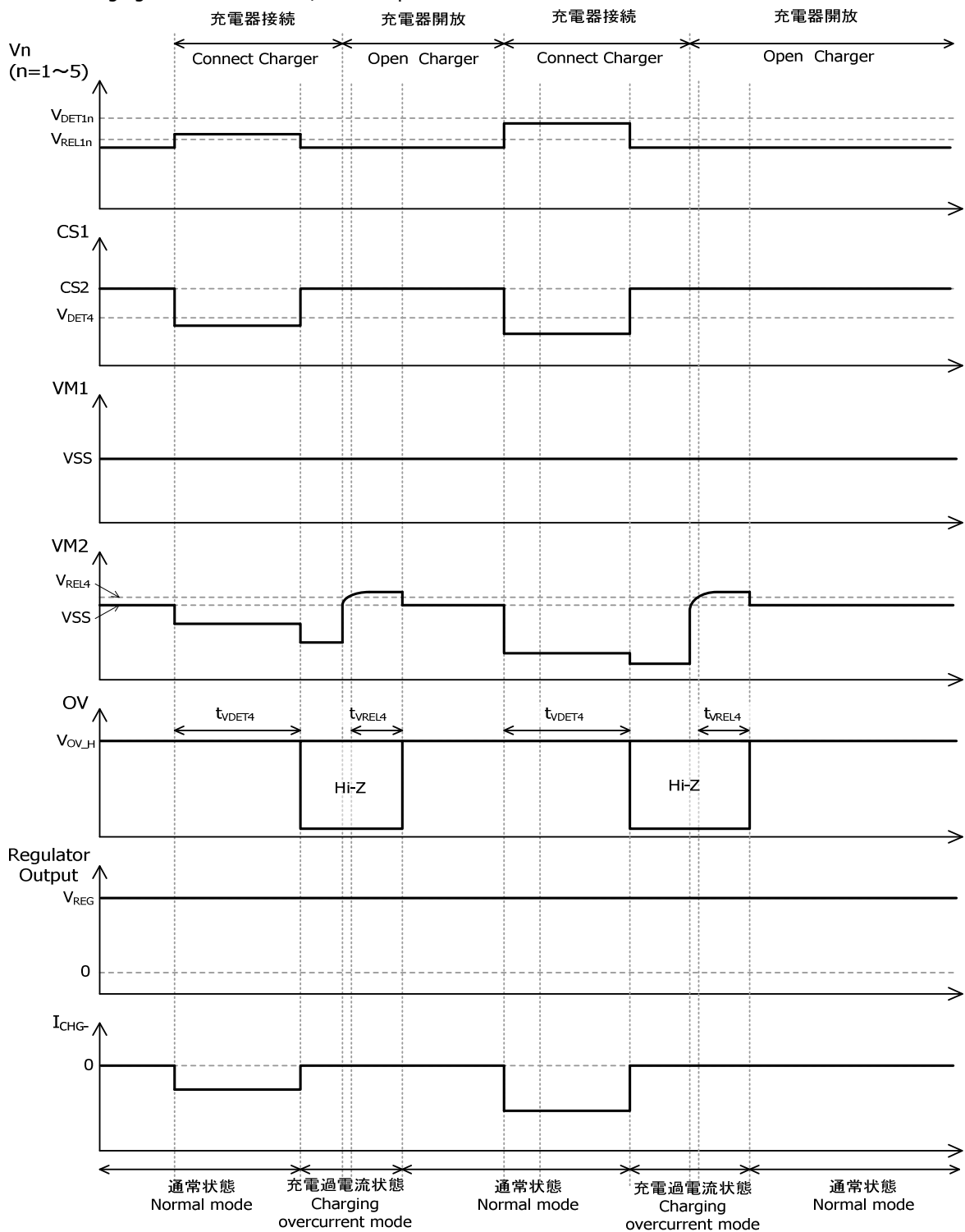
13-3-2. ショート検出/復帰動作

Short current detect/release operations



MM3575A02

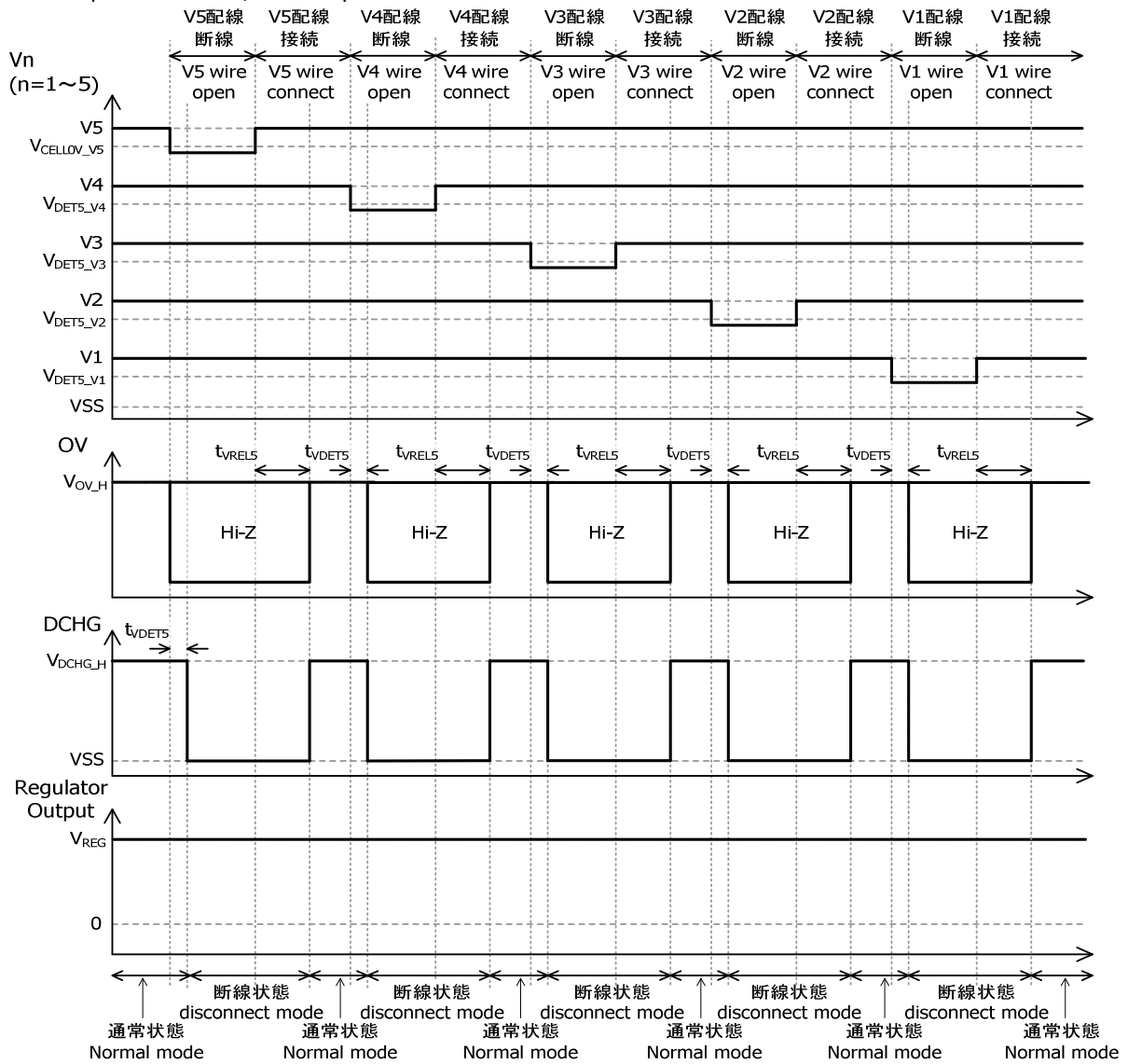
13-4. 充電過電流検出/復帰動作 Charging overcurrent detect/release operations



MM3575A02

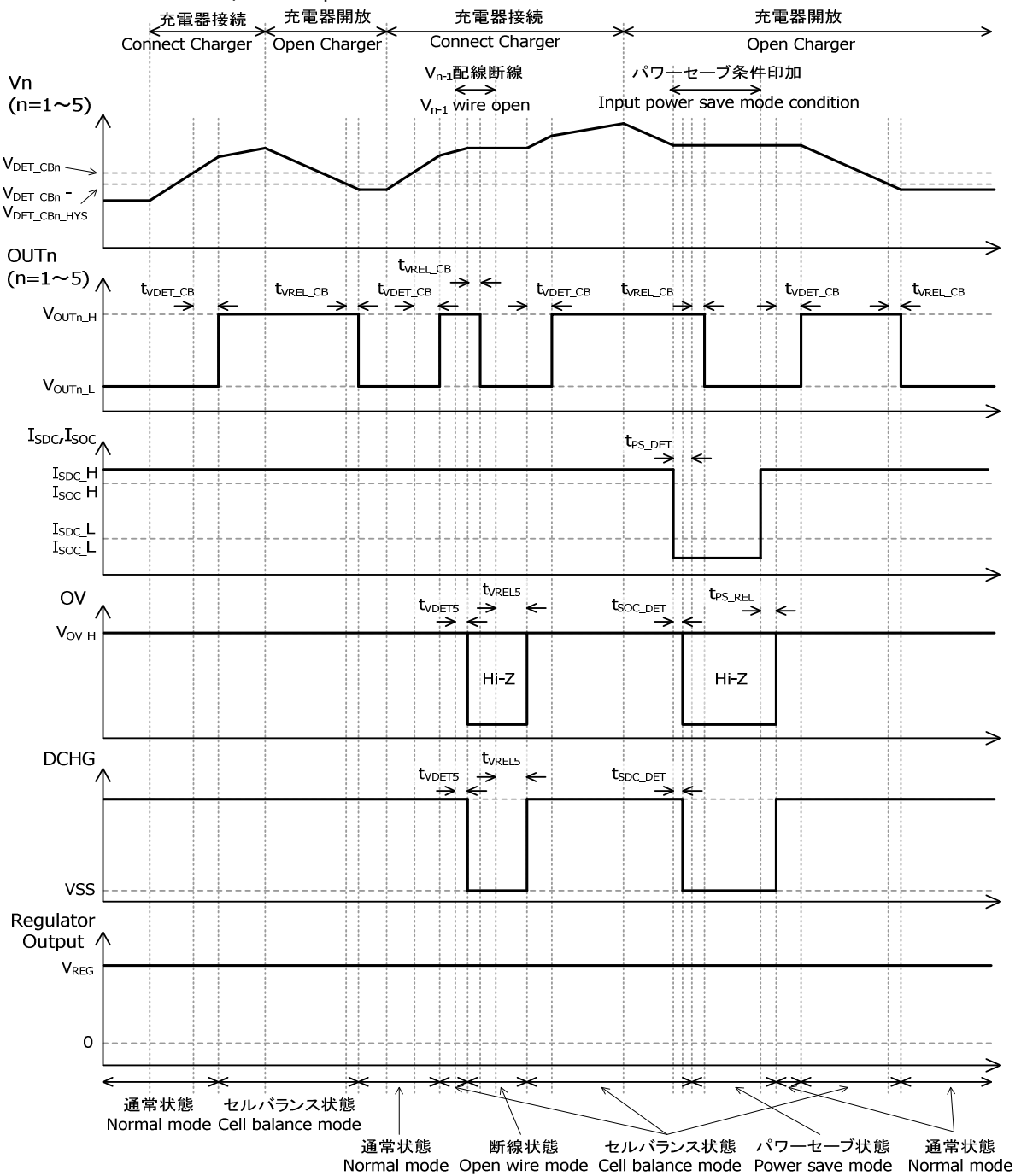
13-5. 断線検出/復帰動作

Open wire detect/release operations



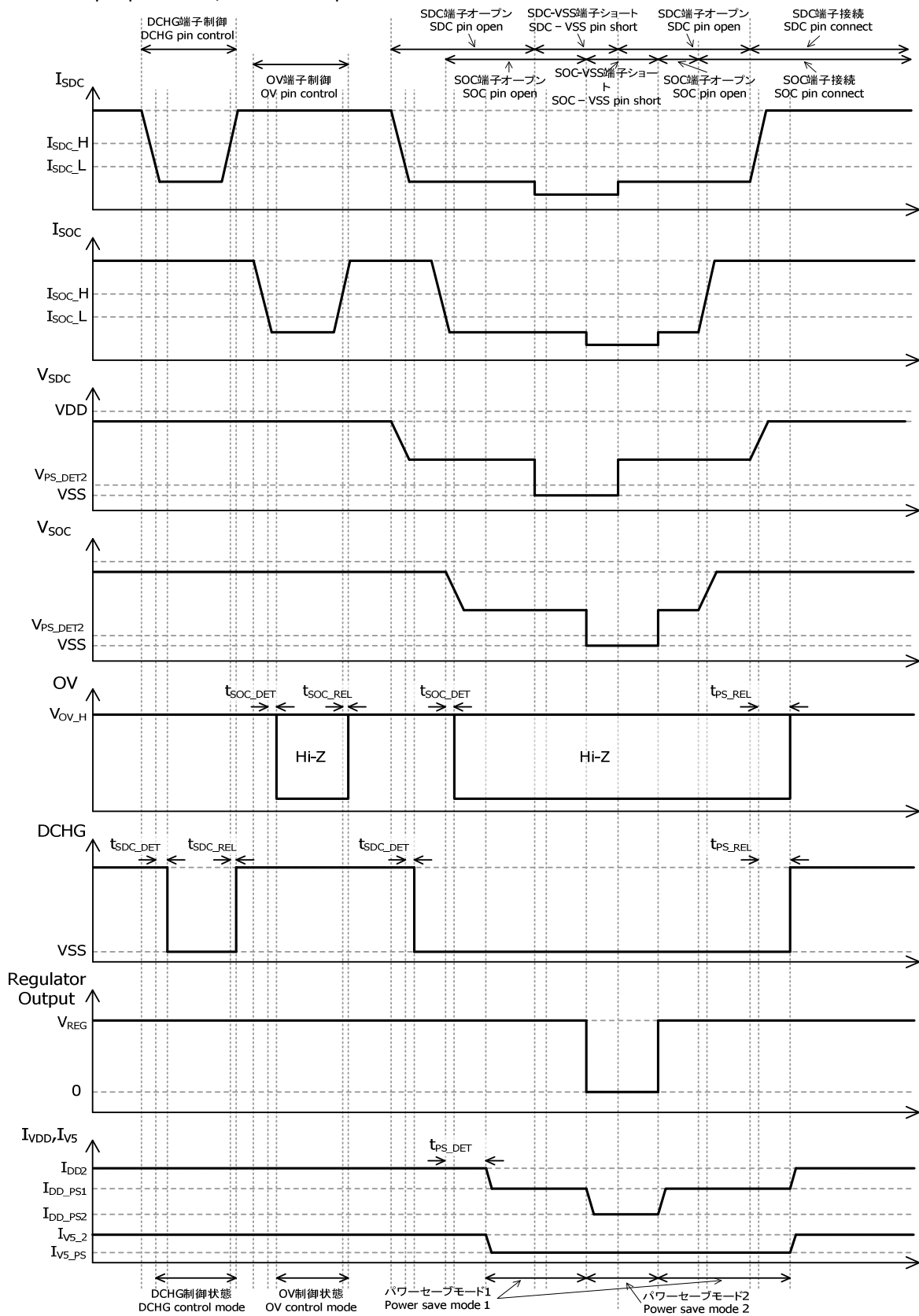
MM3575A02

13-6. セルバランス検出/復帰動作 Cell balance detect/release operations



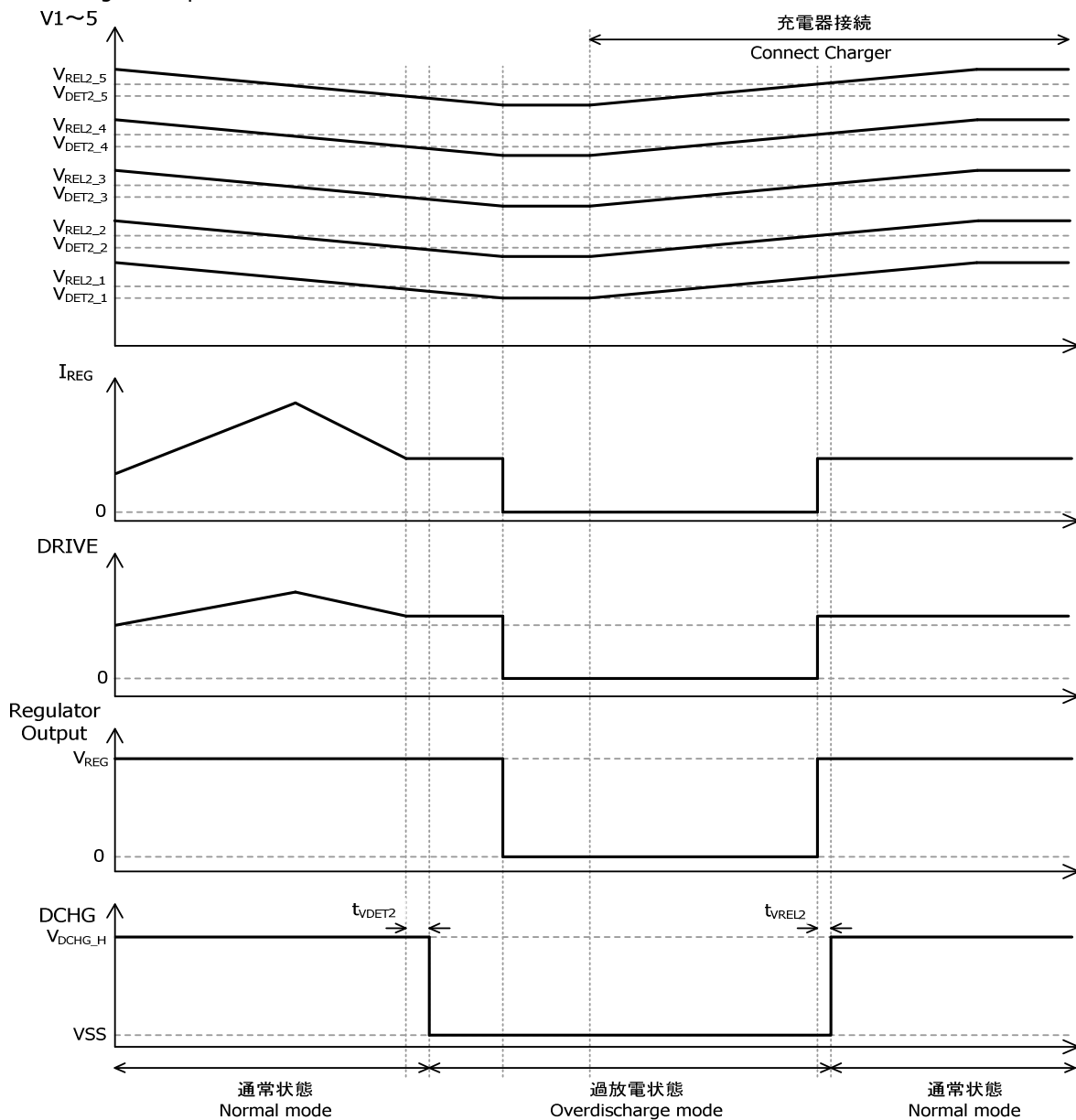
MM3575A02

13-7. 出力端子制御/パワーセーブ動作 Output pin control/Power save operations



MM3575A02

13-8. レギュレータ動作
Regulator operations

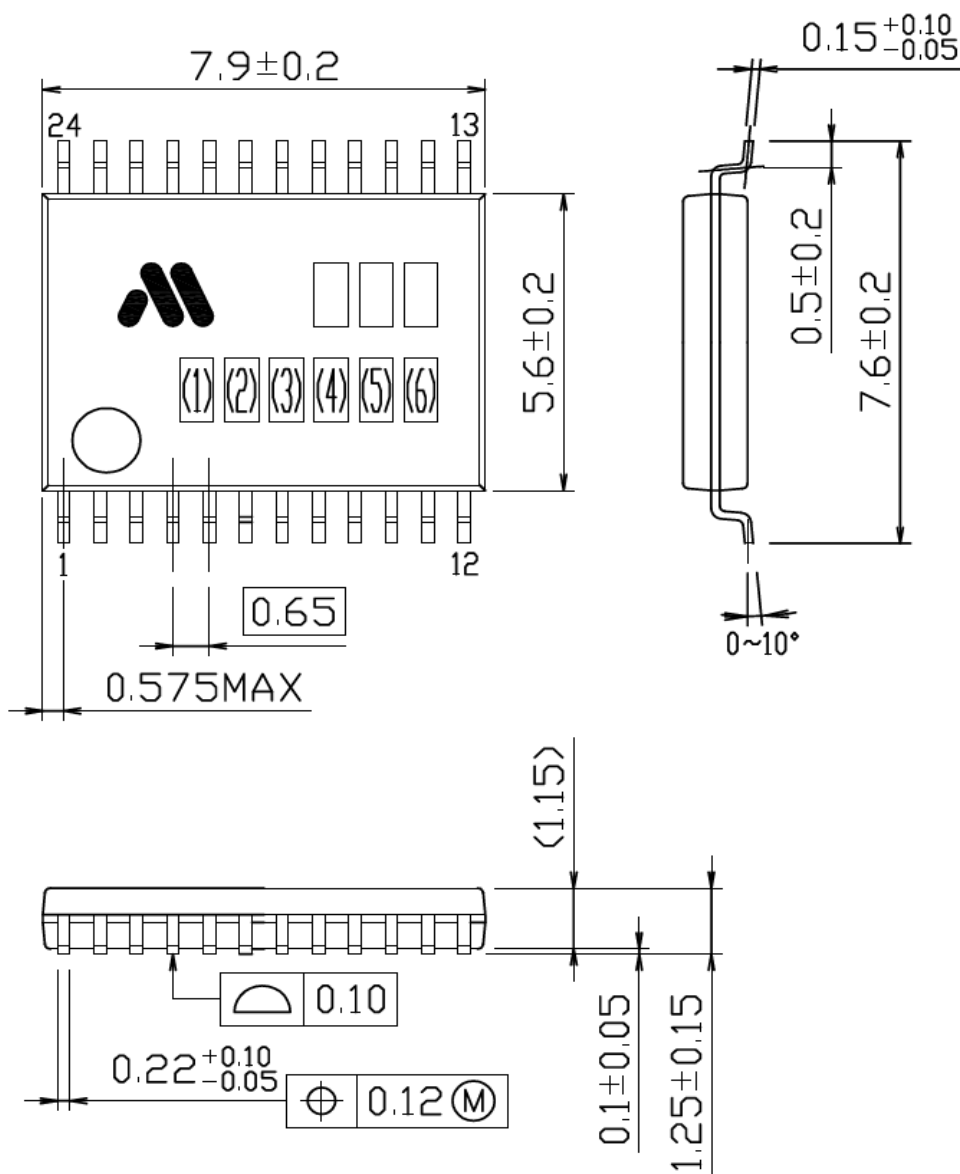


MM3575A02

14. 外形図
DIMENSIONS

パッケージ: VSOP-24A
PACKAGE

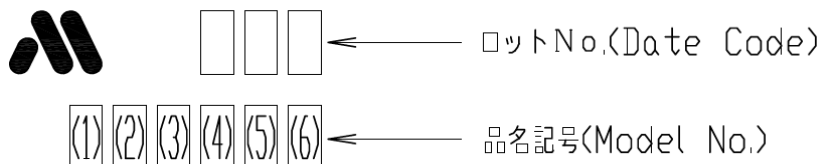
UNIT	mm
------	----



No. W24-VSOP24A-0001

MM3575A02

15. マーク内容
MARKING CONTENTS

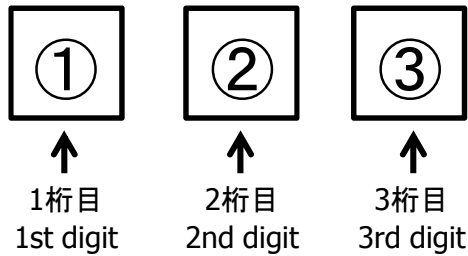


機種名 Model name	品名記号 Model No.					
	(1)	(2)	(3)	(4)	(5)	(6)
M M 3 5 7 5 A 0 2 W B H	5	7	5	A	0	2

MM3575A02

3桁ロットNo 判別方法

How to identify 3 characteristic lot numbers.



(1) ロットNo. の1桁目は生産年(西暦)の末尾を示す。

The 1st digit shows the last digit of a production year (western calendar).

(2) 2桁目、及び3桁目の数字は、量産に於ける生産週を示す。

表示は、01月01日を含む週を01週とし、順次 01、02、……、20、21、……51、52、53と定める。

The 2nd and 3rd digit show a production week of mass production.

January 1st should be the week 01, and sequentially the week should be defined as 01, 02, ………, 20, 21, ………, 51, 52, 53.

例) 生産日が 2014年 12月 21日 ~ 2014年 12月 27日 の場合

Ex.) Production date is between 21th.Dec.'14 to 27th.Dec.'14.



MM3575A02

付帯事項

NOTES

【安全上の注意事項】

Safety Precautions

- ・ 当社は品質、信頼性の向上に努めていますが、半導体製品は一般に誤動作又は故障する場合があります。本製品をご使用いただく場合は、本製品の誤動作や故障により生命・身体・財産が侵害されることのないように、お客様の責任において、お客様のハードウェア・ソフトウェア・システムに必要な安全設計を行うことをお願いいたします。なお、設計および使用に際しては、本製品に関する最新の情報(製品仕様書、データシート、アプリケーションノートなど)および本製品が使用される機器の取扱説明書、操作説明書などをご確認のうえ、これに従ってください。また、上記資料などに記載の製品データ、図、表などに示す技術的な内容、プログラム、アルゴリズムその他応用回路例などの情報を使用する場合は、本製品単独、およびシステム全体で十分に評価し、お客様の責任において適用可否を判断してください。当社は適用可否に対する責任は負いません。

Though Mitsumi Electric Co., Ltd. (hereinafter referred to as "Mitsumi") works continually to improve our product's quality and reliability, semiconductor products may generally malfunction or fail. Customers are responsible for complying with safety standards and for providing adequate designs and safeguards for their hardware, software and systems which minimize risk and avoid situations in which a malfunction or failure of this product could cause loss of human life, bodily injury or damage to property, including data loss or corruption. Before customers use this product, create designs including this product, or incorporate this product into their own applications, customers must also refer to and comply with (a) the latest versions or all relevant our information, including without limitation, product specifications, data sheets and application notes for this product and (b) the instructions for the application with which this product will be used with or for. Customers are solely responsible for all aspects of their own product design or applications, including but not limited to (a) determining the appropriateness of the use of this product in such design or applications; (b) evaluating and determining the applicability of any information contained in this document, or in charts, diagrams, programs, algorithms, sample application circuits, or any other referenced documents; and (c) validating all operating parameters for such designs and applications. Mitsumi assumes no liability for customers' product design or applications.

- ・ 本製品はコンピュータ・OA機器・通信機器・計測機器・工作機械・産業用ロボット・AV機器・家電等、一般電子機器に使用されることを意図しております。

This product is intended for applying to computers, OA units, communication units, instrumentation units, machine tools, industrial robots, AV units, household electrical appliances, and other general electronic units.

- ・ 輸送機器(自動車・列車等)の制御と安全性に係わるユニット・交通信号機器・防災/防犯装置等にご使用をお考えの際は、事前に当社販売窓口までご連絡いただきますようお願いいたします。

If any intend to apply this product to the units related to the control and safety of transportation units (vehicles, trains, etc.), traffic signaling units, disaster-preventive & burglar-proof units, or the like, you are requested to inform Mitsumi sales section in charge of such a use in advance.

- ・ 航空宇宙機器・海底中継機器・原子力制御機器・人命に係わる医療機器等にはご使用にならないでください。

Don't apply this product to any aeronautical & space systems, submarine repeaters, nuclear power controllers, medical units concerning the human life, or the like.

- ・ 上記に該当しない場合でも、ご使用の用途、目的及び使用環境やリスク、またこれらに対応した設計、検査仕様などについて、特段の注意を要する事柄がある場合には事前にご提示くださいますようお願いいたします。

Before using this product, even when it is not used for the usages written above, previous presentation is required if special care and attention are needed for its application, intended purpose, environment of usage, risk, and the design or inspection specification corresponding to these.

- ・ お客様の損害が本製品の不良によるものと客観的に認められた場合は当社の責任とし、当社が負う責任および費用の負担は、本製品単体の納入金額に限定されるものといたします。

If any damage to our customer is objectively identified to be caused by the defect of this product, Mitsumi is responsible for it. In this case, Mitsumi is liable for the cost limited to the delivery price of this product.

【応用回路、外付け回路、ご使用上の注意事項】

Application considerations during designing actual circuit

- ・本納入仕様書に記載されている動作概要は、集積回路の標準的な動作や使い方を説明するためのものです。従って、実際に本製品を使用される場合には、外部諸条件を考慮のうえ回路・実装設計をしてください。

The outline of parameters described herein has been chosen as an explanation of the standard parameters and performance of the product. When you actually plan to use the product, please ensure that the outside conditions are reflected in the actual circuit and assembling designs

- ・ご使用にあたってはご使用製品に実装、組込みされた状態で、ご評価および確認をお願いいたします。
Before using this product, please evaluate and confirm the actual application with this product mounted and embedded.

- ・製品に過渡的な負荷が印加される場合や外来ノイズの影響等につきましてはご使用製品に実装組込みされた状態で、ご評価および確認をお願いいたします。

In order to investigate the influence by the impression of transient load or external noise, please evaluate and confirm them with mounting this product to the actual application.

- ・ご使用上、いかなる場合においても最大定格を超えて使用しますと、製品の破壊や寿命に影響する事がありますので、必ず最大定格以内でご使用ください。

Any usage above the maximum ratings may destroy this product or shorten the lifetime. Be sure to use within the range under maximum rating.

- ・本製品の使用条件(使用温度/電流/電圧等)が絶対最大定格/動作範囲内での使用においても、高負荷(高温および大電流/高電圧印加、多大な温度変化等)で連続して使用される場合は、信頼性が著しく低下するおそれがあります。当社の個別信頼性情報(信頼性試験レポート、推定故障率等)をご確認のうえ、使用温度や設計寿命に応じ、許容損失や使用電圧を考慮し、適切な信頼性設計をお願いいたします。

If you continue to use this product highly-loaded (impressing high temperature, large current or high voltage; or variation of temperature) even under the absolute maximum ratings and even in the operating range, the reliability of this product may decrease significantly. Please design appropriate reliability with due consideration of dissipation and voltage corresponding to the temperature and designed lifetime after confirming our individual reliability information (such as reliability test report or estimated failure rate).

【輸出関連法規についての注意事項】

Precautions for Foreign Exchange and Foreign Trade Control Act

- ・本書に記載の製品及び技術のうち「外国為替及び外国貿易法」に基づき安全保障貿易管理関連貨物・技術に該当するものを輸出する場合、又は国外に持ち出す場合は日本国政府の許可が必要です。

If you export or take products and technologies in this document which are subject to security trade control based on the Foreign Exchange and Foreign Trade Act to overseas from Japan, permission of the Japanese government is required.

【工業所有権についての注意事項】

Prohibitions for Industrial Property

- ・本資料は当社の著作権、ノウハウに係わる内容も含まれておりますので、本製品の使用目的以外には用いないようお願い申し上げます。

Since this document contains the contents concerning our copyright and know-how, you are requested not to use this document for those other than the application purposes of this product.

- ・この製品を使用した事により、第三者の工業所有権に係わる問題が発生した場合、当社製品の製造・製法に直接係わるもの以外につきましては、当社はその責を負いませんのでご了承ください。

If a use of this product caused a dispute concerning the industrial property of a third party, Mitsumi is not responsible for any disputes other than those which are directly concerned with the manufacturing and manufacturing method of our products.

【製造物責任法(PL法)についての注意事項】

Precautions for Product Liability Act

- ・ 本製品の誤った使用又は不適切な使用等に起因する本製品の具体的な運用結果につきましては、当社は責任を負いかねますのでご了承ください。

No responsibility is assumed by us for any consequence resulting from any wrong or improper use or operation, etc. of this product.

【その他の注意事項】

Others

- ・ 本納入仕様書に記載された内容を、当社に無断で転載又は複製することをご遠慮ください。
No part of the contents contained herein may be reprinted or reproduced without our prior permission.
- ・ 本仕様書の記載内容に疑義が生じた場合は双方で協議のうえ速やかに解決にあたるものいたします。
In case of any question arise with regard to the description in this specification, it shall be settled by the consultation by both parties promptly.
- ・ 製品の納入形態がウエファ状態の場合、当社としての保証対象はウエファ状態までとなります。
組み立て以降で発生したいかなる不具合についても、当社は責任を負いかねますのでご了承ください。
Mitsumi assure only the products in wafer if they are delivered in wafer.
Please note that we are not responsible for the defect which occurs during or after assembly process.

取り扱い上の注意

ATTENTION

- ・ 本製品は一般電子機器に標準的な用途で使用されることを意図して設計・製造されており、下記のような特殊環境での使用を配慮した設計はなされておりません。従いまして、下記環境でのご使用及び保管は本製品の性能に影響を与える恐れがありますので、お客様におかれましては十分に性能、信頼性等をご確認のうえご使用ください。

静電気や電磁波の強い環境
高温及び高湿環境、結露する環境

This product is designed and manufactured with the intention of normal use in general electronics. No special circumstance as described below is considered for the use of it when it is designed. With this reason, any use and storage under the circumstances below may affect the performance of this product. Prior confirmation of performance and reliability is requested to customers.

Environment with strong static electricity or electromagnetic wave
Environment in high temperature or high humidity where dew condensation may occur

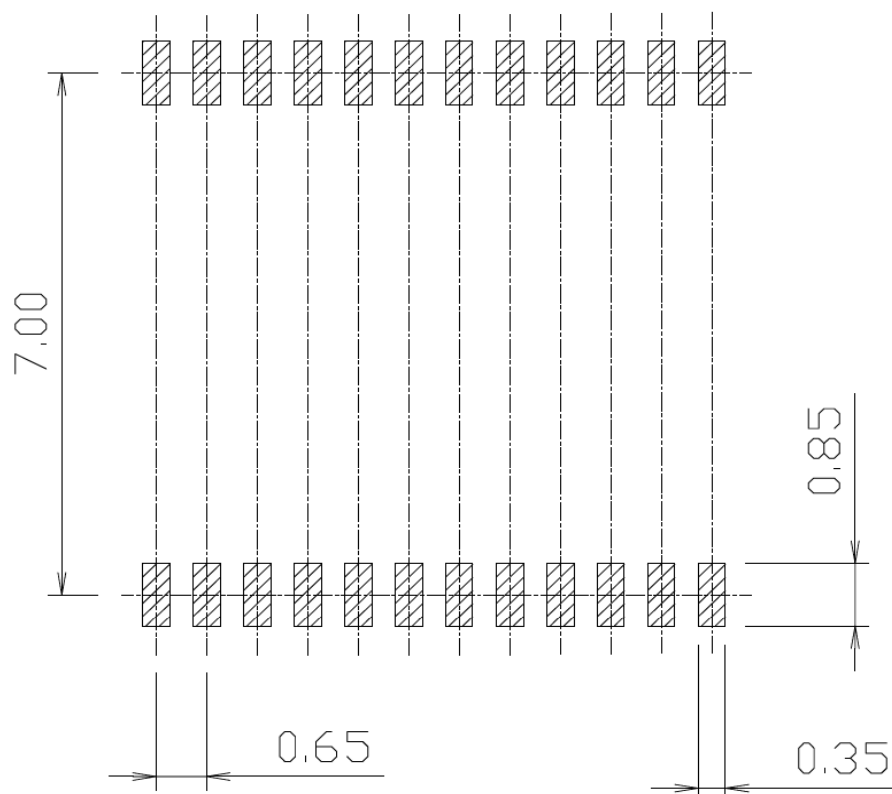
- ・ 本製品は、耐放射線設計をしておりません。放射線のストレスを受ける環境でのご使用は避けてください。
This product is not designed to withstand radioactivity, avoid using in a radioactive environment.
- ・ 本納入仕様書は和文と英文で作成されておりますが、英文での内容に疑義が生じた場合は和文を優先するものいたします。
This delivery specification is written in Japanese and English. The English text was faithfully translated to the Japanese. However, if any question arises, Japanese text shall prevail.

【パッケージ実装条件】 / Condition for package mounting

マウントパッド設計例
Design example of mount pad

パッケージ: VSOP-24A
PACKAGE

UNIT	mm
------	----



この寸法は参考値であり、保証値ではありません。

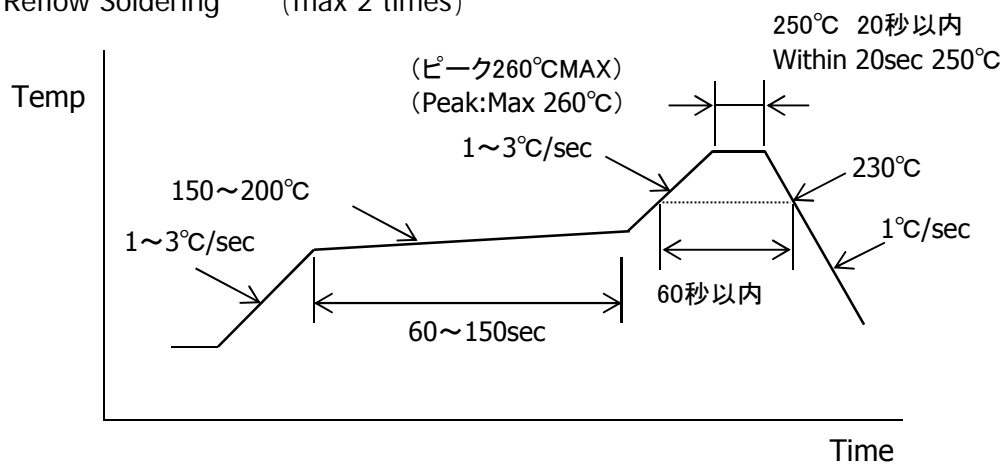
The dimension are for reference only and not guaranteed by design.

実際の設計においては、実装する基板の種類、実装(はんだ付け)方法、クリームはんだの種類及び塗布厚等の影響を考慮して、最適寸法となるよう修正を行って下さい。

To design practically, correction should be made for optimized dimensions considering the effects of the board type to be mounted, mount (soldering) method, type and coating thickness of cream solder.

鉛フリー対応推奨温度プロファイル
Pb-Free recommended profile condition

リフローはんだ付け (max2回)
Reflow Soldering (max 2 times)



手はんだ付け
Manual Soldering

こて先温度/時間 Iron tip temp./time	回数 times
max 400 /within 3s	max2

本温度プロファイル条件は推奨値でありその値を保証するものではありません。
温度プロファイルにつきましては実際にご使用になる設備、条件、部材で十分ご評価の上、実装して下さい。
This profile gives recommended values, which are not guaranteed.
For mounting the package, evaluate the profile with the equipment, conditions, and materials to be used.

・フローはんだ付けによる実装について

Mounting by flow soldering

本パッケージは、フローはんだ付けによる実装には対応しておりません。

Flow soldering cannot be used for mounting of this package.

保管方法
Storage method

【保管条件】 / Storage condition
本製品の保管条件を以下に推奨します。
Store the device under the following conditions.

温度 : 5 ~ 30
Temperature
湿度 : 40 ~ 70% RH
Humidity
期間 : 1年間 / 1 year
Storage life

また、防湿梱包製品の場合は開封後の保管条件を以下に推奨します。
For the product in the moisture-proof packaging, follow these conditions after unpacking.

温度 : 5 ~ 30
Temperature
湿度 : 40 ~ 70% RH
Humidity
期間 : 168時間 / 168hours
Storage life

本製品を有毒な揮発性ガスや塵埃の多い場所、静電気が帯電しやすい場所、直射日光や結露する場所、温度湿度の変化が激しい場所での保管は避けて下さい。
Do not store this device where a large amount of dust or harmful volatile gas exists, electrostatic is easily charged, condensation is generated, or changes in temperature and humidity are wide, or under the direct sunlight.

【ベーキング処理】 / Baking
上記保管期間を過ぎた場合、パッケージは吸湿したままはんだ付け実装を行なうとパッケージクラックが発生する可能性があります。実装前に下記条件のベーキングの実施を推奨致します。
If the storage time specified above has passed, mounting by soldering may cause cracks on the moisture-absorbed package. Before mounting, the package should be baked under the following conditions.

温度 : 125
Temperature
時間 : 16 ~ 24時間 / (16 to 24 hours)
Treating time

エンボステーピング/リールは耐熱仕様ではございません。
ベーキング処理を行う際は耐熱容器に移し替えて実施してください。
ベーキング処理に際しまして、ベーキング工程自体に手間がかかること、端子の変形を招く可能性があることを考えますと、保管条件を守り期限内ですみやかに実装されることを推奨致します。
やむを得ず長期保管が必要となった場合、デシケーターやドライボックス内での保管を推奨致します。
Embossing tapes and reels are not heat-resistant type.
Before baking, the device should be placed in a heat-resistant container.
In consideration of the time-consuming baking process and the possibility of deformed terminal, the device should be mounted promptly within the time observing the storage conditions.
If a long-term storage is needed, a desiccator or a dry box should be used.

【取扱上の注意】 / Handling instructions

本製品の取扱の際、落下や衝撃を与えるとデバイスを損傷させる原因になります為、梱包箱は丁寧に御取り扱い下さい。また、静電気の帯電防止を考慮し、急激な温度湿度の変化は避けて下さい。
Shipping boxes must be handled with care because any drop or shock may damage the device.
Additionally, the device must be handled in the place with the protection against electrostatic charge and without extreme changes of temperature/humidity.

X-ON Electronics

Largest Supplier of Electrical and Electronic Components

Click to view similar products for [Battery Management](#) category:

Click to view products by [Mitsumi](#) manufacturer:

Other Similar products are found below :

[MP2602DQ-LF-P](#) [MP26053DQ-LF-Z](#) [MP2611GL-P](#) [NCP347MTAHTBG](#) [LM3658SD-AEV/NOPB](#) [MP2607DL-LF-P](#) [MP26121DQ-LF-P](#)
[MP26123DR-LF-P](#) [MP2633GR-P](#) [MP2637GR-P](#) [BQ24212EVM-678](#) [NCP1855FCCT1G](#) [MP2636GR-P](#) [FAN54063UCX](#)
[MAX14680EWC+T](#) [MAX14634EWC+T](#) [DS2745U+T&R](#) [MAX14578EETE+T](#) [DS2781EVKIT+](#) [DS2781E+T&R](#) [MP2605DQ-LF-P](#)
[DS2710G+T&R](#) [MAX17040G+T](#) [MAX14525ETA+T](#) [MP2615GQ-P](#) [MAX14578EEWC+T](#) [LC05132C01NMTTGTG](#) [MAX8971EWP+T](#)
[MAX14630EZK+T](#) [MAX1873TEEE+T](#) [PSC5415A](#) [AUR9811DGD](#) [SN2040DSQR](#) [DS2715BZ+T&R](#) [MAX1508ZETA+T](#)
[MAX14921ECS+T](#) [MAX77301EWA+T](#) [BD8668GW-E2](#) [MAX16024PTBS+T](#) [DS2715Z+T&R](#) [MAX16024LTBZ18+T](#) [DS2782E+T&R](#)
[DS2782G+T&R](#) [MAX1908ETI+T](#) [ISL95522IRZ](#) [ISL95522HRZ](#) [ARD00558](#) [NCP4371AAEDR2G](#) [BD8665GW-E2](#) [MAX8934EETI+T](#)