

**Preliminary**

**2.4GHz Transceiver**

---

**Document Title**

**Preliminary Chinese Version Data sheet - A7105**

**Revision History**

<u>Rev. No.</u>	<u>History</u>	<u>Issue Date</u>	<u>Remark</u>
0.1	Initial issue	Jan 18 , 2008	
0.2	電性規格修正、章節調整、暫存器建議值修正、功能描述修正、修改 state machine 示意圖、增加正印資訊、Reflow 溫度曲線、捲帶規格	Aug 30 , 2008	
0.3	修改產品資訊及正印資訊	Oct. 20 , 2008	

AMICCOM CONFIDENTIAL

**Important Notice:**

AMICCOM reserves the right to make changes to its products or to discontinue any integrated circuit product or service without notice. AMICCOM integrated circuit products are not designed, intended, authorized, or warranted to be suitable for use in life-support applications, devices or systems or other critical applications. Use of AMICCOM products in such applications is understood to be fully at the risk of the customer.

目錄

1. 應用.....	4
2. 一般描述.....	4
3. 特性.....	4
4. 接腳配置.....	5
5. 接腳說明 (I: input, O: output, I/O: input or output, OD: open drain output).....	5
6. 系統方塊圖.....	6
7. 絕對最大範圍.....	7
8. 電氣特性.....	7
9. 控制暫存器.....	9
9.1 控制暫存器列表.....	9
9.2 控制暫存器說明.....	11
10. 串列介面(3 or 4-wire serial interface)控制.....	26
10.1 SPI 格式.....	26
10.2 3 or 4-wire 線串列介面讀/寫時序圖(3 or 4-Wire Serial Interface Timing Chart).....	26
10.3 控制暫存器存取型態.....	27
10.4 SPI 時序特性.....	28
10.5 Strobe Command.....	28
10.6 RF chip Reset Command.....	30
10.7 ID Read/Write Command.....	31
10.8 TX FIFO write /RX FIFO Read Command.....	31
11. 系統狀態機制 (State machine).....	33
12. 工作模式 (Mode of operation).....	35
12.1 Direct mode.....	35
12.2 FIFO mode.....	37
13. FIFO (First In First Out)功能.....	39
13.1 傳送封包格式.....	39
13.2 封包處理 (Packet Handling).....	40
13.3 資料傳送時間.....	40
13.4 TX/RX FIFO.....	41
13.5 FIFO Extension.....	42
14. 系統時脈 (System Clock).....	44
14.1 clock chain 機制.....	45
14.2 一些除頻器的設定.....	45
15. 工作頻率設定.....	48
15.1 RF 頻率的設定.....	48
15.2 AIF 的做法.....	49
15.3 up / low side band 的做法.....	49
15.4 自動頻率補償(AFC).....	50
16. CAL state 校準.....	51
16.1 IF 校準(Calibration Process).....	51
16.2 VCO band 校準(Calibration Process).....	51
16.3 VCO current 校準(Calibration Process).....	52
17. ADC (Analog Digital Converter).....	53
17.1 溫度量測.....	53
17.2 RSSI 量測.....	53
17.3 載波(Carrier)偵測.....	54
17.4 外部信號源量測.....	55
18. TWOR(Wake up on Radio using Timer) 及 WOR(Wake up on Radio).....	56
18.1 TWOR.....	56
18.2 WOR.....	56
19. Battery Detector.....	57

**Preliminary**

**2.4GHz Transceiver**

---

20. Firmware Procedure.....	58
20.1 A7105 的韌體程序 .....	58
20.2 A7105 的偵錯 .....	58
20.3 A7105 的範例說明：定頻及跳頻.....	59
21 振盪電路.....	63
21.1 使用內部振盪電路 .....	63
21.2 使用外部振盪信號 .....	63
22. TX power 設置.....	64
23. 應用線路(Application Circuit).....	65
24. 產品資訊(Ordering Information).....	65
25. 封裝資訊.....	66
26. 正印資訊.....	67
27. Reflow 溫度曲線.....	68
28. 捲帶規格.....	69

AMICCOM CONFIDENTIAL

## Preliminary

## 2.4GHz Transceiver

### 1. 應用

- 無線資料傳輸
- 無線遙控
- 無線鍵盤、滑鼠
- 家庭自動化系統
- 無線玩具、遊戲搖桿
- 2.4GHz ISM 頻段通信系統

### 2. 一般描述

A7105 是一低成本且適用於 2.4GHz ISM 頻段的無線應用的射頻晶片。7105 內含高靈敏度的接收器(250Kbps@ -99dbm) 以及高效率的功率放大器，很適合 30 米以內的應用。

A7105 的工作頻率是可以程式化設置，最高為 500Kbps。在數位介面部份，有支援 4pin(SPI)或 3pin 控制，另外在 RF data 的處理有 2 種模式可供選擇：FIFO(利用 RF 內部的 memory 先儲存要發射/接收的 data)，Direct(直接發射/接收)。

在 FIFO 模式下，也支援 CRC(CRC16)，FEC(約可增加靈敏度 1~2dbm)，data whitening(可視為 data 加密)，Manchester code 的編/解碼。

A7105 內建，RSSI，溫度的 sensor，來偵測環境對 RF IC 的影響，而且也內建 1ch ADC 可偵測使用電壓。內建無線喚醒機制，可延長電池壽命。封裝 QFN4X4 20 pin。

### 3. 特性

- Frequency bands: 2400 – 2483MHz ISM band.
- FSK and GFSK 調變
- Low current consumption: RX:16 mA
- Low current consumption: TX:19 mA (output power 0dBm)
- Programmable RF output power: up to 0 dBm.
- On chip regulator, supply voltage 1.9 ~ 3.6V.
- On chip low power RC oscillator.
- Low current (< 1uA) in sleep mode and need only one crystal while working together with MCU.
- High sensitivity (-99dBm@250Kbps, -96dBm@500Kbps, )
- Programmable data rate up to 500Kbps
- Support 4- wire(SPI) or 3- wire interface to access FIFO data, command and register setting
- Package handling hardware includes preamble, sync word, FEC, CRC data whitening and manchester coding.
- Separate 64 – byte RX and TX FIFOs
- Support FIFO extension function and up to 256 bytes.
- Easy to use with an low cost MCU
- Fast settling time synthesizer for frequency hopping system.
- Digital RSSI output for clear channel indication
- Digital temperature output
- Build in 1 channel ADC for detect external analog element.
- Build in WWS(wireless wakeup system) for reduce power consumption of battery.
- Support Frequency compensation scheme to make use the low cost (low accuracy) crystal.

#### Important Notice:

AMICCOM reserves the right to make changes to its products or to discontinue any integrated circuit product or service without notice. AMICCOM integrated circuit products are not designed, intended, authorized, or warranted to be suitable for use in life-support applications, devices or systems or other critical applications. Use of AMICCOM products in such applications is understood to be fully at the risk of the customer.

4. 接腳配置

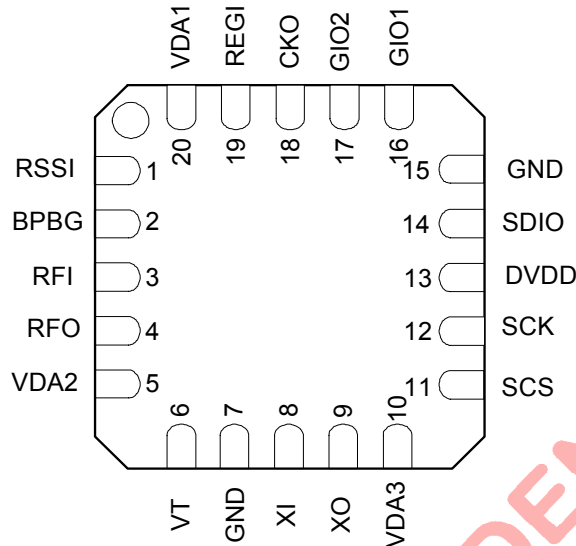


Fig 4.1 A7105 QFN Package Top View

5. 接腳說明 (I: input, O: output, I/O: input or output, OD: open drain output)

Pin No.	Symbol	I/O	Function Description
1	RSSI	AO	External pin connected to bypass capacitor for RSSI reading or input pin for ADC.
2	BPBG	AO	Regulator bias point
3	RFI	AI	Low noise amplifier input.
4	RFO	AO	Power amplifier output.
5	VDA2	I	Voltage supply for RX & TX analog part
6	VT	AI	VCO VT(tuning voltage)輸入.
7	GND	I	接地.
8	XI	AI	振盪電路輸入接點.
9	XO	AO	振盪電路輸出接點.
10	VDA3	I	Voltage supply for PLL part
11	SCS	DI	串列介面信號致能
12	SCK	DI	串列介面時脈訊號
13	DVDD	I	數位電源提供輸入.
14	SDIO	DI/O	串列介面資料信號.
15	GND	I	接地.
16	GIO1	DI/O	多工信號輸入/輸出 1 / 串列介面資料信號.
17	GIO2	DI/O	多工信號輸入/輸出 2 / 串列介面資料信號.
18	CKO	DO	時脈訊號輸出.
19	REGI	AI	Regulator input
20	VDA1	PO	Regulator output and voltage supply of IF part

Note : A : 類比(Analog)、D : 數位 (Digital)、I : 輸入 (Input)、O : 輸出 (Output)、P : 電源 (Power)

6. 系統方塊圖

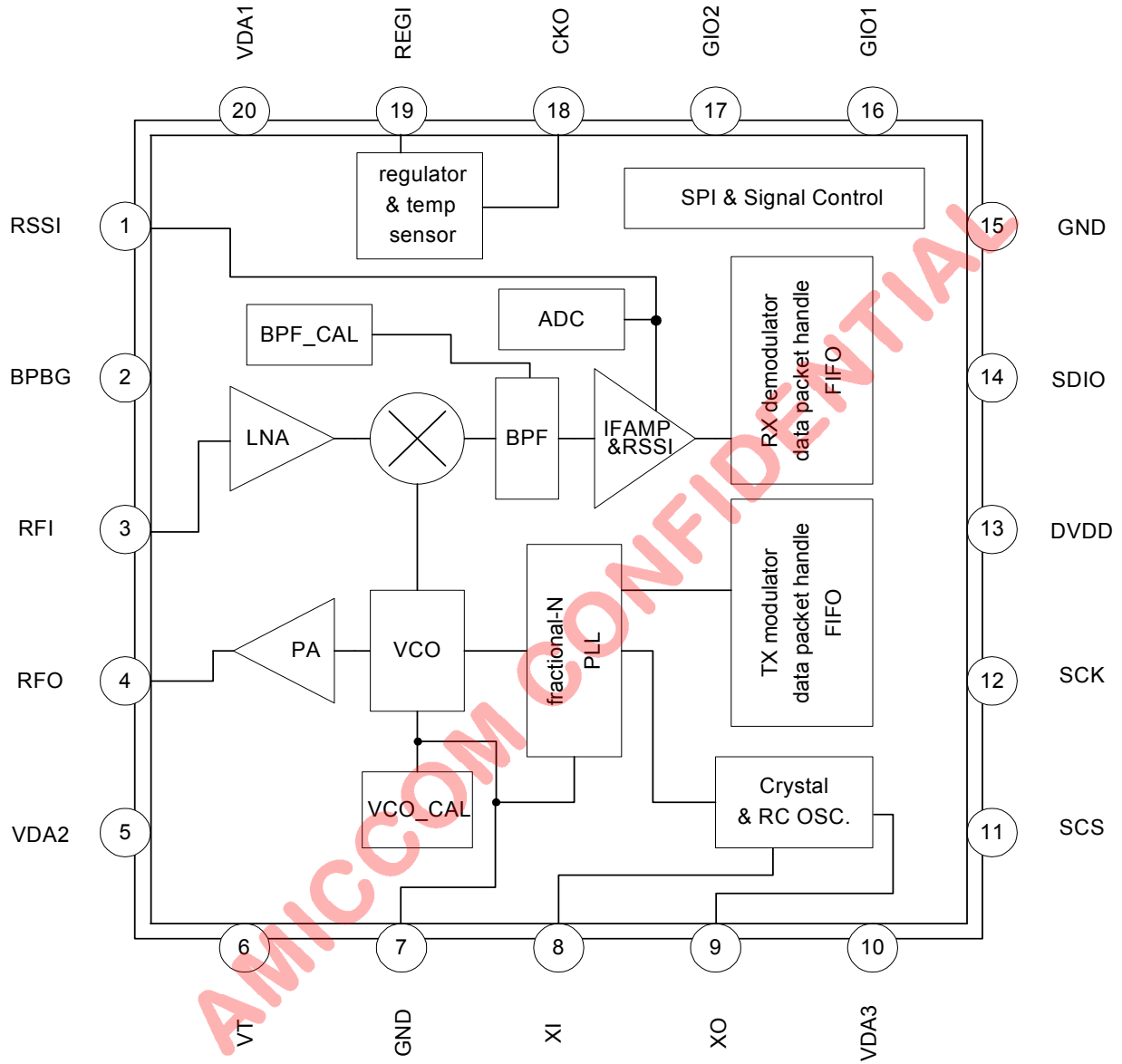


Fig 6.1 系統方塊圖

**Preliminary**
**2.4GHz Transceiver**
**7. 絕對最大範圍**

Parameter	With respect to	Rating	Unit
Supply voltage range (VDD)	GND	-0.3 ~ 3.6	Vdc
Other I/O pins range	GND	-0.3 ~ VDD+0.3	Vdc
Maximum input RF level		0	dBm
Storage Temperature range		-55 ~ 125	°C

\*Stresses above those listed under "Absolute Maximum Rating" may cause permanent damage to the device. These are stress ratings only; functional operation of the device at these or any other conditions above those indicated in the operational sections of this specification is not implied. Exposure to absolute-maximum-rated conditions for extended periods may affect device reliability.

**8. 電氣特性**

(Internal regulator voltage set to 2.1V)

Parameter	Description	Min.	Type	Max.	Unit
<b>General</b>					
Storage Temperature		-55		125	°C
Operating Temperature		-40		85	°C
Supply Voltage		1.9		3.6	V
	Sleep mode(RC OSC on)		1		μA
	Standby mode (Crystal OSC, Regulator on)		1800		μA
	PLL mode(Crystal OSC, Regulator, Synthesizer on)		9		mA
	Active RX Mode		16		mA
	Active TX mode(output power 0dBm)		19		mA
<b>Synthesizer block</b> (includes crystal oscillator, PLL and VCO.)					
Crystal start up time			0.6		mS
Crystal frequency				24	MHz
VCO Operation Frequency			2400 –2500		MHz
PLL phase noise	Offset 10k Offset 100K Offset 1M		80 85 90		dBc
PLL settling time (Without auto calibration)				80	μs
<b>Transmitter</b>					
Output power		-20	1	3	dBm
Frequency deviation		25K		500K	Hz
Data rate		1K		500K	Bps
TX settling time	Loop bandwidth 500K		20		μS
<b>Receiver</b>					
Receiver sensitivity @ BER = 0.1%	Data rate 250K		-99		dBm
	Data rate 500K		-96		dBm

**Preliminary**

**2.4GHz Transceiver**

IF frequency bandwidth			250/500		KHz
IF center frequency			250/500		KHz
Image rejection		20	25		dB
RSSI range	@RF input	-110		-55	dBm
LO leakage at RF port				-50	dBm
<b>Digital IO DC characteristics</b>					
High Level Input Voltage(V <sub>IH</sub> )		0.8*VDD		VDD	V
Low Level Input Voltage(V <sub>IL</sub> )		0		0.2*VDD	V
High Level Output Voltage(V <sub>OH</sub> )	@I <sub>OH</sub> =-0.5mA	VDD-0.4		VDD	V
Low Level Output Voltage(V <sub>OL</sub> )	@I <sub>OL</sub> =0.5mA	0		0.4	V

AMICCOM CONFIDENTIAL



**9. 控制暫存器**

A7105 chip 有 51x8-bit 的控制暫存器，可透過簡單的 3 線或 4 線串列相容的介面操作讀出或寫入資料。

**9.1 控制暫存器列表**

Address / Name	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
00h Mode	W	RESETN	-	-	-	-	-	-	-
	R	-	FECF	CRCF	CER	XER	PLLER	TRSR	TRER
01h Mode control	W	DDPC	ARSSI	AIF	DFCD	WOR_EN	FMT	FMS	ADCM
	R	DDPC	ARSSI	AIF	CD	WOR_EN	FMT	FMS	ADCM
02h Calc	R/W	-	-	-	-	-	VCC	VBC	FBC
03h FIFO I	W	FEP7	FEP6	FEP5	FEP4	FEP3	FEP2	FEP1	FEP0
04h FIFO II	W	FPM1	FPM0	PSA5	PSA4	PSA3	PSA2	PSA1	PSA0
05h FIFO Data	R/W	FIFO7	FIFO6	FIFO5	FIFO4	FIFO3	FIFO2	FIFO1	FIFO0
06h ID Data	R/W	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
07h RC OSC I	W	WWS_SL7	WWS_SL6	WWS_SL5	WWS_SL4	WWS_SL3	WWS_SL2	WWS_SL1	WWS_SL0
	R	-	-	RCOC5	RCOC4	RCOC3	RCOC2	RCOC1	RCOC0
08h RC OSC II	W	WWS_SL9	WWS_SL8	WWS_AC5	WWS_AC4	WWS_AC3	WWS_AC2	WWS_AC1	WWS_AC0
09h RC OSC III	W	BBCKS1	BBCKS0	-	-	-	RCOSC_E	TSEL	TWOR_OE
0Ah CKO Pin	W	ECKOE	CKO3	CKO2	CKO1	CKO0	CKO1	CKOE	SCKI
0Bh GIO1 Pin	W	-	-	GIO1S3	GIO2	GIO1S1	GIO1S0	GIO1I	GIO1OE
0Ch GIO2 Pin	W	-	-	GIO2S3	GIO2S2	GIO2S1	GIO2S0	GIO2I	GIO2OE
0Dh Clock	R/W	GRC3	GRC2	GRC1	GRC0	CSC1	CSC0	CGS	XS
0Eh Data rate	R/W	SDR7	SDR6	SDR5	SDR4	SDR3	SDR2	SDR1	SDR0
0Fh PLL I	R/W	CHN7	CHN6	CHN5	CHN4	CHN3	CHN2	CHN1	CHN0
10h PLL II	R/W	DBL	RRC1	RRC0	CHR3	CHR2	CHR1	CHR0	IP8
	W	BIP7	BIP6	BIP5	BIP4	BIP3	BIP2	BIP1	BIP0
11h PLL III	R	IP7	IP6	IP5	IP4	IP3	IP2	IP1	IP0
	W	BFP15	BFP14	BFP13	BFP12	BFP11	BFP10	BFP9	BFP8
12h PLL IV	R	-FP15	AC14-FP14	AC13-FP13	AC12-FP12	AC11-FP11	AC10-FP10	AC9-FP9	AC8-FP8
	W	BFP7	BFP6	BFP5	BFP4	BFP3	BFP2	BFP1	BFP0
13h PLL V	R	AC7-FP7	AC6-FP6	AC5-FP5	AC4-FP4	AC3-FP3	AC2-FP2	AC1-FP1	AC0-FP0
	W	TXSM1	TXSM0	TXDI	TME	FS	FDP2	FDP1	FDP0
14h TX I	W	-	PDV1	PDV0	FD4	FD3	FD2	FD1	FD0
15h TX II	W	-	PDV1	PDV0	FD4	FD3	FD2	FD1	FD0
16h Delay I	W	DPR2	DPR1	DPR0	TDL1	TDL0	PDL2	PDL1	PDL0
17h Delay II	W	WSEL2	WSEL1	WSEL0	AGC_D1	AGC_D0	RS_DLY2	RS_DLY1	RS_DLY0

**Preliminary**
**2.4GHz Transceiver**

18h RX	W	-	RXSM1	RXSM0	AFC	RXDI	DMG	BWS	ULS
19h RX Gain I	R/W	MVGS	-	IGS	MGS1	MGS0	LGS2	LGS1	LGS0
1Ah RX Gain II	W	RH7	RH6	RH5	RH4	RH3	RH2	RH1	RH0
1Bh RX Gain III	W	RL7	RL6	RL5	RL4	RL3	RL2	RL1	RL0
1Ch RX Gain IV	W	ENGC	-	-	-	MHC	LHC1	LHC0	VGCE
1Dh RSSI Threshold	W	RTH7	RTH6	RTH5	RTH4	RTH3	RTH2	RTH1	RTH0
	R	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0
1Eh ADC	W	RSM1	RSM0	ERSS	FSARS	-	XADS	RSS	CDM
1Fh Code I	W	-	MCS	WHTS	FECS	CRCS	IDL	PML1	PML0
20h Code II	W	-	DCL2	DCL1	DCL0	ETH1	ETH0	PMD1	PMD0
21h Code III	W	-	WS6	WS5	WS4	WS3	WS2	WS1	WS0
22h IF Calibration I	W	-	-	-	MFBS	MFB3	MFB2	MFB1	MFB0
	R	-	-	-	FBCF	FB3	FB2	FB1	FB0
23h IF Calibration II	R	-	-	-	FCD4	FCD3	FCD2	FCD1	FCD0
24h VCO current Calibration	W	-	-	VCCS	MVCS	VCOC3	VCOC2	VCOC1	VCOC0
	R	-	-	-	FVCC	VCB3	VCB2	VCB1	VCB0
25h VCO Single band Calibration I	W	-	-	-	-	MVBS	MVB2	MVB1	MVB0
	R	-	-	DVT1	DVT0	VBCF	VB2	VB1	VB0
26h VCO Single band Calibration II	W	-	-	VTH2	VTH1	VTH0	VTL2	VTL1	VTL0
27h Battery detect	W	RGS	RGV1	RGV0	-	BVT2	BVT1	BVT0	BD_E
	R	RGS	RGV1	RGV0	BDF	BVT2	BVT1	BVT0	BD_E
28h TX test	W	-	-	TXCS	PAC1	PAC0	TBG2	TBG1	TBG0
29h Rx DEM test I	W	DMT	DCM1	DCM0	MLP1	MLP0	SLF2	SLF1	SLF0
2Ah Rx DEM test II	W	DCV7	DCV6	DCV5	DCV4	DCV3	DCV2	DCV1	DCV0
2Bh CPC	W	-	-	-	-	-	-	CPC1	CPC0
2Ch Crystal test	W	-	-	-	-	DBD	XCC	XCP1	XCP0
2Dh PLL test	W	-	PMPE	PRIC1	PRIC0	PRRC1	PRRC0	SDPW	NSDO
2Eh VCO test I	W	-	-	-	TLB	TLB	RLB	RLB	VCBS
2Fh VCO test II	W	-	-	-	-	RFT3	RFT2	RFT1	RFT0
30h IFAT	W	IGF12	IGF11	IGF10	IGFQ2	IGFQ1	IGFQ0	IFBS	LIMS
31h RScale	R/W	RSC7	RSC6	RSC5	RSC4	RSC3	RSC2	RSC1	RSC0
32h Filter test	W	FT7	FT6	FT5	FT4	FT3	FT2	FT1	FT0

Legend: - = unimplemented

9.2 控制暫存器說明

9.2.1 Mode Register (Address: 00h)

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	R	--	FECF	CRCF	CER	XER	PLLER	TRSR	TRER
	W	RESETN	RESETN	RESETN	RESETN	RESETN	RESETN	RESETN	RESETN
Reset		--	--	--	--	--	--	--	--

**RESETN** : 只要這個 register 做寫入時, 就是做 RF IC reset。

**FECF** : FEC 檢查旗標, 如讀出為:

[0]: 表示 FEC 檢查正確。 [1]: 表示 FEC 檢查錯誤。

**CRCF** : CRC 檢查旗標, 如讀出為:

[0]: 表示 CRC 檢查正確。 [1]: 表示 CRC 檢查錯誤。

**CER** : RF chip 致能狀態, 如讀出為:

[0]: 表示 chip 關閉。 [1]: 表示 chip 開啓。

**XER** : 石英振盪器致能狀態, 如讀出為:

[0]: 表示振盪器關閉。 [1]: 表示振盪器開啓。

**PLLE** : PLL 開啓狀態, 如讀出為:

[0]: 表示 PLL 關閉。 [1]: 表示 PLL 開啓。

**TRSR** : TRX state 狀態, 如讀出為:

[0]: \*表示 RX state。 [1]: \*表示 TX state。

\* 當讀出 TRER=1 時。

**TRER** : TRX state 致能狀態, 如讀出為:

[1]: 表示 RF 正在 TX or RX。

9.2.2 Mode Control Register (Address: 01h)

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	R	--	--	--	CD	--	--	--	--
	W	DDPC	ARSSI	AIF	DFCD	WOR_EN	FMT	FMS	ADCM
Reset		0	1	0	0	0	0	0	0

**DDPC(Direct mode data pin control)** : Direct mode 時 SPI 的 SDIO 當作 data 的 IO。

[0]: 關閉。 [1]: 致能。

**ARSSI** : 進 RX mode 時自動量測 RSSI。

[0]: 關閉。 [1]: 致能。

**AIF(Auto IF)** : 進 RX mode 時系統自動加減一個 IF 頻率。

[0]: 關閉。

[1]: 致能。

LO 頻率(RX) = LO 頻率(TX) - IF 頻率.(bit ULS=0 ; upper side band)

LO 頻率(RX) = LO 頻率(TX) + IF 頻率.(bit ULS=1 ; lower side band)

**CD / DFCD** :

**CD(Read)** : Carrier detector 訊號。

**DFCD(Data Filter by CD)** : 經由 Carrier Detector 訊號過濾資料封包。

[0]: 關閉。 [1]: 致能。

**WOR\_EN** : WOR mode 致能。

[0]: 關閉。 [1]: 致能。當對 MCU 送出 wake up 信號後, 會自動清除為 0。

**Preliminary**
**2.4GHz Transceiver**

**FMT : FIFO mode test**。

[0]: Normal。 [1]: FIFO mode test。僅在 FIFO mode 工作模式有效。當完成封包(packet)測試後，會自動清除為 0。

**FMS : Direct/FIFO 模式選擇**。

[0]: Direct 模式。 [1]: FIFO 模式。

**ADCM : ADC 量測致能**。

[0]: 關閉 ADC 量測或已量測完成。 [1]: 量測致能。當量測完成後，此位元會自動清除為 0。

ADCM	None Rx state	RX state
[0]	None	None
[1]	溫度量測	RSSI 量測、載波偵測、對外部信號作 ADC 量測轉換

**9.2.3 Calibration Control Register (Address: 02h)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	R/W	--	--	--	--	--	VCC	VBC	FBC
Reset		--	--	--	--	--	0	0	0

**VCC : VCO Current Calibration 校準選項致能**。

[0]: 關閉 VCO Current Calibration 或已校準完成。 [1]: 校準致能。當校準完成後，此位元會自動清除為 0。

**VBC : VCO Bank Calibration 校準選項致能**。

[0]: 關閉 VCO Bank Calibration 或已校準完成。 [1]: 校準致能。當校準完成後，此位元會自動清除為 0。

**FBC : IF Filter Bank 校準選項致能**。

[0]: 關閉 IF Filter Bank 或已校準完成。 [1]: 校準致能。當校準完成後，此位元會自動清除為 0。

**9.2.4 FIFO Register I (Address: 03h)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	FEP7	FEP6	FEP5	FEP4	FEP3	FEP2	FEP1	FEP0
Reset		0	0	1	1	1	1	1	1

**FEP[7:0] : TX/RX FIFO byte 結束位址設定。FIFO 結束位址 = FEP[7:0]+1。**

**9.2.5 FIFO Register II (Address: 04h)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	FPM1	FPM0	PSA5	PSA4	PSA3	PSA2	PSA1	PSA0
Reset		0	1	0	0	0	0	0	0

**FPM[1:0] : TX/RX FIFO 臨界值設定。**

設定值	Bytes in TX FIFO	Bytes in RX FIFO
[00]	4	60
[01]	8	56
[10]	12	52
[11]	16	48

**PSA[5:0] : TX FIFO packet 傳送起始位址設定。**

**9.2.6 FIFO DATA Register (Address: 05h)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	R/W	FIFO7	FIFO6	FIFO5	FIFO4	FIFO3	FIFO2	FIFO1	FIFO0
Reset		0	0	0	0	0	0	0	0

**FIFO[7:0] : TX/RX FIFO data。讀寫資料均在同一個暫存器。**

**Preliminary**
**2.4GHz Transceiver**
**9.2.7 ID DATA Register (Address: 06h)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	R/W	ID7	ID6	ID5	ID4	ID3	ID2	ID1	ID0
Reset		0	0	0	0	0	0	0	0

ID[7:0] : ID data。讀寫資料均在同一個暫存器。

**9.2.8 RC OSC Register I (Address: 07h)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	R			RCOC5	RCOC4	RCOC3	RCOC2	RCOC1	RCOC0
	W	WWS_SL7	WWS_SL6	WWS_SL5	WWS_SL4	WWS_SL3	WWS_SL2	WWS_SL1	WWS_SL0
Reset		0	0	0	0	0	0	0	0

WWS\_SL[7:0] : WWS Sleep Time delay 設定。(7.8ms ~ 7.99s)

$$Sleep\ time = (WWS\_SL[9:0] + 1) \times 32 \times \left( \frac{1}{4092} \right) s$$

RCOC[5:0] : RC oscillator calibration counter value。

**9.2.9 RC OSC Register II (Address: 08h)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	WWS_SL9	WWS_SL8	WWS_AC5	WWS_AC4	WWS_AC3	WWS_AC2	WWS_AC1	WWS_AC0
Reset		0	0	0	0	0	0	0	0

WWS\_AC[4:0] : WWS ACTION delay 設定。(244us ~ 15.6ms)

$$Action\ time = (WWS\_AC[5:0] + 1) \times 1 \times \left( \frac{1}{4092} \right) s$$

**9.2.10 RC OSC Register III (Address: 09h)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	BBCKS1	BBCKS0	--	--	--	RCOSC_E	TSEL	TWOR_OE
Reset		0	0	--	--	--	1	0	1

BBCKS[1:0] : Clock select for digital block。

[00]: System clock / 2。 [01]: System clock / 4。 [10]: System clock / 6。 [11]: System clock / 8。

RCOSC\_E : RC oscillator 致能選擇。

[0]: 關閉。 [1]: 致能(預設)。

TSEL : 計時器喚醒時間。

[0]: 使用 WOR\_AC。 [1]: 使用 WOR\_SL。

TWOR\_OE : Use Timer to wake up MCU without RF。

[0]: 關閉。 [1]: 致能(預設)。

**9.2.11 CKO Pin Control Register (Address: 0Ah)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	ECKOE	CKOS3	CKOS2	CKOS1	CKOS0	CKOI	CKOE	SCKI
Reset		1	0	1	1	1	0	1	0

ECKOE : 外部時脈輸出致能。

這 bit 會控制 CKO[3:0]選項內[0101],[0110],[0111]這三個選項的時脈輸出。

Preliminary

2.4GHz Transceiver

**CKOS[3:0] : CKO pin 信號輸出選擇。**

- [0000]: BCK(bit clock)。
- [0001]: MRCK(modulation rate)。
- [0010]: FPF(FIFO pointer flag)。
- [0011]: EOP, EOVCB, EOFBC, EOADC, EOVCB, OKADC。
- [0100]: 外部時脈輸出。系統時脈/1。
- [0101]: 外部時脈輸出。系統時脈/2, 由 bit ECKOE 決定輸出開啓或關閉。
- [0110]: 外部時脈輸出。系統時脈/4, 由 bit ECKOE 決定輸出開啓或關閉。
- [0111]: 外部時脈輸出。系統時脈/8, 由 bit ECKOE 決定輸出開啓或關閉。
- [1xxx]: 保留。

**CKOI : CKO pin 信號反向輸出。**

- [0]: 非反向輸出。 [1]: 反向輸出。

**CKOE : CKO pin 信號輸出開啓。**

- [0]: High Z。 [1]: 開啓。

**SCKI : SPI 時脈反向輸入。**

- [0]: 非反向輸入。 [1]: 反向輸入。

9.2.12 GIO1 Pin Control Register (Address: 0Bh)

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	--	--	GIO1S3	GIO1S2	GIO1S1	GIO1S0	GIO1I	GIO1OE
Reset		--	--	0	0	0	0	0	1

**GIO1S[3:0] : GIO1 pin 信號輸出選擇。**

設定值	TX state	RX state
[0000]	WTR(non-standby state) output	
[0001]	EOAC(end of access code)	FSYNC(frame sync)
[0010]	TMEO(TX modulation enable)	CD(carrier detect)
[0011]	Preamble OK output	
[0100]	TWOR/WOR(wakeup MCU)	
[0101]	In phase demodulator output(DMI)	
[0110]	P_SDO(4 wire SPI data out)	
[0111]	TRXD In/Out	
[1000]	RXD	
[1001]	TXD	
[1010]	In phase demodulator external input(EXDI0)	
[1011]	External FSYNC input in RX direct mode	
[11xx]	保留	

**GIO1I : GPIO1 pin 信號反向輸出。**

- [0]: 非反向輸出。 [1]: 反向輸出。

**GIO1OE : GPIO1 pin 信號輸出開啓。**

- [0]: High Z。 [1]: 開啓。

9.2.13 GIO2 Pin Control Register (Address: 0Ch)

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	--	--	GIO2S3	GIO2S2	GIO2S1	GIO2S0	GIO2I	GIO2OE
Reset		--	--	0	1	0	0	0	1

**GIO2S [3:0] : GIO2 pin 信號輸出選擇。**

設定值	TX state	RX state
[0000]	WTR(non-standby state) output	

**Preliminary**
**2.4GHz Transceiver**

[0001]	EOAC(end of access code)	FSYNC(frame sync)
[0010]	TMEO(TX modulation enable)	CD(carrier detect)
[0011]	Preamble OK output	
[0100]	TWOR/WOR(wakeup MCU)	
[0101]	In phase demodulator output(DMIQ)	
[0110]	P_SDO(4wire SPI data out)	
[0111]	TRXD In/Out	
[1000]	RXD	
[1001]	TXD	
[1010]	In phase demodulator external input(EXDI0)	
[1011]	External FSYNC input in RX direct mode	
[11xx]	保留	

**GIO2I** : GIO2 pin 信號反向輸出。

[0]: 非反向輸出。 [1]: 反向輸出。

**GIO2OE** : GIO2 pin 信號輸出開啓。

[0]: High Z。 [1]: 開啓。

**9.2.14 Clock Register (Address: 0Dh)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	R/W	GRC3	GRC2	GRC1	GRC0	CSC1	CSC0	CGS	XS
Reset		1	1	1	1	0	1	0	1

**GRC[3:0]** : Clock Chain reference frequency 除頻設定。

$$\text{Clock Chain reference} = \frac{f_{\text{xtal}}}{(\text{GRC}[3:0]+1)} = 2\text{MHz}$$

**CSC[1:0]** : Clock source 除頻設定。

[00]: / 1。 [01]: / 2。 [10]: / 2。 [11]: / 4。

**CGS** : Clock source 選擇。

[0]: X'tal clock。 [1]: Clock Chain。

**XS** : 石英振盪器選擇。

[0]: RFIC 的 clock 由外部提供。 [1]: clock 由內部線路產生。

**9.2.15 Data Rate Register (Address: 0Eh)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	R/W	SDR7	SDR6	SDR5	SDR4	SDR3	SDR2	SDR1	SDR0
Reset		0	0	0	0	0	0	0	0

**SDR[7:0]** : Data rate 除頻設定。

$$\text{Data rate} = \frac{\text{SystemClock}}{32 * (\text{SDR}[7:0]+1)}$$

**9.2.16 PLL Register I (Address: 0Fh)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	R/W	CHN7	CHN6	CHN5	CHN4	CHN3	CHN2	CHN1	CHN0
Reset		0	0	0	0	0	0	0	0

**CHN[7:0]** : RF 頻道選擇。

**Preliminary**
**2.4GHz Transceiver**
**9.2.17 PLL Register II (Address: 10h)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	R/W	DBL	RRC1	RRC0	CHR3	CHR2	CHR1	CHR0	IP8
Reset		1	0	0	1	1	1	1	0

**DBL** : Crystal oscillator 倍頻選擇.

[0]: Xtal source = Crystal oscillator. [1]: Xtal source = 2 \* Crystal oscillator.

**RRC[1:0]** : RF PLL reference counter. The divider range is from 1 to 4.

**CHR[3:0]** : Channel frequency step 設定。

$$CHR[3:0] + 1 = \frac{PFD}{2MHz}$$

PFD : PLL 參考比較頻率(PLL comparison frequency)

**9.2.18 PLL Register III (Address: 11h)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	R	IP7	IP6	IP5	IP4	IP3	IP2	IP1	IP0
	W	BIP7	BIP6	BIP5	BIP4	BIP3	BIP2	BIP1	BIP0
Reset		0	1	0	0	1	0	1	1

**BIP[8:0]** : RF 基本頻率整數部份( Integer Part) 設定.

**IP [8:0]**: RF PLL 整數部份讀出數值.

**9.2.19 PLL Register IV (Address: 12h)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	R	FP15	AC14-FP14	AC13-FP13	AC12-FP12	AC11-FP11	AC10-FP10	AC9-FP9	AC8-FP8
	W	BFP15	BFP14	BFP13	BFP12	BFP11	BFP10	BFP9	BFP8
Reset		0	0	0	0	0	0	0	0

**9.2.20 PLL Register V (Address: 13h)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	R	AC7-FP7	AC6-FP6	AC5-FP5	AC4-FP4	AC3-FP3	AC2-FP2	AC1-FP1	AC0-FP0
	W	BFP7	BFP6	BFP5	BFP4	BFP3	BFP2	BFP1	BFP0
Reset		0	0	0	0	0	0	1	1

**BFP[15:0]** : RF 基本頻率分數部份( Fractional Part)設定.

**RF 頻率公式** :

$$f_{RF\_Base} = PFD \cdot (BIP[8:0] + \frac{BFP[15:0]}{2^{16}})$$

$$f_{RF} = f_{RF\_Base} + (CHN[7:0] \cdot \text{Channel Step})$$

註:  $f_{RF}$  為 RF 的工作頻率

Channel Step 為頻道距離,  $Channel Step = \frac{PFD}{4 * (CHR[3:0] + 1)}$ , 目前 A7105 Channel Step 是設 500KHz

**AC[14:0](Read)** : 頻率補償 SPI 讀出數值(RX Reg. bit AFC=1)。

**FP[15:0](Read)** : PLL 頻率分數部份 SPI 讀出數值(RX Reg. bit AFC=0)。



Preliminary

2.4GHz Transceiver

當開啓 AIF 功能(Mode control Reg. bit AIF=1 時)  
 RF 頻率(RX mode)=RF 頻率 - IF 頻率(RX Reg. ULS=0)。  
 RF 頻率(RX mode)=RF 頻率 + IF 頻率(RX Reg. ULS=1)。

9.2.21 TX Register I (Address: 14h)

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	TXSM1	TXSM0	TXDI	TME	FS	FDP2	FDP1	FDP0
Reset		0	0	0	1	0	1	1	0

**TXSM[1:0] : Moving average for non filter select.**

[00]: non moving average。 [01]: 2 moving average。 [10]: 4 moving average。 [11]: 8 moving average。

**TXDI : TX data 反向輸出。**

[0]: 非反向輸出。 [1]: 反向輸出。

**TME : TX 調變致能。**

[0]: 調變關閉。 [1]: 調變開啓。

**FS : filter 選擇. Filter shape 可從 Filter test 暫存器(address: 32h)設置.預設值為 gaussian filter(BT=0.7).**

[0]: 關閉。 [1]: 開啓。

**FDP[2:0] : Frequency deviation power 設定.**

頻率偏移量 (frequency deviation) :

$$f_{dev} = 127 \cdot PFD \cdot (FD[4:0] + 1) \cdot \frac{2^{FDP[2:0]}}{2^{24}}$$

註: PFD 為參考比較頻率

9.2.22 TX Register II (Address: 15h)

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	--	PDV1	PDV0	FD4	FD3	FD2	FD1	FD0
Reset		--	0	0	0	1	0	1	1

**PDV[1:0] : division select for TX data rate while TX filter is on**

$$TX \text{ data rate} = \frac{PFD}{32 * PDV[1:0] * (SDR[7:0] + 1)}$$

**FD[4:0] : Frequency deviation 設定.**

9.2.23 Delay Register I (Address: 16h)

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	DPR2	DPR1	DPR0	TDL1	TDL0	PDL2	PDL1	PDL0
Reset		0	0	0	1	0	0	1	0

**DPR[2:0] : 延遲時間倍數設定。**

**TDL[1:0] : TX settling 延遲時間設定。**

$$Tx \text{ Settling Delay} = 20 * (TDL[1:0] + 1) * (DPR[2:0] + 1) \text{ us}$$

**PDL[2:0] : PLL settling 延遲時間設定。**

$$PLL \text{ Settling Delay} = 20 * (PDL[2:0] + 1) * (DPR[2:0] + 1) \text{ us}$$

Preliminary

2.4GHz Transceiver

9.2.24 Delay Register II (Address: 17h)

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	WSEL2	WSEL1	WSEL0	AGC_D1	AGC_D0	RS_DLY2	RS_DLY1	RS_DLY0
Reset		0	1	0	0	1	0	1	0

WSEL[2:0] : Xtal 起振 settling 延遲時間設定。(200us ~ 2.5ms)

[000]: 200us ◦ [001]: 400us ◦ [010]: 600us ◦ [011]: 800us ◦  
 [100]: 1ms ◦ [101]: 1.5ms ◦ [110]: 2ms ◦ [111]: 2.5ms ◦

AGC\_D[1:0] : AGC 轉換時 RSSI settling 時間設定。(10~40us)

[000]: 10us ◦ [001]: 20us ◦ [010]: 30us ◦ [011]: 40us ◦

RS\_DLY[2:0] : 進 RX state RSSI 量測 settling 時間設定。(10~80us)

[000]: 10us ◦ [001]: 20 us ◦ [010]: 30us ◦ [011]: 40 us ◦  
 [100]: 50us ◦ [101]: 60 us ◦ [110]: 70us ◦ [111]: 80 us ◦

9.2.25 RX Register (Address: 18h)

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	--	RXSM1	RXSM0	AFC	RXDI	DMG	BWS	ULS
Reset		--	0	0	0	0	0	1	0

RXSM[1:0] : RX demodulator smooth filter 選擇

RXSM[0]:

[1]: demodulation filter bandwidth = 1MHz ◦ [0]: demodulation filter bandwidth = 2MHz ◦

RXSM[1]:

[1]: 8 bit moving average of data filter ◦ [0]: 4 bit moving average of data filter ◦

AFC : 頻率補償(frequency compensation)校準選擇 ◦

[0]: 手動校準 ◦ [1]: 自動校準 ◦

RXDI : RX data 反向輸出 ◦

[0]: 非反向輸出 ◦ [1]: 反向輸出 ◦

DMG : Demodulator 增益選擇 ◦

[0]: ×1 [1]: ×3

BWS : BPF 頻帶寬選擇 ◦

[0]: 250KHz ◦ [1]: 500KHz ◦

ULS : 接收端 Up/Low side band 選擇 ◦

[0]: up side band ◦ [1]: low side band ◦

9.2.26 RX Gain Register I (Address: 19h)

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	R/W	MVGS	--	IGS	MGS1	MGS0	LGS2	LGS1	LGS0
Reset		0	--	1	0	0	0	0	0

MVGS : 手動 VGA 校正 ◦

[0]: 自動 ◦ [1]: 手動 ◦

IGS : PGA gain select.

[0]: 12dB ◦ [1]: 6dB ◦

MGS[1:0] : Mixer gain select.

[00]: 24dB ◦ [01]: 18dB ◦ [10]: 12dB ◦ [11]: 6dB ◦

LGS[2:0] : LNA gain select.

[000]: 24dB ◦ [001]: 18dB ◦ [010]: 12dB ◦ [011]: 6dB ◦ [1XX]: 0dB ◦

**Preliminary**
**2.4GHz Transceiver**
**9.2.27 RX Gain Register II (Address: 1Ah)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	RH7	RH 6	RH5	RH4	RH3	RH2	RH1	RH0
Reset		0	0	0	0	1	0	1	0

RH[7:0] : VGA 校正目標上限。

**9.2.28 RX Gain Register III (Address: 1Bh)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	RL7	RL6	RL5	RL4	RL3	RL2	RL1	RL0
Reset		1	0	1	1	0	1	0	0

RH[7:0] : VGA 校正目標下限。

**9.2.29 RX Gain Register IV (Address: 1Ch)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	ENG C				MHC	LLC1	LLC0	VGCE
Reset		1				1	1	1	0

**ENG C** : End of AGC tuning

[0]:在設定目標內仍然持續量測調整，直到接收到 ID code 才停止。 [1]: 調整至目標範圍內則停止量測與調整。

**MHC** : Mixer high current 選擇。

[0]: 0.6mA。 [1]: 1.2mA。

**LLC** : LNA low current 選擇。

[00]: 0.5mA。 [01]: 1.0mA。 [10]: 1.5mA。 [11]: 2.0mA。

**VGCE**:

VGA calibration 致能。當校準完成後，此位元會自動清除為 0(Combine with FSYNCO).

VGA calibration will be done when VGCE or FSYNCO active high.

**9.2.30 RSSI Threshold Register (Address: 1Dh)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	R	ADC7	ADC6	ADC5	ADC4	ADC3	ADC2	ADC1	ADC0
	W	RTH7	RTH6	RTH5	RTH4	RTH3	RTH2	RTH1	RTH0
Reset		1	0	0	1	0	0	0	1

RTH[7:0] : 載波偵測(carrier detect)臨界值設定。

CD=1 for RSSI(ADC value)  $\leq$  RTH。

CD=0 for RSSI(ADC value)  $\geq$  RTH。

**ADC[7:0]** : 溫度、RSSI、或外部信號量測的 ADC 值輸出。

RX state: Digital RSSI output.  $PWR_{RSSI} = -110\text{dbm} + 40 \cdot \text{RSSI}[7:0] / 8$

Non-RX state: Digital thermometer output. The relative temperature is around  $+ 2 \text{ }^\circ\text{C} * \text{ADC}[7:0]$ .

External voltage measurement: the voltage is around  $4.69 \text{ mV} * \text{ADC}[7:0]$ .

**9.2.31 ADC Control Register (Address: 1Eh)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	RSM1	RSM0	ERSS	FSARS	--	XADS	RSS	CDM
Reset		0	1	0	1	--	0	1	1

**RSM[1:0]** : RSSI hysteresis select.

[00]: 5。 [01]: 10。 [10]: 15。 [11]: 20。

Preliminary

2.4GHz Transceiver

**ERSS : Sync 時結束 RSSI 的量測。**

[0]: 關閉。 [1]: 致能。

**FSARS : ADC 時脈選擇。**

[0]: system clock / 4。 [1]: system clock / 2。

**XADS : ADC 輸入信號的選擇。**

[0]: 對內部溫度或 RSSI 信號作 ADC 量測轉換。 [1]: 對外部信號作 ADC 量測轉換。

**RSS : 溫度 / RSSI 量測選擇。**

[0]: Temperature 量測。 [1]: RSSI 或 Carrier 量測。

**CDM : 載波(Carrier)偵測模式。**

[0]: 單次量測。 [1]: 連續偵測(for Carrier)。

**9.2.32 Code Register I (Address: 1Fh)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	--	MCS	WHTS	FECS	CRCS	IDL	PML1	PML0
Reset		--	0	0	0	0	1	1	1

**MCS : Manchester code 選擇。**

[0]: 關閉。 [1]: 開啓。

**WHTS : Data whitening (Data Encryption)選擇。**

[0]: 關閉。 [1]: 開啓。

**FECS : FEC 選擇。**

[0]: 關閉。 [1]: 開啓。

註: FEC 是使用(7, 4) Hamming code.

**CRCS : CRC 選擇。**

[0]: 關閉。 [1]: 開啓。

**IDL : ID code 長度選擇。**

[0]: 2 bytes。 [1]: 4 bytes。

**PML[1:0] : Preamble 長度選擇。**

[00]: 1 byte。 [01]: 2 bytes。 [10]: 3 bytes。 [11]: 4 bytes。

**9.2.33 Code Register II (Address: 20h)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	--	DCL2	DCL1	DCL0	ETH1	ETH0	PMD1	PMD0
Reset		--	1	1	1	0	1	1	1

**DCL[2:0] : DC 平均值收到 Data 長度設定。**

**DCL0:**

[0]: DC value hold at 8 bit after preamble detect。 [1]: DC value hold at 16 bit after preamble detect。

**DCL1:**

[0]: 32 bits before ID code word detected。 [1]: 64 bits before ID code word detected。

**DCL2:**

[0]: 128 bits after ID code word detected。 [1]: 256 bits after ID code word detected。

**ETH[1:0] : ID code 容許錯誤 bit 數。**

[00]: 0 bit。 [01]: 1 bit(建議值)。 [10]: 2 bit。 [11]: 3 bit。

**PMD[1:0] : Preamble 長度偵測設定。**

[00]: 0bit。 [01]: 4bits。 [10]: 8bits。 [11]: 16bits。

注意: 偵測長度設定需小於 PML[1:0]的設定值。

**Preliminary**
**2.4GHz Transceiver**
**9.2.34 Code Register III (Address: 21h)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	--	WS6	WS5	WS4	WS3	WS2	WS1	WS0
Reset		--	0	1	0	1	0	1	0

WS[6:0] : Data Whitening 初始 seed 設定(data encryption key)。

**9.2.35 IF Calibration Register I (Address: 22h)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	R	--	--	--	FBCF	FB3	FB2	FB1	FB0
	W	--	--	--	MFBS	MFB3	MFB2	MFB1	MFB0
Reset		--	--	--	0	0	1	1	0

MFBS : IF filter 自動(Auto)/手動(Manual)校準選擇。

[0]: 自動校準。 [1]: 手動校準。

MFB[3:0] : IF filter 手動(Manual)調校值設定。

FBCF : IF filter calibration 成功/錯誤指示。

[0]: 校準成功。 [1]: 校準失敗。

FB[3:0] : IF filter 調校值設定。

**9.2.36 IF Calibration Register II (Address: 23h)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	R	--	--	FCD4	FCD3	FCD2	FCD1	FCD0	FCD4
Reset		--	--	--	--	--	--	--	--

FCD[4:0] : IF filter calibration deviation from goal.

**9.2.37 VCO current Calibration Register (Address: 24h)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	R	--	--	--	FVCC	VCB3	VCB2	VCB1	VCB0
	W	--	--	VCCS	MVCS	VCOC3	VCOC2	VCOC1	VCOC0
Reset		--	--	0	0	1	0	0	0

VCCS : VCO 調校電流設定。

[0]:1mA。 [1]:1.5mA。

MVCS : 手動 VCO 電流選擇。

[0]:VCB。 [1]:VCOC。

VCOC[3:0] : VCO 手動電流設定。

FVCC : VCO current calibration 成功/錯誤指示。

[0]: 成功。 [1]: 失敗。

VCB[3:0] : VCO 電流自動校準值

**9.2.38 VCO Single band Calibration Register I (Address: 25h)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	R	--	--	DVT1	DVT0	VBCF	VB2	VB1	VB0
	W	--	--	--	--	MVBS	MVB2	MVB1	MVB0
Reset		--	--	--	--	0	1	0	0

**Preliminary**
**2.4GHz Transceiver**

**MVBS** : VCO bank 自動(Auto)/手動(Manual)校準選擇。

[0]: 自動校準。 [1]: 手動校準。

**MVB[2:0]** : VCO band 手動調校值設定。

**DVT[1:0]** : DVT 值輸出。

[00]:  $VT < VTL < VTH$ . [01]:  $VTL < VT < VTH$ . [10]: No used. [11]:  $VTL < VTH < VT$ .

**VBCF** : VCO band 自動校準成功/錯誤指示。

[0]: 校準成功。 [1]: 校準失敗。

**VB[2:0]** : VCO back 自動校準值。

**9.2.39 VCO Single band Calibration Register II (Address: 26h)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	--	--	VTH2	VTH1	VTH0	VTL2	VTL1	VTLO
Reset		--	--	1	1	1	0	1	1

**VTH[2:0]** : VCO calibration VT 高臨界值(Threshold)設定。

[000]:  $VTH = Vdd - 0.4V$ 。 [001]:  $VTH = Vdd - 0.5V$ 。 [010]:  $VTH = Vdd - 0.6V$ 。 [011]:  $VTH = Vdd - 0.7V$ 。  
 [100]:  $VTH = Vdd - 0.8V$ 。 [101]:  $VTH = Vdd - 0.9V$ 。 [110]:  $VTH = Vdd - 1.0V$ 。 [111]:  $VTH = Vdd - 1.1V$ 。

**VTL[2:0]** : VCO calibration VT 低臨界值(Threshold)設定。

[000]:  $VTL = 0.1V$ 。 [001]:  $VTL = 0.2V$ 。 [010]:  $VTL = 0.3V$ 。 [011]:  $VTL = 0.4V$ 。  
 [100]:  $VTL = 0.5V$ 。 [101]:  $VTL = 0.6V$ 。 [110]:  $VTL = 0.7V$ 。 [111]:  $VTL = 0.8V$ 。

註: Vdd 是 IC 內部 analog regulator 輸出電壓, 請參考 Battery detector register RGV[1:0] 的設定。

**9.2.40 Battery detect Register (Address: 27h)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	R	RGS	RGV1	RGV0	BDF	BVT2	BVT1	BVT0	BD_E
	W	RGS	RGV1	RGV0	--	BVT2	BVT1	BVT0	BD_E
Reset		0	0	0	--	0	1	1	0

**RGS** : Sleep state 下, digital voltage supply(DVDD)的電壓設定。(DVDD, 在非 sleep state 下 voltage 是等於 REGI)

[0]:  $3/5 * REGI$  [建議值] [1]:  $3/4 * REGI$ 。

**RGV[1:0]** : IC 內部類比穩壓器電壓選擇。

[00]: 2.1V。 [01]: 2.0V。 [10]: 1.9V。 [11]: 1.8V

**BDF** : 電量偵測旗標。

[0]: 電池電壓小於臨界值 [1]: 電池電壓大於臨界值

**BVT[2:0]** : 電池電壓臨界值選擇。

[000]: 2.0V。 [001]: 2.1V。 [010]: 2.2V。 [011]: 2.3V。  
 [100]: 2.4V。 [101]: 2.5V。 [110]: 2.6V。 [111]: 2.7V。

**BD\_E** : 電量偵測致能。當偵測完成後, 此位元會自動清除為 0。

**9.2.41 TX test Register (Address: 28h)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	--	--	TXCS	PAC1	PAC0	TBG2	TBG1	TBG0
Reset		--	--	0	1	0	1	1	1

**TXCS** : TX 電流設定。

**PAC[1:0]** : Power amplifier 電流設定。

**TBG[2:0]** : TX buffer 增益設定。

Output power (dBm)	Recommend setting			Typical TX current (mA)
	TXCS	TBG	PAC	
0	0	7	2	18
-3	0	6	1	14.6
-6	0	6	0	13.5
-10	0	4	0	12.1

**9.2.42 Rx DEM test Register I (Address: 29h)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	DMT	DCM1	DCM0	MLP1	MLP0	SLF2	SLF1	SLF0
Reset		0	1	1	0	1	0	0	0

**DMT** : 保留位元。

[0]: Normal。 [1]: Demodulator 測試。

**DCM[1:0]** : RX data 的 DC 值選擇設定。

[00]: 由 DCV[7:0]值設定。

[01]: 收到 preamble 長度時，決定 DC 值。

[10]: 偵測到 ID code 時，決定 DC 值。

[11]: 收到 data 長度，決定 DC 值。

**MLP[1:0]** : Symbol recovery loop filter setting after SYNC ok.

**SLF[2:0]** : Symbol recovery loop filter setting.

**9.2.43 Rx DEM test Register II (Address: 2Ah)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	DCV7	DCV6	DCV5	DCV4	DCV3	DCV2	DCV1	DCV0
Reset		1	0	0	0	0	0	0	0

**DCV[7:0]** : DC 值設定(經由 SPI 設定)。

**9.2.44 Charge Pump Current Register (Address: 2Bh)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	--	--	--	--	--	--	CPC1	CPC0
Reset		--	--	--	--	--	--	0	1

**CPC[1:0]** : Charge pump 電流設定。

[00]: 0.5mA。 [01]: 1.0mA。 [10]: 1.5mA。 [11]: 2.0mA。

**9.2.45 Crystal test Register (Address: 2Ch)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	--	--	--	--	DBD	XCC	XCP1	XCP0
Reset		--	--	--	--	0	1	0	1

**DBD** : Double delay 選擇。

[0]: 8ns。 [1]: 16ns。

**XCC** : Crystal 電流設定。

[0]: 0.7mA。 [1]: 1.5mA。

**XCP[1:0]** : Crystal regulated couple 設定。

[00]: crystal current 1.5mA。 [01]: crystal current 0.5mA。 [10]: crystal current 0.35mA。 [11]: crystal current 0.3mA。

**Preliminary**
**2.4GHz Transceiver**
**9.2.46 PLL test Register (Address: 2Dh)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	--	PMPE	PRIC1	PRIC0	PRRC1	PRRC0	SDPW	NSDO
Reset		--	1	1	0	1	0	0	0

**PMPE:** Charge pump tri-state ◦

[0]: tri-state ◦ [1]: normal ◦

**PRIC [1:0]:** prescaler IF part 電流設定 ◦

[00]: 0.95mA ◦ [01]: 1.05mA ◦ [10]: 1.15mA ◦ [11]: 1.25mA ◦

**PRRC [1:0]:** prescaler RF part 電流設定 ◦

[00]: 1.0mA ◦ [01]: 1.2mA ◦ [10]: 1.4mA ◦ [11]: 1.6mA ◦

**SDPW:** clock delay for sigma-delta modulator ◦

[0]: 13ns ◦ [1]: 26ns ◦

**NSDO:** sigma delta order 設定 ◦

[0]: order 2 ◦ [1]: order 3 ◦

**9.2.47 VCO test Register I (Address: 2Eh)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	--	--	--	TLB1	TLB0	RLB1	RLB0	VCBS
Reset		--	--	--	1	1	0	1	0

**TLB[1:0] :** LO TX buffer current 選擇 ◦

[00]: 0.6mA ◦ [01]: 0.75mA ◦ [10]: 0.9mA ◦ [11]: 1.05mA ◦

**RLB[1:0] :** LO RX buffer current 選擇 ◦

[00]: 1.2mA ◦ [01]: 1.5mA ◦ [10]: 1.8mA ◦ [11]: 2.1mA ◦

**VCBS :** VCO buffer current 設定 ◦

[0]: 1mA ◦ [1]: 1.5mA ◦

**9.2.48 VCO test Register II (Address: 2Fh)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	--	--	--	--	RFT3	RFT2	RFT1	RFT0
Reset		--	--	--	--	0	0	0	0

**RFT[3:0] :** RF analog pin configuration.

[0000]: normal operation.

[x0x1]: temperature voltage output to pin BPBG.

[x0x0]: bandgap reference voltage output to pin BPBG.

[x00x]: RSSI voltage output to pin RSSI

[x01x]: RSSI voltage not connect to pin RSSI

[x100]: BPF In phase part differential signals output to pin BPBG and RSSI

[x101]: BPF quadrature phase part differential signals output to pin BPBG and RSSI.

[0110]: IFAMP in phase part differential signals output to pin BPBG and RSSI.

[0111]: IFAMP quadrature phase part differential signals output to pin BPBG and RSSI.

[1110]: mixer in phase part differential signals output to pin BPBG and RSSI.

[1111]: mixer quadrature phase part differential signals output to pin BPBG and RSSI.

**9.2.49 IFAT Register (Address: 30h)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	IGFI2	IGFI1	IGFI0	IGFQ2	IGFQ1	IGFQ0	IFBS	LIMS
Reset		1	0	0	1	0	0	1	1



Preliminary

2.4GHz Transceiver

**IGFI[2:0] : I part IF AMP 增益設定。**

**Nominal IF gain =**

**[000]: = - 2.8 ◦ [001]: = - 2.4 ◦ [010]: = - 2.0 ◦ [011]: = - 1.6 ◦ [100]: = - 1.2 ◦ [101]: = - 0.8 ◦ [110]: = - 0.4 ◦ [111]: = nominal IF gain ◦**

**註 :** Where nominal IF gain is 12 db (if IGC0 = 1), or 6 db (if IGC0 = 0)

**IGFQ[2:0] : Q part IF AMP 增益設定。**

**Nominal IF gain =**

**[000]: = - 2.8 ◦ [001]: = - 2.4 ◦ [010]: = - 2.0 ◦ [011]: = - 1.6 ◦ [100]: = - 1.2 ◦ [101]: = - 0.8 ◦ [110]: = - 0.4 ◦ [111]: = nominal IF gain ◦**

**IFBS : IF band pass filter 電流選擇。**

**[0]: 0.6mA ◦ [1]: 1.2mA ◦**

**LIMS : limiter amplifier 電流選擇。**

**[0]: 0.3mA ◦ [1]: 0.6mA ◦**

**9.2.50 RScale Register (Address: 31h)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
<b>Name</b>	W	RSC7	RSC6	RSC5	RSC4	RSC3	RSC2	RSC1	RSC0
Reset		0	0	0	0	1	1	1	1

**RSC[7:0] : RSSI tuning scale.**

**9.2.51 Filter test Register (Address: 32h)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
<b>Name</b>	W	FT7	FT6	FT5	FT4	FT3	FT2	FT1	FT0
Reset		0	0	0	0	0	0	0	0

**FT[7:0] : Filter test register. Write the test bit in the same register. Total 96 bits.**

10. 串列介面(3 or 4-wire serial interface)控制

- A7105 RF chip 控制暫存器的控制係藉由 3 or 4-wire 串列介面操作讀出或寫入資料(SCS, SCK, SDIO or GIOx)。
- A7105 RF chip power on 是 3-wire 串列介面。
- 如果想使用 4-wire 串列介面時, 要先確定是使用 GPIO1 或 GPIO2 pin, 來做 SPI data out, 再去對 GIOx CTRL register 的 GIOxS3-0 設定為 "0110"。
- 寫入控制暫存器值時, SCK 時脈上升緣(rising edge), 將資料門鎖(latch)寫入控制暫存器。
- 讀出控制暫存器值時, 在寫入位址資料欄(address)後, 當 SCK 時脈上升緣(rising edge)時, MCU 可讀出資料(RF chip 會在下降緣(falling edge)將資料轉換)。

10.1 SPI 格式

Address Byte(8 bits)								Data words(8 bits)							
C <sub>d</sub>	R/W	Address						Data							
7	6	5	4	3	2	1	0	7	6	5	4	3	2	1	0

Address bytes:

Bit 7: Command bit

- [0]: 讀/寫 控制register。
- [1]: 寫 Strobe command。

Bit 6: R/W bit

- [0]: 寫 data 至 register。
- [1]: 從register 讀出 data。

Bit[5:0]: 控制暫存器位址

Data words:

Bit[7:0]: 資料位元

10.2 3 or 4-wire 線串列介面讀/寫時序圖(3 or 4-Wire Serial Interface Timing Chart)

3-wire 讀/寫工作時序圖

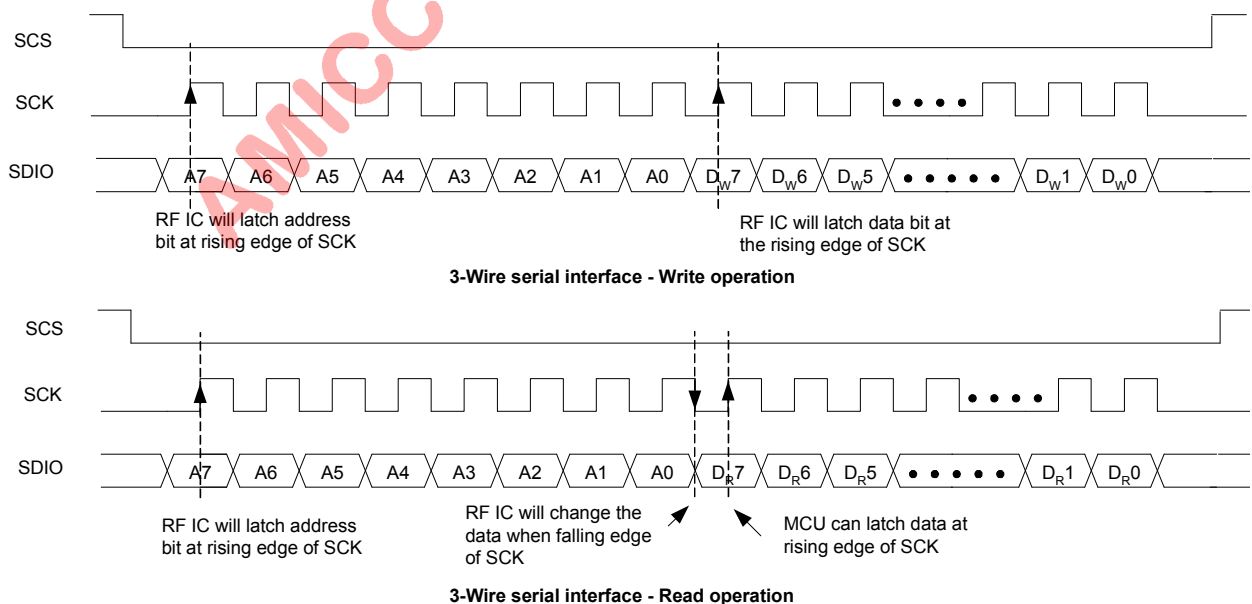


Fig 10.1 線串列介面讀/寫時序圖

4-wire 讀/寫工作時序圖

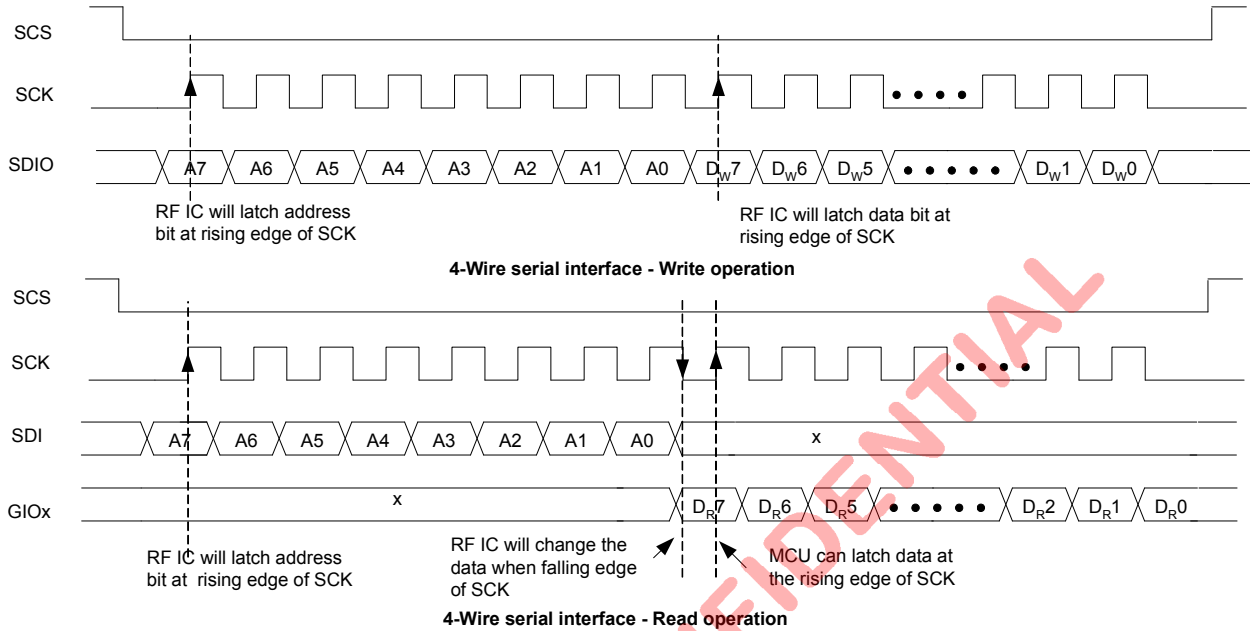


Fig 10.2 線串列介面讀/寫時序圖

10.3 控制暫存器存取型態



Fig 10.3 控制暫存器存取型態

10.4 SPI 時序特性

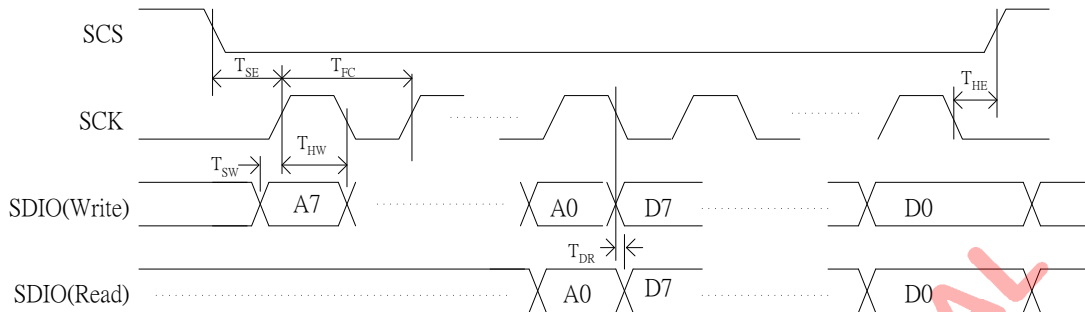


Fig 10.4 SPI 時序特性圖

Parameter	Description	Min.	Max.	Unit
F <sub>C</sub>	FIFO clock frequency.		10	MHz
T <sub>SE</sub>	Enable setup time.	50		ns
T <sub>HE</sub>	Enable hold time.	50		ns
T <sub>SW</sub>	TX Data setup time.	50		ns
T <sub>HW</sub>	TX Data hold time.	50		ns
T <sub>DR</sub>	RX Data delay time.		50	ns

10.5 Strobe Command

有別於控制暫存器的寫法，A7105 RF chip 可直接寫入 4bits 的不同 Strobe command 來轉換不同的狀態，說明及時序圖如下：

Strobe Command

Strobe Command								說明
A7	A6	A5	A4	A3	A2	A1	A0	
1	0	0	0	x	x	x	x	Sleep mode
1	0	0	1	x	x	x	x	Idle
1	0	1	0	x	x	x	x	STBY
1	0	1	1	x	x	x	x	PLL
1	1	0	0	x	x	x	x	RX mode
1	1	0	1	x	x	x	x	TX mode
1	1	1	0	x	x	x	x	TX FIFO write point reset
1	1	1	1	x	x	x	x	RX FIFO read point reset

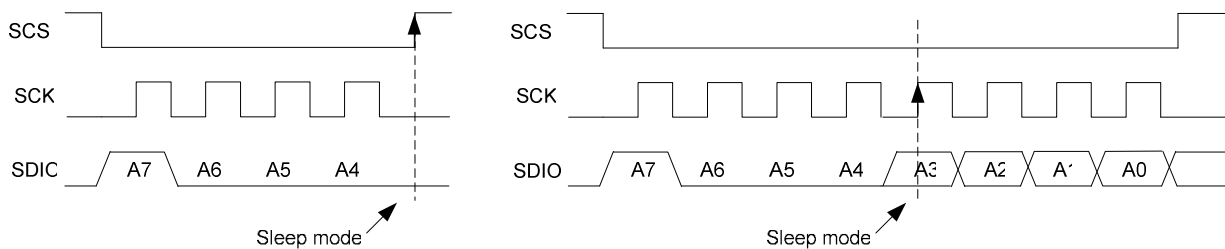


Fig 10.5 Sleep mode Command 時序

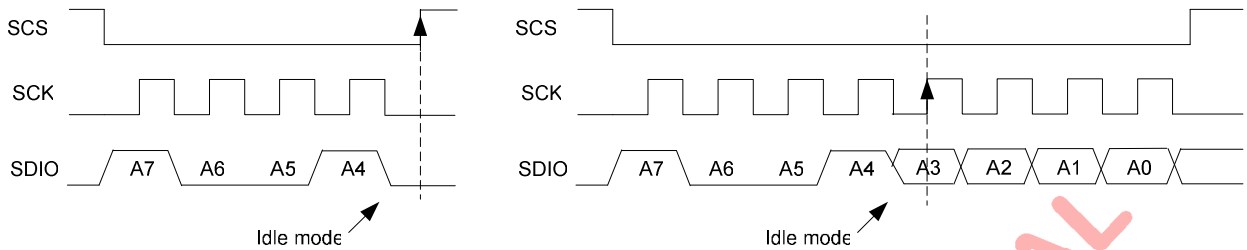


Fig 10.6 Idle mode Command 時序

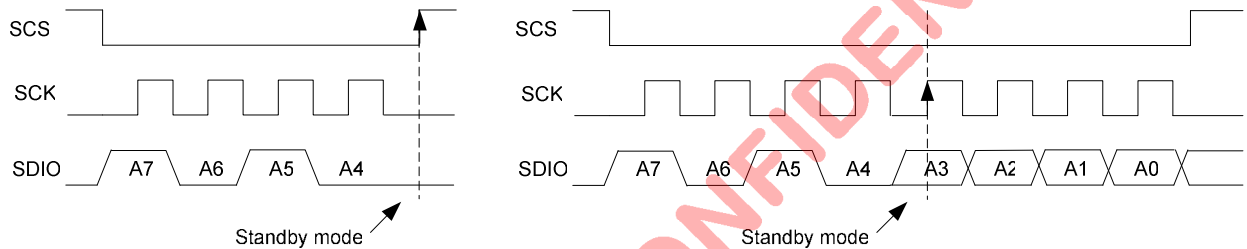


Fig 10.7 Standby mode Command 時序

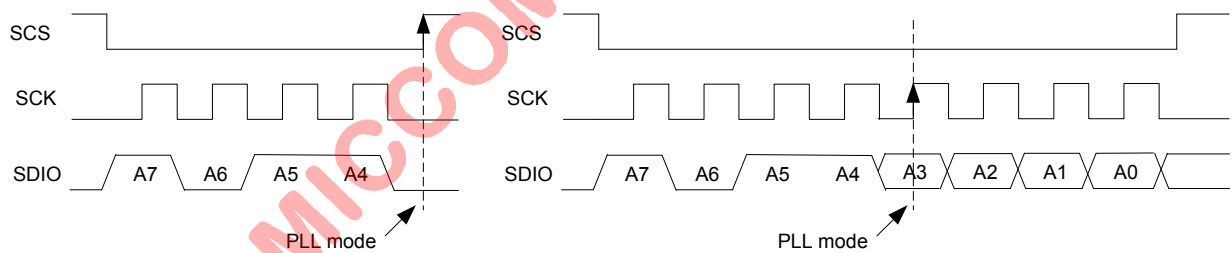


Fig 10.8 PLL mode Command 時序

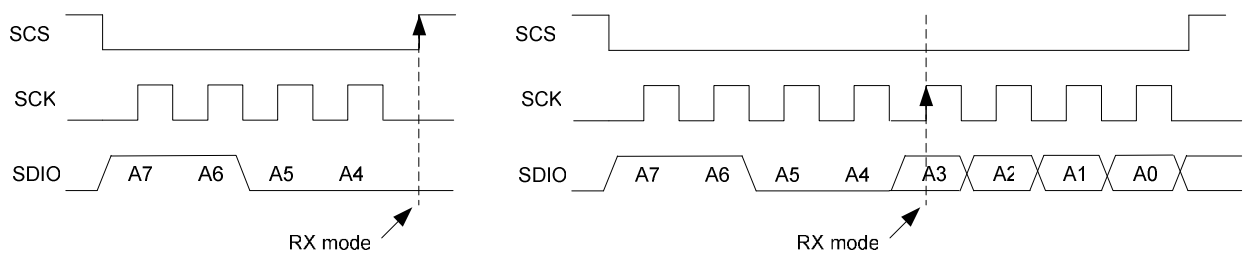


Fig 10.9 RX mode Command 時序

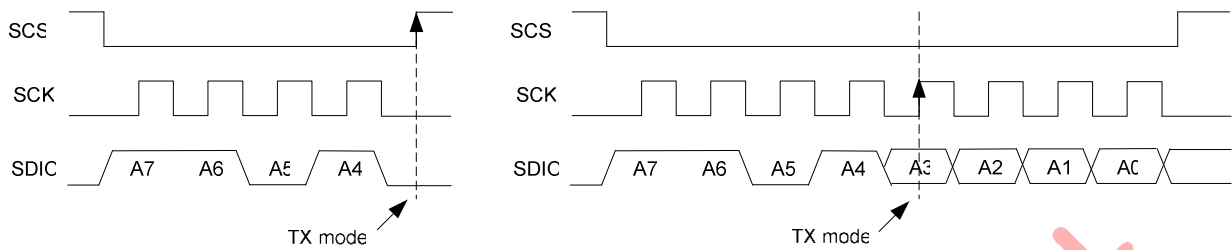


Fig 10.10 TX mode Command 時序

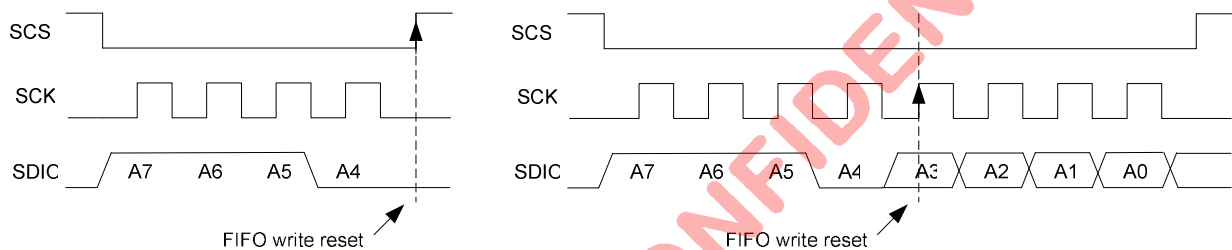


Fig 10.11 FIFO write reset Command 時序

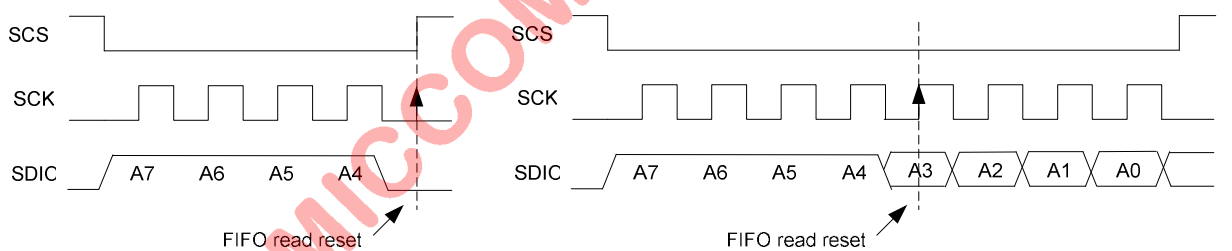


Fig 10.12 FIFO read reset Command 時序

### 10.6 RF chip Reset Command

- A7105 RF chip 除了在電源開啓(power on)時，會自動重置動作外(POR)，使用者亦可由寫入控制暫存器 Mode register 一任意值，來重置 RF chip。
- A7105 RF chip reset 後，會是 standby mode。
- 時序如下圖所示，在 bit D5 的 SCK 時脈負緣(falling edge)時，開始執行 RF Reset 的動作。

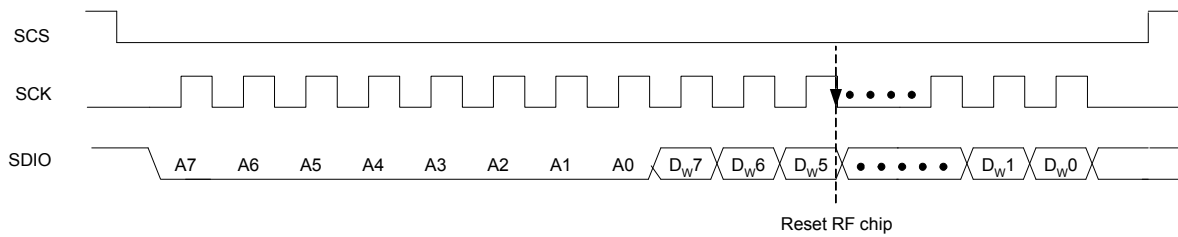


Fig 10.13 Reset Command 時序

10.7 ID Read/Write Command

下列是使用 3-wire 串列介面寫入 ID 或讀出 ID 命令時序方法如下圖所示。

- 首先，依指令表寫入 Address Byte(06h)，執行 ID Read/Write 命令，之後再讀出/寫入 DataByte。
- 如使用者已寫入 DataByte 0, DataByte 1，之後設定 SCS=1，可結束 ID Read/ Write 動作。
- 或完成 DataByte 0,1,2,3 讀出/寫入後，RF IC 會自動結束 ID Read/ Write 動作。
- 每次執行 ID code 寫入動作時，都是從 DataByte 0 開始。

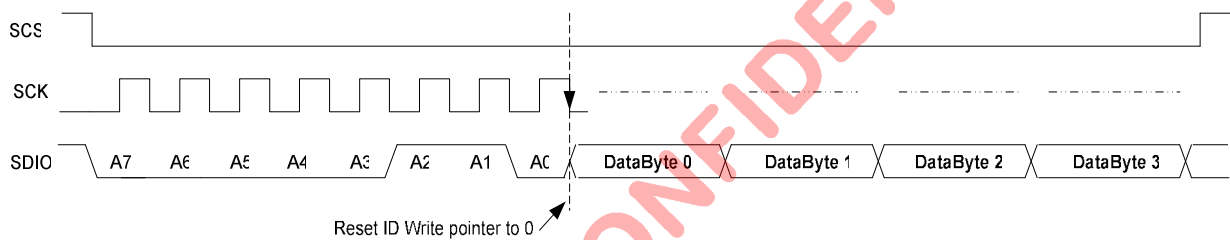


Fig 10.14 ID write Command 時序

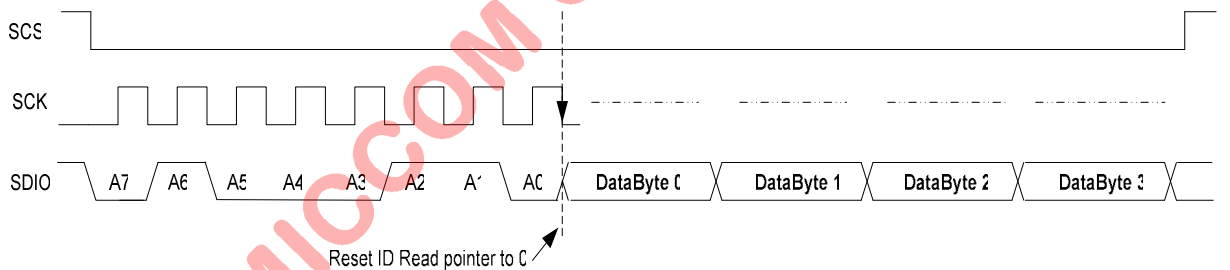


Fig 10.15 ID Read Command 時序

10.8 TX FIFO write /RX FIFO Read Command

下列是使用 3-wire 串列介面寫 TX FIFO 或讀出 RX FIFO 命令時序方法如下圖所示。

TX FIFO Write Command

- 依指令表寫入 Address Byte(05h)，執行 TX FIFO Write 命令，之後再寫入 DataByte。
- 完成寫入動作後，可設置 SCS=1，結束 TX FIFO 寫入動作。
- 每次執行 TX FIFO 寫入資料時，仍須依指令表寫入 Address Byte，之後所寫入的資料，會接續上次的最後 TX FIFO 位址指標，開始寫入。
- RF IC reset 或是下 “TX FIFO write point reset” Strobe command 之後，TX FIFO 位址指標都會為 0。

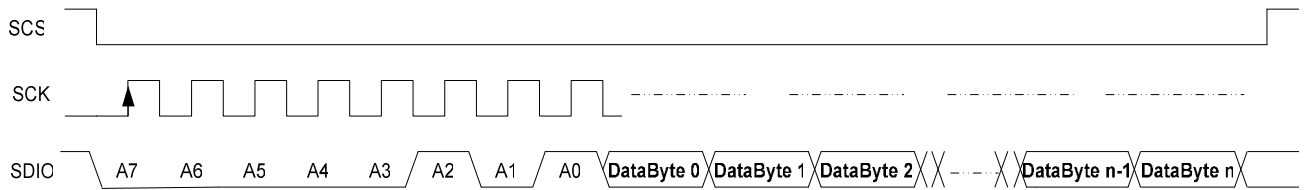


Fig 10.16 TX FIFO Write Command 時序

**RX FIFO Write Command**

- 依指令表寫入 Address Byte，執行 RX FIFO Read 命令，之後再讀出 DataByte。
- 完成讀出動作後，可設置 SCS=1，結束 RX FIFO 讀出動作。
- 每次執行 RX FIFO 讀出資料時，仍須依指令表寫入 Address Byte，之後所讀出的資料，會接續上次的最後 RX FIFO 位址指標，開始讀出。
- RF IC reset 或是下 “TX FIFO write point reset” Strobe command 之後，TX FIFO 位址指標都會為 0。

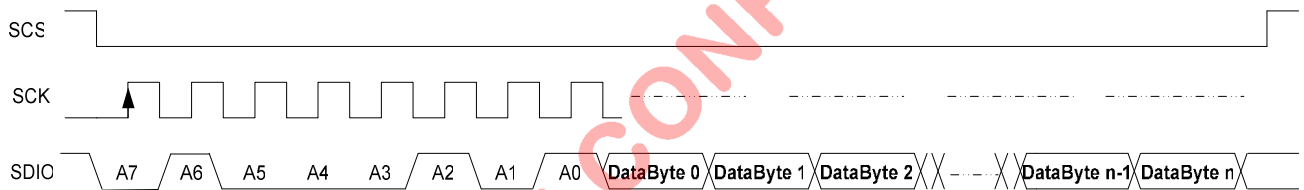


Fig 10.17 RX FIFO Read Command 時序

AMICCOM CONFIDENTIAL



11. 系統狀態機制 (State machine)

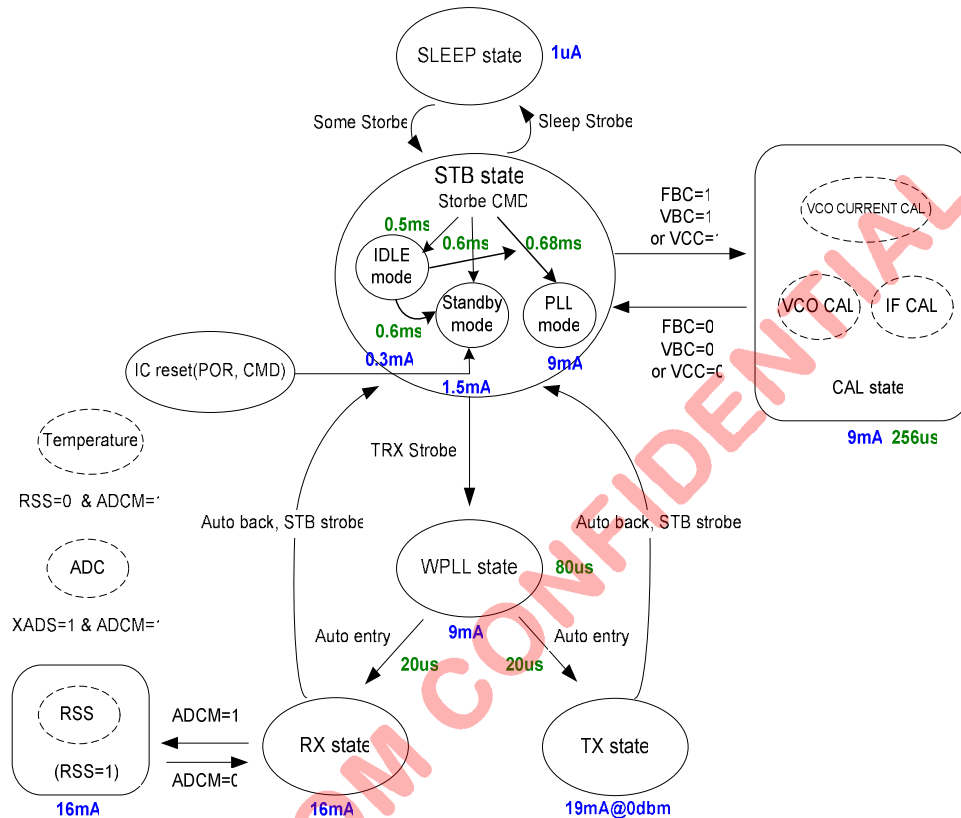


Fig 11.1 系統狀態機制圖

A7105 RF chip 有 6 個主要的 state。Sleep state, STB state, WPLL state, TX state, RX state, CAL state。這 state 狀態圖如系統狀態機制圖所示。

11.1 SLEEP state:

- 當進入 sleep state 時，chip 內部參考電壓源(band gap)及 crystal 振盪電路會關閉。
- Sleep state 不可直接切換到 TX / RX state，因為 X'stal 需要 setting time，建議可以先切換到 standby / PLL state，再 delay 1ms 後，再下 TX / RX strobe command，進入 TX / RX state。

11.2 STB state:

- A7105 的 STB state 包含了 IDLE mode、Standby mode、PLL mode。
- RF IC 會依 strobe command 來進到任一個 mode，而不同的 mode，會對 RF IC 內部電路如 regulator, crystal 振盪，參考電壓源(band gap)，PLL 電路的開啓或關閉。
- 當進入 IDLE mode 時，IC 內部參考電壓源(band gap)開啓，而 crystal 振盪及 PLL 電路則是關閉。
- IDLE mode 不可直接切換到 TX / RX state，因為 X'stal 需要 setting time，建議可以先切換到 standby / PLL state，再 delay 1ms 後，再下 TX / RX strobe command，進入 TX / RX state。
- 當 power on 或 reset 時，RF IC 進入 Standby mode，此時 regulator on，chip 內部參考電壓源(band gap)開啓，crystal 振盪電路開啓。
- 當進入 PLL mode 時，IC 內部參考電壓源(band gap)，crystal 振盪及 PLL 電路皆開啓。

**Preliminary**
**2.4GHz Transceiver**
**11.3 WPLL(waiting PLL) state:**

- 當任何 state 進入 TX / RX state 時，會依據目前的 state 或是控制暫存器 PLL I, PLL II, PLL III, PLL IV 設定值是否已變動，而進入此 state 或是直接 bypass 該 state，進入 TX / RX state。
- 這個 state 的 delay 時間，會自動依 Delay I 控制暫存器的 PDL[2:0] 來產生(延遲 PLL 穩定時間，請設定大於等於 80us)。
- 在 PLL mode 且頻率設定沒有變動過，則會跳過這個 state。

**11.4 TX/RX state:**

- RF IC 會依照 strobe command 來決定進入 TX 或是 RX state(1:TX state; 0:RX state)。
- 當在 TX state 且使用 FIFO mode 工作時，RF chip 會自動將 TX 封包(Preamble + ID + TX FIFO payload)傳送出去。若傳送結束，RF chip 會自動回到原先的 state。
- 當在 RX state 且使用 FIFO mode 工作時，RF chip 會進入 RX state 等待 TX 資料。若 TX 端確實有發射資料，則當 ID code 判斷正確後，且收到設定的資料長度後，RF chip 會自動回到原先的 state。
- 當在 TX state 且使用 Direct mode 工作時，MCU 可以從 RF chip 的 GIO1 或 GIO2(請設定 GIO1S 或 GIO2S 為 0x111, 0x1001) 將 data 送出。若傳送結束，需下 STB 的 strobe command，脫離 TX state。
- 當在 RX state 且使用 Direct mode 工作時，MCU 可以從 RF chip 的 GIO1 或 GIO2(請設定 GIO1S 或 GIO2S 為 0x111, 0x1001) 將 data 讀出。若接收結束，需下 STB 的 strobe command，脫離 RX state。
- 當在 TX 或 RX state 尚未結束時，請勿再下 TX 或 RX strobe command，如要改變 state，可以先下 STB state 後，再下 TX 或 RX strobe command。
- TX state 結束切換 RX 或 RX state 結束切換 TX 的 setting time，是 20us(不須改變頻率) 或 100us(須改變頻率)。

**11.5 CAL state:**

- 在 CAL state 中，有三個獨立的校準項目，IF, VCO band, VCO current。
- 在 STB state 下，當 bit FBC=1、bit VBC=1 及 bit VCC=1 時，會進入 IF filter 校準、VCO band、VCO current 的校準程序。
- 完成校準程序後，bit FBC、VBC 或 VCC 會自動清除為 0，且回到 STB state。

**11.6 控制狀態一覽表**

A7105 IC 是透過 strobe command 來決定控制狀態，並去設定 IC 內部 control bit CER, PLLE, TRSR, TRER。

Strobe command	CER	XER	PLLER	TRSR	TRER	Operation state
1000XXXX	0	0	0	0	0	Sleep state
1001XXXX	1	0	0	x	0	STB state, XOSC off, bandgap off, PLL off(Idle mode)
1010XXXX	1	1	0	x	0	STB state, XOSC on, bandgap on, PLL off(Standby mode)
1011XXXX	1	1	1	x	0	STB state, XOSC on, bandgap on, PLL on(PLL mode)
1100XXXX	1	1	x	0	1	RX state
1101XXXX	1	1	x	1	1	TX state

**11.7 自動模式回復(Auto Mode Back)功能**

- A7105 RF chip 在 FIFO mode 下，具有自動模式回復功能，可簡化使用者的操控。
- 如 RF chip 系統狀態是在 standby 或 PLL mode，當使用者下達進入 TX / RX strobe command 後，系統會自動打開一些電路及做一些延遲時間，讓電路穩定後進入 TX / RX state。
- 在完成 TX / RX 動作時，會自動回復到原先的 state。使用者可不需自行從 STB state 一步一步切換模式到 TX / RX state，或是從 TX / RX state 再一一返回。

**12. 工作模式 (Mode of operation)**

- A7105 RF chip 可分為二種主要工作模式，Direct mode, FIFO mode。
- 可設定 mode control register (0x01) 中 bit FMS([0] Direct mode, [1] FIFO mode)，選擇工作模式。

**12.1 Direct mode**

- 設定 mode control register (0x01) 中 bit FMS 為 0。
- Direct mode 是提供使用者一個 RF 通道。
- 在 TX 端 Baseband 系統將資料傳送到 RF IC 的 Data IO pin(GIO1 或 GIO2 或 SDIO, 需先設定)，RF chip 僅做資料調變，把資料傳送至接收端。
- RX 端採用數位解調方式，還原資料。Baseband 系統需自行找出正確的資料訊息。

Data IO pin 可依使用者需要選擇：

- 設定 GIO1 或 GIO2 pin 為 TRXD(GIOx CTRL register 的 GIOxS3-0=0111, TX / RX 共用雙向 pin)。
- 設定 GIO1 或 GIO2 pin 為 TXD / RXD(GIOx CTRL register 的 GIOxS3-0=1000[RXD] 或 1001[TXD], TX / RX 獨立 pin)。
- 設定 SDIO pin 為 TRXD(Mode CTRL register 的 DDPC=1, TX / RX 共用雙向 pin)。

**12.1.1 TX 傳送時序**

**【執行程序】**

- 經由 TX Strobe command，使工作狀態進入 TX 模式。
- 擇一使用上述 Data IO 將資料傳送。
- 當資料傳送完成後，再經由 STB Strobe command，結束 TX 模式，回到 STB state。

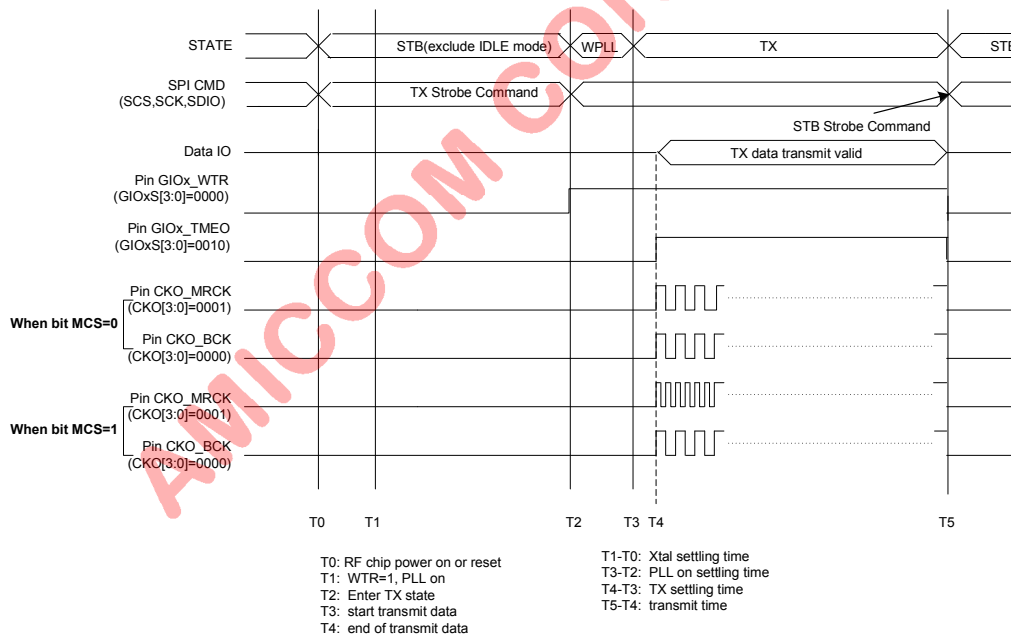


Fig 12.1 Direct mode 的 TX 傳送時序圖

12.1.2 RX 傳送時序

【執行程序】

- A. 經由 RX Strobe command，工作狀態進入 RX 模式。
- B. 擇一使用上述 Data IO 接收資料。
- C. 當資料接收完成後，再經由 STB command，結束 RX 模式，回到 STB state。

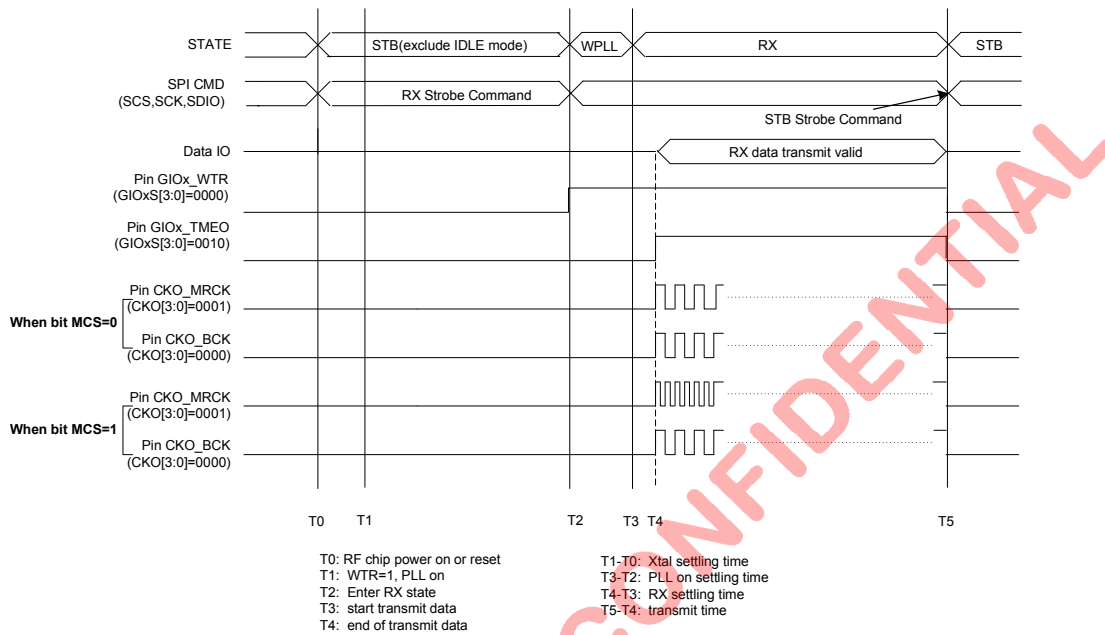


Fig 12.2 Direct mode 的 RX 接收時序圖

- 在偵測到 preamble code 時(可設定偵測長度, code register I, bit1,0), MRCK 及 BCK 都會開始送出 clock。
- 在偵測到 ID code 時, GIOx pin(當設為 FSYNC, 且另 1 pin 不可設為 EXT.FSYNC[1011]), 會拉 high, user 可以在此之後利用 MRCK 去抓取 Data IO。
- RF DC 值的抓取與 FIFO mode 相同。

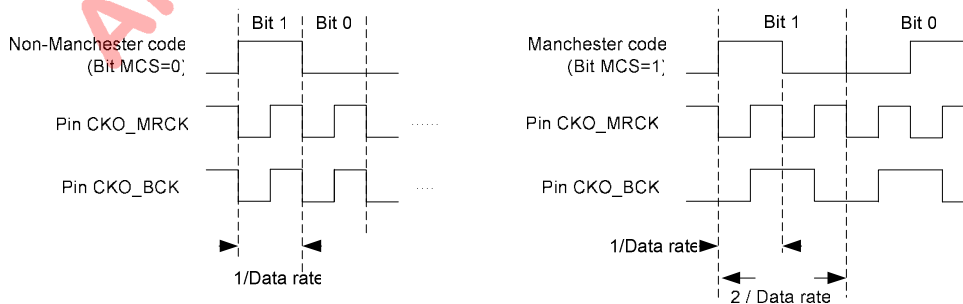


Fig 12.3 bit MCS=0 或 1 時, BCK, MRCK 時序圖

12.2 FIFO mode

- 設定 mode control register (0x01) 中 bit FMS 為 1。
- RF chip 內建 FIFO，使用者可用 3 or 4-wire 介面將傳送資料寫入 TX FIFO 中。
- 送入 TX Strobe command 給 RF IC, RF IC 進入 TX 模式後，內部硬體電路會自動將資料依封包格式傳送出去，當封包傳送完畢時，會利用 GIOx pin 去通知 MCU。
- 送入 RX Strobe command 給 RF IC, RF IC 進入 RX 模式，硬體電路會自動偵測識別碼(ID code)，如果識別碼(ID code) 是正確的(有容錯位元可設定)，就會將資料寫入 RX FIFO，並利用 GIOx pin 去通知 MCU。
- 完成一個封包的接收時，使用者可用 3 or 4-wire 介面將資料從 RX FIFO 讀出，減輕 MCU 的工作負荷。

12.2.1 TX 傳送時序

【執行程序】

- A. 使用 3 or 4-wire 介面將傳送資料寫入 TX FIFO。
- B. 寫入 TX Strobe command，使工作狀態進入 TX 模式。
- C. 開始傳送資料，直到傳送完成時，會自動脫離 TX，回到原先的 state。

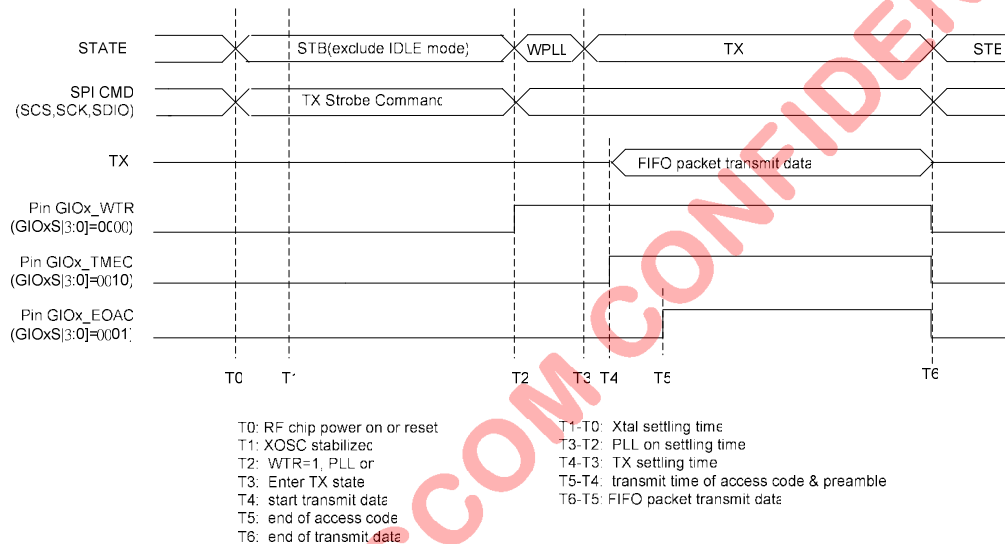


Fig 12.4 FIFO mode 的 TX 傳送時序圖

12.2.2 RX 接收時序

【執行程序】

- A. 寫入 RX Strobe command，使工作狀態進入 RX 模式。
- B. 偵測相同的 ID code，偵測到後，接收資料開始寫入 RX FIFO，完成一資料封包接收動作後，會自動脫離 RX，回到原先的 state。
- C. 使用 3 or 4-wire 介面將接收資料從 RX FIFO 讀出。

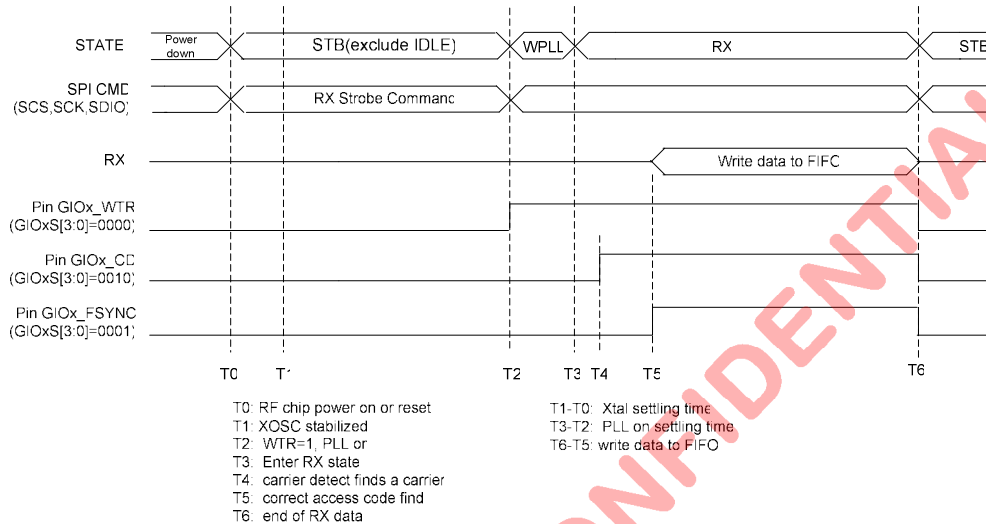


Fig 12.5 FIFO mode 的 RX 接收時序圖

12.3 GIOx pin 的 function for TX / RX

請設定 GIOx Pin Control Register 的 GIOxS bits，去做選擇。

12.3.1 TX

- WTR[0000]：當寫入 TX Strobe command 後，約 delay 1us，信號會拉 high，如果資料傳送完畢，信號會拉 low，脫離 TX。
- TME0[0001]：當寫入 TX Strobe command 後，信號會為 low，直到開始傳送資料，信號就會拉 high，如果資料傳送完畢，信號就會拉 low，脫離 TX。
- EOAC[0001]：當寫入 TX Strobe command 後，信號會為 low，直到開始傳送資料且傳完 ID code 後，信號就會拉 high，如果資料傳送完畢，信號就會拉 low，脫離 TX。

12.3.2 RX

- WTR[0000]：當寫入 RX Strobe command 後，約 delay 1us，信號會拉 high，如果有 TX 訊號進來，且 ID code 比對也正確，RX FIFO 開始接收資料，當資料接收完畢，信號會拉 low，脫離 RX。
- FSYNC[0001]：當寫入 RX Strobe command 後，信號會為 low，如果有 TX 訊號進來，且 ID code 比對也正確，信號會拉為 high，RX FIFO 開始接收資料，當資料接收完畢，信號會拉 low，脫離 RX。
- CD[0001]：當寫入 RX Strobe command 後，信號會為 low，如果有 TX 訊號進來，信號會拉為 high，如果 ID code 比對正確，RX FIFO 會開始接收資料，當資料接收完畢，信號會拉 low，脫離 RX。但如果 ID code 比對不正確，信號還是會為 high，不脫離 RX。

### 13. FIFO (First In First Out)功能

- A7105 RF chip 內建 TX 和 RX FIFO，FIFO 長度各為 64 bytes。
- TX FIFO 僅能寫入 data，Rx FIFO 僅能讀出 data。
- 寫入和讀出係由 3-wire 或 4-wire 串列介面操作完成。FIFO 操作模式下，RF chip 會依使用者定義的封包格式，將資料編碼傳送或自行解出封包的動作。

#### 13.1 傳送封包格式

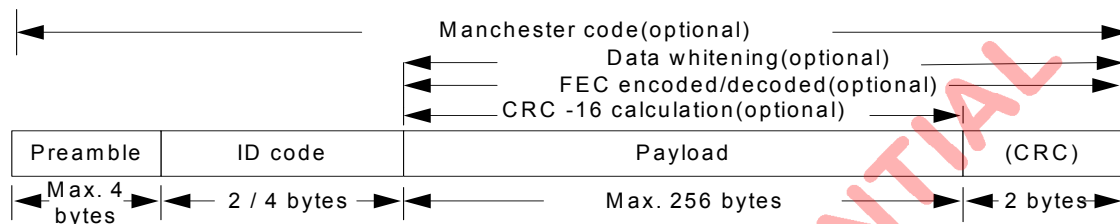


Fig 13.1 傳送封包格式

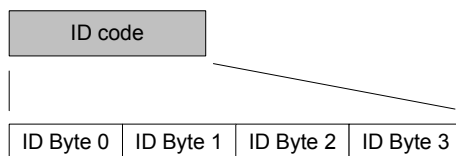


Fig 13.2 ID Code 格式

#### Preamble:

- Preamble 的長度可為 1~4 bytes，是由 code register I 中 bit PML[1:0]設定。
- RF Chip 會將 Preamble 加到 ID code 之前，且會依 ID code 的第一個 bit，為 "1" 或 "0"，去調整 Preamble code 的內容。
- 如 ID code 第一個 bit 為 0，則 Preamble 設定"0101...0101"。如 ID code 第一個 bit 為 1，則 Preamble 設定"1010...1010"。

#### ID code:

- ID code 長度可由 code register I 中 bit IDL 設定為 2 或 4 bytes。
- 寫入 / 讀出 ID code，使用 3 or 4-wire 串列介面讀寫。
- ID code 的內容，請勿使用連續 3 個以上的 "0" 或 "1"，以避免 RF 特性的劣化。
- ID code 的第一個 byte，請勿使用 "0x55" 或 "0xAA"，以避免 RF 特性的劣化。
- 如 bit IDL 設定為 2 bytes 時，RF chip 內部使用 ID Byte 0, ID Byte 1 為 ID 碼，而將 ID Byte2, ID Byte 3 忽略。
- 如 bit IDL 設定為 4 bytes 時，RF chip 內部使用 ID Byte 0, ID Byte 1, ID Byte2, ID Byte 3 為 ID 碼。
- 使用 FIFO 工作模式在發送狀態(TX state)下，RF chip 內部電路會自動在 Preamble 後，加入 ID code。
- 使用 FIFO 工作模式在接收狀態(RX state)下，RF chip 內部電路會自動比對 ID code。如收到正確的 ID code 後，將 Payload 資料自動寫入 RX FIFO 中。
- Code register II 中 bit ETH[1:0]可設定接收狀態下，容許 ID code 錯誤的 bit 數。

#### Payload:

- FIFO Payload 長度由 FIFO control register 中 FEP[7:0]設定。
- 一次 Payload 傳送或接收長度最大為 256 bytes。
- 由於實體的 FIFO size 只有 64 bytes，當要傳送 data 大於 64 bytes 時，請使用第 15.5 章節的機制。
- 寫入 TX FIFO 或讀出 RX FIFO，是使用 3 or 4-wire 串列介面方式讀寫 TX / RX FIFO。

#### CRC:

- CRC 檢查碼是一個選項。
- 如果 code register I 中 bit CRCS=1 且 FIFO 工作在發送狀態(TX state)下，RF IC 則會自動在 Payload 之後，加入



Preliminary

2.4GHz Transceiver

CRC 檢查碼 2 bytes。

- 如果 code register I 中 bit CRCS=1 且 FIFO 工作在接收狀態(RX state)下，RF IC 則會自動在接收 Payload 時也對 Payload data 進行 CRC 計算，等 Payload 接收完成後，再與最後接收的 2byte CRC data 做比較。

13.2 封包處理 (Packet Handling)

A7105 RF chip 提供 4 種選項對封包資料做編碼/解碼動作，有 CRC, FEC, Data Whitening, Manchester code。

CRC(Cyclic Redundancy Check):

- 當設定 code register I 中 bit CRCS=1，傳送封包時，會開始計算啓始至結束的 payload 資料(不含 preamble code, ID code)。在 payload 之後加上 2 個 bytes 的 CRC 檢查碼，傳送出去。
- 在接收到封包後，會自動檢查 CRC 碼。可讀取 mode register I 中 bit CRCF，如計算 CRC 檢查碼正確時，會清除為 0。如計算 CRC 檢查碼錯誤時，bit CRCF 會設定為 1。

FEC(Forward Error Correction):

- 當設定 code register I 中 bit FECS=1，傳送封包/接收封包時，會將 payload 的資料及 CRC 檢查碼(如果有 enable CRC option)，做 FEC 的編碼/解碼動作。
- 當完成接收的動作時，會自動檢查是否有 FEC 編碼的錯誤發生，且會自動更正錯誤的 bit。使用者可讀取 mode register I 中 bit FECF，如有 FEC 錯誤發生(且已自動更正錯誤)，bit FECF 會設定為 1。

Data Whitening:

- 當設定 code register I 中 bit WHTS=1:
- 在發射時，將 payload 的資料及 CRC 檢查碼，與的 7 bit 可設定的初始種子，所產生的 pseudo random 序列碼(pseudo random sequence)，做 XOR 的運算後將資料傳送。使用者可自行設定 code register III 中 bit WS[6:0] data whitening 的初始種子(initial seed)。
- 在接收時，也會與這序列碼做 XOR 的運算。如收發兩端的初始種子不相同時，會無法解出正確的資料。

Manchester Code:

- 當設定 code register I 中 bit MCS=1，在傳送端會對傳送封包做 Manchester code 編碼處理。
- 接收時，解調電路會自動做 Manchester code 解碼處理，還原資料。

13.3 資料傳送時間

在不同編碼的選擇下，實際發射時間也會不同。

假設: **Data rate 為 500Kbps**，**Preamble 為 4 bytes**，**ID code 為 4bytes**，**Payload 為 64 bytes**，則發射時間為，

$4 + 4 + 64 = 72 \text{ bytes} = 576 \text{ bits}$	-Preamble + ID code + Payload
$576 * 2\mu\text{s} = 1152\mu\text{s} = \mathbf{1.152ms}$	-總發射時間

若 **Enable CRC option**，則會增加 2 bytes 的時間

$2 * 8 = 16 \text{ bits}$	-CRC
$576 + 16 = 592\text{bits}$	-Preamble + ID code + Payload + ID
$592 * 2\mu\text{s} = 1184\mu\text{s} = \mathbf{1.184ms}$	-總發射時間

若 **Enable FEC option**，則會將 Payload 的時間，變為原來的 7/4 倍。

$4 + 4 = 8 \text{ bytes} = 64 \text{ bits}$	-Preamble + ID code
$64\text{bytes} * 8 * 7 / 4 = 896\text{bits}$	-Payload
$64 + 894 = 960 \text{ bit}$	-Preamble + ID code + Payload
$960 * 2\mu\text{s} = 1920\mu\text{s} = \mathbf{1.92ms}$	-總發射時間

若 **Enable FEC option**，且 **enable CRC**，則會將 Payload 及 CRC 的時間，變為原來的 7/4 倍。

$4 + 4 = 8 \text{ bytes} = 64 \text{ bits}$	-Preamble + ID code
$64\text{bytes} * 8 * 7 / 4 = 896\text{bits}$	-Payload



16 * 7 / 4 = 28bits	-CRC
64 + 896 + 28 = 988 bit	-Preamble + ID code + Payload + CRC
988 * 2us = 1976us = <b>1.976ms</b>	-總發射時間

若 **Enable data whitening option**，不會影響發射時間。  
 若 **Enable Manchester code option**，發射時間會變成 2 倍。

### 13.4 TX/RX FIFO

- TX/RX FIFO 各自擁有 64 bytes 長度的 FIFO 暫存器。
- TX FIFO 僅能寫入 data，Rx FIFO 僅能讀出 data。
- 寫入和讀出係由 3 或 4 wire 串列介面完成。

如想檢查 TX FIFO 寫入是否正確，可使用下列步驟：

- A. 也可在 sleep 或 STB state 下，將 mode CTRL 暫存器的 bit FMT 設為 1(在此之前請先寫入 1.ID 2.TX FIFO)
- B. 此時 RF IC 會自動將 TX FIFO 寫入 Rx FIFO 且動作結束後 FMT 會自動清除為 0
- C. 使用者就可以從 Rx FIFO 讀出, TX FIFO 的 data 了。

FIFO register I 中 FEP[7:0]決定使用的 TX / RX FIFO 的長度及傳送 / 接收封包資料結束位址指標。

- 在寫入 TX FIFO 資料前，需先設定 FEP[7:0]值，之後開始寫入 TX FIFO，如超過結束位址指標 FEP[7:0]值後，則會回到 TX FIFO 位址 0x00。如要 TX FIFO 位址指標回復，需使用 TX FIFO 重置命令。
- 在讀出 RX FIFO 資料前，需先設定 FEP[7:0]值，之後開始讀出 RX FIFO，如超過結束位址指標 FEP[7:0]值後，則會回到 RX FIFO 位址 0x00。如要 RX FIFO 位址指標回復，需使用 RX FIFO 重置命令。

MCU 使用 3-wire 或 4-wire 串列介面寫入 TX FIFO 或讀出 RX FIFO 的資料，可不需一次寫入或讀出，可分次寫入或讀出資料，之後所寫入或讀出的資料，會從上次的位址指標繼續寫入或讀出。

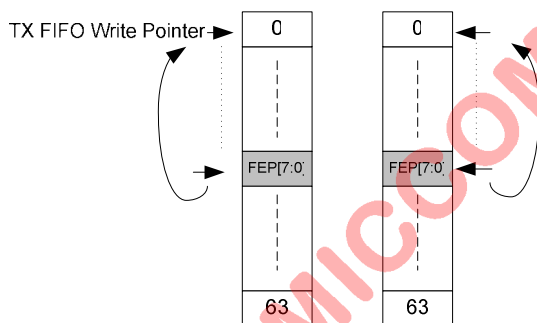


Fig 13.3 TX /RX FIFO Pointer

FIFO register II 中 PSA[5:0]決定傳送資料的啓始位址指標。預設值是 0x00。使用者可用於固定的的系統，如使用 4 個按鍵的系統，則可將對應的 Key code 全部先寫入 TX FIFO 之中，如圖 Fig 13.4 - A。

當其中一個按鍵按下後，則將對應的 PSA 及 FEP 寫入，並開始從 PSAx 傳送資料，到 FEPx 結束，這種作法可節省寫入 TX FIFO 的時間，如圖 Fig 13.4 - B。

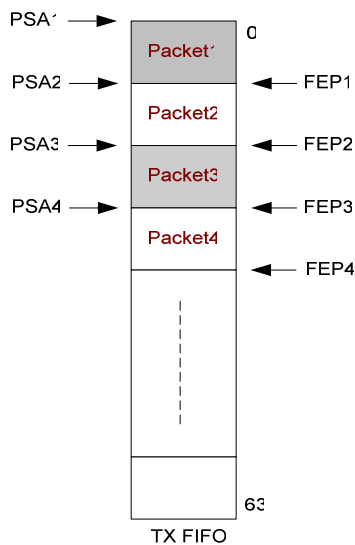


Fig 13.4 - A 圖

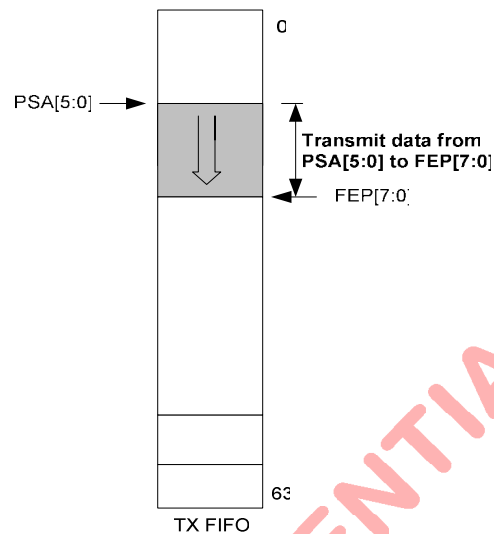


Fig 13.4 - B 圖

Fig 13.4 PSA 與 FEP 指標的關係圖

### 13.5 FIFO Extension

如果想要傳送/接收的封包長度大於 64 bytes:

- 在傳送過程中，MCU 必須及時寫入已經傳送過的 TX FIFO 區域，來重覆利用 64 bytes 的 TX FIFO。
- 在接收過程中，MCU 必須及時讀出已經接收到 RX FIFO 區域的資料。

RF IC 提供可設定的 FIFO 臨界值(FIFO control register 中 FPM[1:0])。

- 在 TX mode 下，當 WP(write pointer)減去 RP(read pointer)，小於等於 FPM[1:0]設定值時，CKO pin 會為 1(CKO Pin CTRL register 中的 CKO[3:0]需先設定為 = "0010")，否則為 0。
- 在 RX mode 下，當 WP(write pointer)減去 RP(read pointer)，大於 FPM[1:0]設定值時，CKO pin 會為 1，否則為 0。

#### TX/RX FIFO 臨界值設定表:

FPM[1:0] 設定值	Bytes in TX FIFO	Bytes in RX FIFO
[00]	4	60
[01]	8	56
[10]	12	52
[11]	16	48

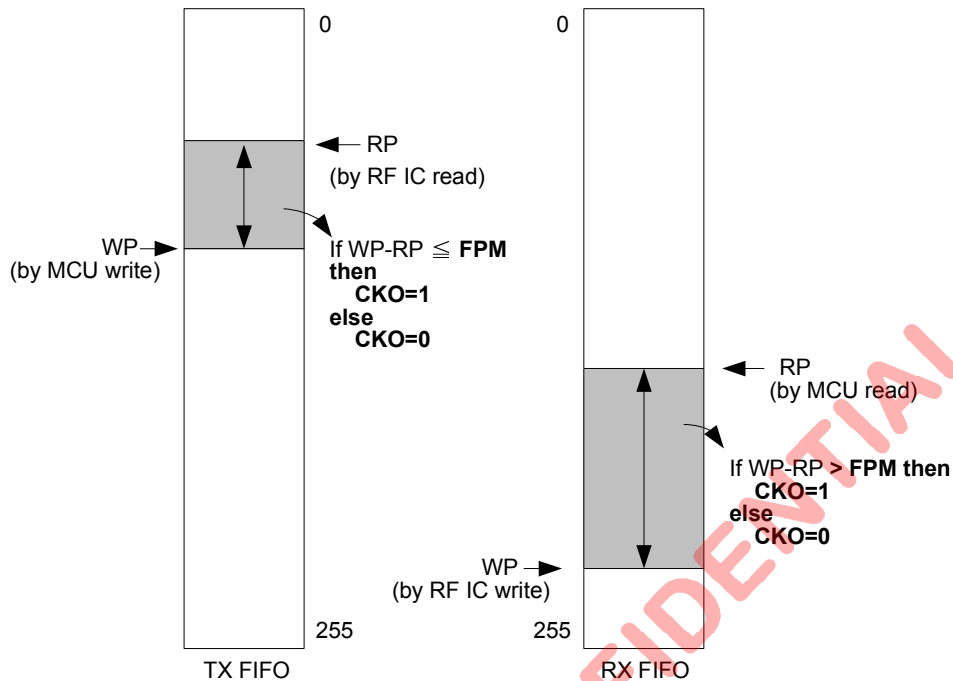


Fig 13.5 FIFO extension

FIFO 控制器自動偵測的判斷條件：

**TX FIFO:**

- WP(write pointer) – RP(read pointer) <= FIFO threshold, 則 CKO pin = 1
- WP(write pointer) – RP(read pointer) > FIFO threshold, 則 CKO pin = 0

WP 是指 MCU 寫入資料到 TX FIFO 的指標。RP 是指 RF chip 從 TX FIFO 中將資料取出傳送至調變器(modulation)的指標。

**RX FIFO:**

- WP(write pointer) – RP(read pointer) > FIFO threshold, 則 CKO pin = 1
- WP(write pointer) – RP(read pointer) <= FIFO threshold, 則 CKO pin = 0

WP 是指 RF chip 接收資料寫入 RX FIFO 的指標。RP 是指 MCU 從 RX FIFO 中將資料取出的指標。

如設定 FPM[1:0]=01，決定 TX FIFO 臨界點為 8 bytes，RX FIFO 臨界點為 56 bytes。

TX FIFO 的 WP – RP ≤ 8 時，pin CKO 會設定為 1，代表 MCU 可以繼續寫入 TX FIFO 資料。

RX FIFO 的 WP – RP > 56 時，pin CKO 會設定為 1，代表 MCU 可以讀取 RX FIFO 資料。

TX FIFO Extension 的操作步驟如下:

- 設定 FPM[1:0]=01，決定 TX FIFO 臨界點為 8 bytes，RX FIFO 臨界點為 56 bytes。
- 設定 CKO[3:0]為[0011]。
- MCU 將資料寫入 TX FIFO。
- RF 進入 TX state，經 settling 時間後傳送資料。
- 當 WP – RP ≤ 8 時，pin CKO = 1。
- 此時 MCU 可繼續寫入 56bytes 的資料(64bytes - 8bytes)。

**14. 系統時脈 (System Clock)**

- 使用 A7105 RF chip 時，會先決定使用的 **Data rate**，因此就會決定 **中頻時脈 (IF clock)**。如下表：

Data rate	IF clock
data rate ≤ 250kbps	250kHz
2kbps < data rate ≤ 500kbps	500kHz

中頻時脈決定後，依據所需 Data rate 來設定 SDR[7:0]如下表：

$$Data\ rate = \frac{IF\ clock}{SDR[7:0] + 1}$$

IF clock	SDR[7:0]+1	Data rate
250kHz	1	250kbps
	2	125kbps
	3	83.3kbps
	4	62.5kbps
	以此類推	以此類推
500kHz	1	500kbps
	2	250kbps
	3	166.7kbps
	4	125kbps
	以此類推	以此類推

- 當中頻時脈(IF clock)決定時，就可計算出 **系統時脈(system clock)**，如下圖。
- 系統時脈(system clock)為 IF clock 的 32 倍。

**System clock = 32 x IF clock**

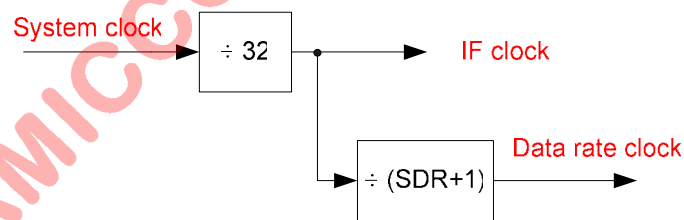


Fig 14.1 系統時脈方塊圖一

**System clock 產生的步驟:**

- 可由內部振盪電路(XS bit = 1)或外部振盪輸入信號，得到一個 FXTAL。
- 如果 FXTAL 是 16 或 32MHz，就將 CGS bit 設定為 0。經由 CSC 除頻後，產生 System clock。
- 如果 FXTAL 不是 16 或 32MHz，就可將 CGS bit 設定為 1。FXTAL 經由 clock chain 後，將頻率拉到 32MHz，再經由 CSC 除頻後，產生 System clock。

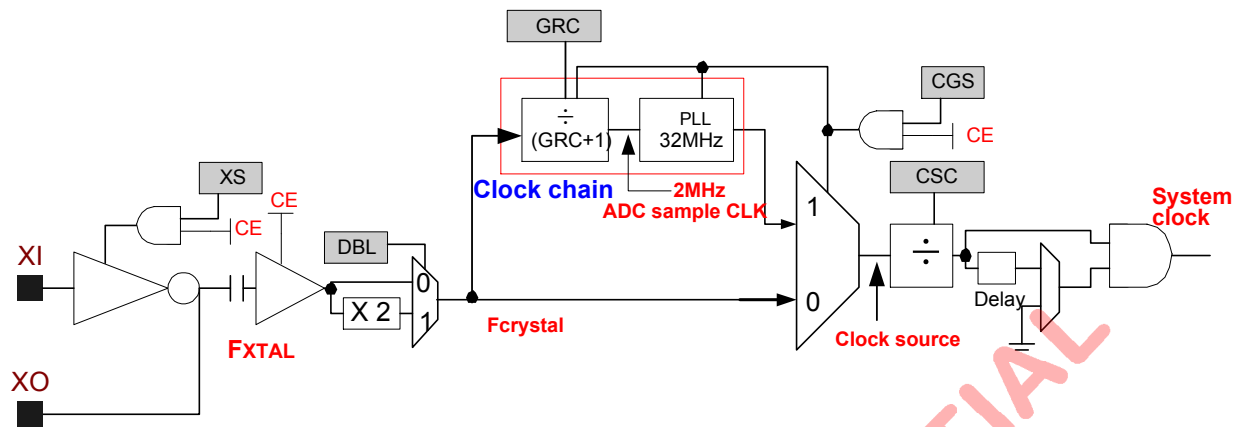


Fig 14.2 系統時脈方塊圖二

### 14.1 clock chain 機制

當晶體振盪或是外部提供的基準信號源不為 16MHz 或 32MHz 時，需經 GRC 除頻器將信號處理成 2MHz 參考信號，再經由內部 PLL 電路倍頻到 32MHz 成為時脈源 (clock source)。再依系統需求，設定 CSC 除頻，以獲得正確的系統時脈 (system clock)。

■ 不使用 clock chain

當使用晶體振盪元件或是外部提供的基準信號源為 16MHz 或 32MHz 時，可不經 clock chain 機制處理，成為時脈源 (Clock source)。時脈源 (Clock source) 即相等於晶體振盪源的時脈。將 crystal register (0x05) 中 bit CGS 設置為 0，則不使用 clock chain 機制。

### 14.2 一些除頻器的設定

■ 計數器 GRC 的設定

晶體振盪器或外部時脈信號，經由除頻後產生 2MHz 的參考信號，此信號會被用來產生 32MHz 的標準時脈源。同時這信號時脈亦會提供給 ADC 電路做為 ADC 的取樣信號源。

$$\frac{F_{\text{crystal}}}{\text{GRC}[3:0]+1} = 2\text{MHz}$$

■ CSC 除頻的設定

除頻器 CSC 的設定值，將時脈源 (clock source)，經除頻動作除至所需的系統時脈 (system clock)。

$$\frac{\text{clock source}}{\text{CSC}[1:0]+1} = \text{system clock}$$

■ SDR 除頻的設定

除頻器 SDR 的設定值，將系統時脈 (system clock)，經除頻動作除至所需的 Data rate 的 32 倍。

$$\frac{1}{32} \cdot \frac{\text{system clock}}{\text{SDR}[7:0]+1} = \text{data rate}$$

Preliminary

2.4GHz Transceiver

常用 Crystal source 在不同 data rate 下的設定表：

**Data Rate : 500Kbps**

Crystal source	CGS	DBL	GRC[4:0]	說明
16MHz	0	1	X	不使用 clock chain。
32MHz	0	0	X	
12MHz	1	1	11	使用 clock chain，基頻參考信號 2MHz，倍頻至 32MHz 的時脈源。
16MHz	1	1	15	
32MHz	1	0	15	

**Data Rate : 250Kbps**

Crystal source	CGS	DBL	GRC[4:0]	說明
8MHz	0	0/1	X	不使用 clock chain。
12MHz	0	1	X	
16MHz	0	0/1	X	
32MHz	0	0	X	
8MHz	1	0/1	3/7	使用 clock chain，基頻參考信號 2MHz，倍頻至 32MHz 的時脈源。
12MHz	1	0/1	5/11	
16MHz	1	0/1	7/15	
32MHz	1	0	15	

**Data Rate : 125Kbps**

Crystal source	CGS	DBL	GRC[4:0]	說明
8MHz	0	0/1	X	不使用 clock chain。
12MHz	0	1	X	
16MHz	0	0/1	X	
32MHz	0	0	X	
4MHz	1	1	3	使用 clock chain，基頻參考信號 2MHz，倍頻至 32MHz 的時脈源。
6MHz	1	0/1	2/5	
8MHz	1	0/1	3/7	
12MHz	1	0/1	5/11	
16MHz	1	0/1	7/15	
32MHz	1	0	15	

**Data Rate : 25Kbps**

Crystal source	CGS	DBL	GRC[4:0]	說明
4MHz	0	1	X	不使用 clock chain。

**Preliminary**

**2.4GHz Transceiver**

8MHz	0	0/1	X	
12MHz	0	1	X	
16MHz	0	0/1	X	
32MHz	0	0	X	
4MHz	1	1	3	使用 clock chain，基頻參考信號 2MHz，倍頻至 32MHz 的時脈源。
6MHz	1	0/1	2/5	
8MHz	1	0/1	3/7	
12MHz	1	0/1	5/11	
16MHz	1	0/1	7/15	
32MHz	1	0	15	

AMICCOM CONFIDENTIAL

Preliminary

2.4GHz Transceiver

15. 工作頻率設定

- A7105 RF chip 工作頻率可在 ISM 2.4GHz 頻段內任一頻率工作。
- 首先使用者可以先設定一個頻率，來做為基礎頻率(可利用公式去計算出 IP, FP 值，並填入 PLL II、III、IV、V 控制暫存器)。
- 之後使用者就可以利用 channel 來做選擇(channel space 為 500KHz)。

A7105 的 VCO 基本方塊圖如下。

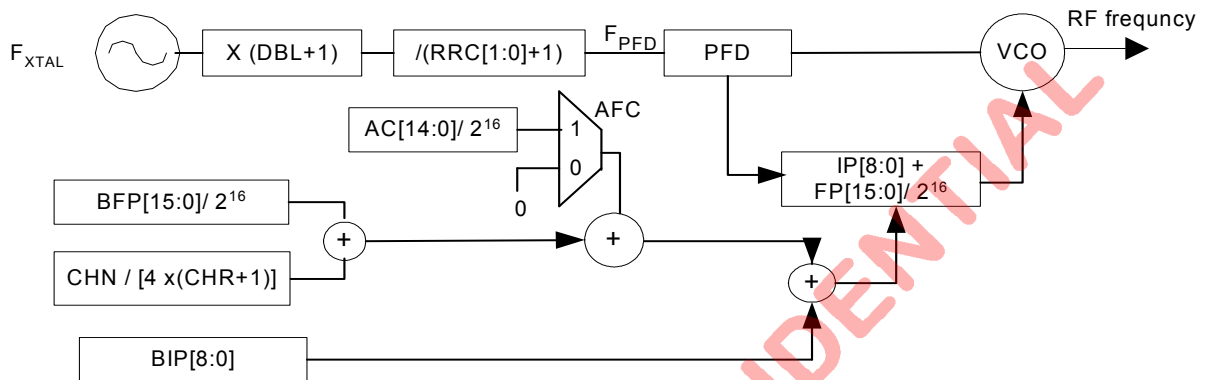


Fig 15.1 VCO 基本方塊圖

15.1 RF 頻率的設定

$$\text{RF frequency} = \text{PFD} \cdot \left( \text{BIP}[8:0] + \frac{\text{BFP}[15:0]}{2^{16}} \right) \cdot (\text{DBL} + 1) \cdot \frac{f_{\text{xtal}}}{\text{RRC}[1:0] + 1} \cdot \left( \text{BIP}[8:0] + \frac{\text{BFP}[15:0]}{2^{16}} \right)$$

\* AFC = 0

參考比較頻率(PFD)值的選擇，建議值為  $\geq 40 \cdot (\text{data rate})$ ，愈大愈佳。

範例. RF freq=2450MHz,  $F_{\text{XTAL}} = 16\text{MHz}$ ,  $\text{PFD} = 32\text{MHz}$

$$\text{PFD} = \frac{(\text{DBL} + 1) \cdot f_{\text{xtal}}}{\text{RRC}[1:0] + 1}$$

$$\Rightarrow 32\text{MHz} = [(\text{DBL} + 1) \times 16\text{MHz}] / \text{RRC}[1:0] + 1$$

If RRC = 0 則,

- ⇒  $32\text{MHz} = [(\text{DBL} + 1) \times 16\text{MHz}] / 0 + 1$
- ⇒  $32\text{MHz} / 16\text{MHz} = \text{DBL} + 1$
- ⇒  $\text{DBL} + 1 = 2$
- ⇒  $\text{DBL} = 1$

\*設定 Base Frequency = 2400MHz

$$f_{\text{RF}} = \text{PFD} \cdot \left( \text{BIP}[8:0] + \frac{\text{BFP}[15:0]}{2^{16}} \right)$$

- ⇒  $2400\text{MHz} = 32\text{MHz}(\text{BIP}[8:0] + \text{BFP}[15:0] / 2^{16})$
- ⇒  $2400\text{MHz} / 32\text{MHz} = (\text{BIP}[8:0] + \text{BFP}[15:0] / 2^{16})$
- ⇒  $75.00 = \text{BIP}[8:0] + \text{BFP}[15:0] / 2^{16}$
- ⇒  $\text{BIP}[8:0] = 75 = \underline{0x4B}$



Preliminary

2.4GHz Transceiver

- ⇒  $BFP[15:0] / 2^{16} = 00$
- ⇒  $BFP[15:0] = 0 \times 2^{16} = \mathbf{0x0000}$

$$Channel\ Step = \frac{PFD}{4 * (CHR[3:0] + 1)}$$

- Channel Step 是 500KHz
- ⇒  $500KHz = 32MHz / [4 \times (CHR[3:0] + 1)]$
- ⇒  $500KHz = 8MHz / (CHR[3:0] + 1)$
- ⇒  $500KHz \times (CHR[3:0] + 1) = 8MHz$
- ⇒  $(CHR[3:0] + 1) = 8MHz / 500KHz$
- ⇒  $(CHR[3:0] + 1) = 16$
- ⇒  $CHR[3:0] = \mathbf{15}$

\* 上列 3 個算式, 計算完成且填入 IC 之後, 可去改變 channel (PLL I 控制暫存器), 即可改變頻率.

$$f_{RF} = f_{RF\_Base} + (CHN[7:0] \times ChannelStep)$$

- $f_{RF} = 2450MHz$
- ⇒  $f_{RF} = f_{RF\_Base} + (CHN[7:0] \times Channel\ Step)$
- ⇒  $2450MHz = 2400MHz + (CHN \times 500KHz)$
- ⇒  $2450MHz - 2400MHz = (CHN \times 500KHz)$
- ⇒  $CHN \times 500KHz = 50MHz$
- ⇒  $CHN = 50MHz / 0.5MHz$
- ⇒  $CHN = \mathbf{100 = 0x64}$

15.2 AIF 的做法

- 當一套系統在做無線傳輸時, 將雙方設定成相同 channel。
- 致能自動中頻轉換功能(Enable AIF bit), RF IC 會在 RX 時, 自動判斷 ULS bit(low / up side band), 去加上或是減去中頻。
- 此種做法, TX 轉換 RX 或 RX 轉換 TX, settling time 都是 → PLL + TRX stable time.

[範例]:

- 假設 Master side TX, CHN = 10
- ⇒  $f_{RF} = 2400MHz + (10 \times 500KHz)$
- ⇒  $f_{RF} = \mathbf{2405MHz}$

- 假設 Master side RX, ULS 設為 0
- ⇒  $f_{RF} = 2400MHz + (10 \times 500KHz) - 500KHz$
- ⇒  $f_{RF} = \mathbf{2404.5MHz}$

15.3 up / low side band 的做法

- 當上述無線系統傳輸時, 想要減少 1 個 PLL settling time 時。
- 可使用 low or up side band 方法。
- 但需先停止使用自動中頻轉換功能(Disable AIF bit)。

**Preliminary**

**2.4GHz Transceiver**

**[範例]:**

假設 **Master side TX(CHN = 10, up side band[ULS=1])**

- ⇒  $f_{RF} = 2400\text{MHz} + (10 \times 500\text{KHz})$
- ⇒  $f_{RF} = \underline{2405\text{MHz}}$

假設 **Slave side RX(CHN = 11, low side band[ULS=0])**

- ⇒  $f_{RF} = 2400\text{MHz} + (11 \times 500\text{KHz})$
- ⇒  $f_{RF} = \underline{2405.5\text{MHz}}$

\* 上述做法, Slave side 接收 low side 的 TX data, 在下一個週期 Master 轉成 RX, Slave 轉成 TX.

假設 **Master side RX(CHN = 10, up side band[ULS=1])**

- ⇒  $f_{RF} = 2400\text{MHz} + (10 \times 500\text{KHz})$
- ⇒  $f_{RF} = \underline{2405\text{MHz}}$

假設 **Slave side TX(CHN = 11, low side band[ULS=0])**

- ⇒  $f_{RF} = 2400\text{MHz} + (11 \times 500\text{KHz})$
- ⇒  $f_{RF} = \underline{2405.5\text{MHz}}$

\* 上述做法, Master side 接收 up side 的 TX data, 且 settling time 只需要 TRX stable time.

**15.4 自動頻率補償(AFC)**

A7105 RF IC 內建 AFC function,可自動對 RX 頻率做頻率補償。

自動頻率補償步驟如下:

- **Step1:** 先設定在 sleep or standby state.
- **Step2:** 設置 RX register 中 bit AFC=1, 啟動 AFC.
- **Step3:** 當進入 RX 的時候,RF IC 會自動去偵測並計算 TX 的頻率,並對 RX 的頻偏作適當補償.

**RX Register (Address: 18h)**

Bit	R/W	Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
Name	W	--	RXSM1	RXSM0	AFC	RXDI	DMG	RAW	ULS
Reset		--	1	0	0	0	0	1	0

## 16. CAL state 校準

在初始化 A7105 時，需作硬體參數的校調。在校準程序中有 3 個校準項目：IF CAL(IF Filter calibration), VCO band CAL(VCO band calibration), 及 VCO current CAL(VCO current calibration)。

- IF CAL 是校準 IF filter 中頻濾波器頻帶 (IF filter bandwidth) 及中心頻率點。
- VCO band CAL(VCO band calibration)是校準確保 VCO 能夠在適當的 band 工作。
- VCO current CAL(VCO current calibration)是校準確保 VCO current 能夠在適當的 band 工作。

### 16.1 IF 校準(Calibration Process)

#### [IF 校準執行步驟]

- 需對工作頻率正確設定 CLOCK, PLL I, PLL II 控制暫存器值。
  - 且在 Sleep state 及 STB state 下，將 bit FBC 設為 1(且 bit MFBS=0)，則進入自動校準程序。
  - 當完成校準程序後，bit FBC 會自動清除為 0。
  - 讀取 IF Calibration I, bit FBCF，來判斷自動 IF 校準是否成功([0]: 校準成功。 [1]: 校準失敗)。
  - 也可以讀取 IF Calibration I 控制暫存器 FB3-0，會得到此次自動 IF 校準的值。
- 在設定 bit FBC=1 時，RF IC 會自動做一些 state 的切換，自動完成校準並清除 bit FBC，且再切換會原來的 state。
  - 如非 Sleep state 及 STB state 時，則會等待回到 Sleep state 及 STB state 時，才開始進入自動校準程序(切換到 standby mode)。
  - 可設定 IF Calibration I 控制暫存器 bit MFBS=0 自動校準(auto calibration)或 bit MFBS=1 人工校準(Manual calibration)。  
如果 MFBS=1 時，則使用者可以自行填入 IF 參數到 IF Calibration I 控制暫存器 MFB3-0。  
如果 MFBS=0 時，則設定 calibration control register 中 bit FBC=1 後，會進入 CAL state，開始執行校準動作，當完成校準程序後，bit FBC 會自動清除為 0。
  - A7105 RF chip 在做 IF Cal 所需的最大時間約  $16 * 256 * (1 / \text{system clock})$ 。

### 16.2. VCO band 校準(Calibration Process)

#### [VCO band 校準執行步驟]

- 首先需對工作頻率正確設定 CLOCK, PLL I, PLL II, PLL III 控制暫存器值，同時設定 VCO 的 VT 值範圍 (VTH[2:0], VTL[2:0])。
  - 且在 Sleep state 及 STB state 下，將 bit VBC 設為 1(且 bit MVBS=0)，則進入自動校準程序。
  - 當完成校準程序後，bit VBC 會自動清除為 0。
  - 讀取 VCO Single band I, bit VFBCF，來判斷自動 VCO band 校準是否成功([0]: 校準成功。 [1]: 校準失敗)。
  - 也可以讀取 VCO Single band I 控制暫存器 VB2-0，會得到此次自動 VCO band 校準的值。
- 在設定 bit VBC=1 時，RF IC 會自動做一些 state 的切換，自動完成校準並清除 bit VBC，且再切換會原來的 state。
  - 如非 Sleep state 及 STB state 時，則會等待回到 Sleep state 及 STB state 時，才開始進入自動校準程序(切換到 PLL mode)。
  - 可設定 VCO Single band I 控制暫存器 bit MVBS=0 自動校準(Auto calibration)或 bit MVBS=1 人工校準(Manual calibration)。  
如果 MVBS=1 時，則使用者可以自行填入 VCO band 參數到 VCO Single band I 控制暫存器 MVB[2:0]。  
如果 MVBS=0 時，則設定 calibration control register 中 bit VBC=1 後，會進入 CAL state，開始執行校準動作，當完成校準程序後，bit VBC 會自動清除為 0。
  - A7105 RF chip 在做 VCO band 所需的最大時間約  $4 * \text{PLL settling time}(\sim 80\mu\text{s})$ 。

\* 在做此項自動校準之前，請先完成 VCO current Cal 校準。

### 16.3. VCO current 校準(Calibration Process)

可與 VCO band 校準同時動作，所以控制暫存器值設定也與 VCO band 校準相同。

#### [VCO current 校準執行步驟]

- A. 首先需對工作頻率正確設定 CLOCK, PLL I, PLL II, PLL III 控制暫存器值，同時設定 VCO 的 VT 值範圍 (VTH[2:0], VTL[2:0])。
- B. 在 Sleep state 及 STB state 下，將 bit VCC 設為 1(且 bit MVCS=0)，則進入自動校準程序。
- C. 當完成校準程序後，bit VCC 會自動清除為 0。
- D. 讀取 VCO Current Cal., bit FVCC，來判斷自動 VCO current 校準是否成功([0]: 校準成功。 [1]: 校準失敗)。
- E. 可以讀取 VCO Current Cal. 控制暫存器 VCB2-0，會得到此次自動 VCO current 校準的值。

- 在設定 bit VCC=1 時，RF IC 會自動做一些 state 的切換，自動完成校準並清除 bit VCC，且再切換會原來的 state。
- 如非 Sleep state 及 STB state 時，則會等待回到 Sleep state 及 STB state 時，才開始進入自動校準程序(切換到 PLL mode)。
- 可設定 Calibration 控制暫存器 bit MVCS=0 自動校準(Auto calibration)或 bit MVCS=1 人工校準(Manual calibration)。

如果 MVCS=1 時，則使用者可以自行填入 VCO current 參數到 VCO Current Cal. 控制暫存器 VCOC3-0。

如果 MVCS=0 時，則設定 calibration control register 中 bit VCC=1 後，會進入 CAL state，開始執行校準動作，當完成校準程序後，bit VCC 會自動清除為 0。

AMICCOM CONFIDENTIAL

### 17. ADC (Analog Digital Converter)

A7105RF chip 內建一個 8 位元類比數位轉換器(ADC)，可供內部溫度、RSSI、載波(Carrier)偵測，或透過 pin RSSI (pin1) 做外部信號源的量測。

ADC 所需要的轉換時間是依據 ADC 時脈來計算，需要 20 個 ADC 時脈週期的時間。在使用 ADC 時，可設定 ADC control register 中 bit FSARS，選擇 ADC 時脈週期為 system clock / 4 或 system clock / 2。

#### 17.1 溫度量測

A7105 RF chip 內建一個簡易的溫度感測器，可監測 RF chip 的工作環境溫度的變化。

##### 溫度量測操作步驟:

- A. 在 Sleep state 及 STB state 下。
- B. 設置 ADC control register 中 bit XADS=0, RSS=0 後，啟動 mode control register 中 bit ADCM 為 1，RF IC 會開始做溫度信號的量測。
- C. 當完成溫度信號量測動作，bit ADCM 會自動清除為 0。
- D. 使用者再從 RSSI Threshold register 中 bit ADC [7:0]讀取溫度值。
- E. 如非 Sleep state 及 STB state 時，則會等待回到 Sleep state 及 STB state 時，才開始量測。

- 建議請勿在 SLEEP mode 量測溫度，偏差會較大。
- 溫度量測的公式： $+ 2^{\circ}\text{C} * \text{ADC}[7:0]$ 。

#### 17.2 RSSI 量測

- A7105 RF chip 有內建數位 RSSI(received signal strength indicator)，可偵測 RF 的信號強度。
- 完成 RSSI 量測後，RSSI 值可從 ADC register 中讀出，範圍值 0~255。
- 接收信號強度愈大，RSSI 值愈小，反之，接收信號強度愈小，RSSI 值愈大。

##### 一般 RSSI 量測操作步驟：

- A. 設置 ADC register 中 bit XADS=0, RSS=1，mode control register 中 bit ARSSI=0。
- B. 從 standby mode 下 RX strobe command，進入 RX state。
- C. Delay 150us 等待 RX state 穩定後，啟動 mode control register 中 bit ADCM 為 1，開始做 RSSI 信號的量測
- D. 當完成 RSSI 信號量測動作，bit ADCM 會自動清除為 0。
- E. 使用者再從 ADC register 中 bits ADC [7:0]讀取 RSSI 值。

- 此外，使用者也可以從 ADC control register 中的 bit CDM 選擇單次[0]或連續量測[1]。
- RSSI 量測的公式： $-100\text{dBm} + (160 - \text{RSSI}[7:0]) / 3$ 。

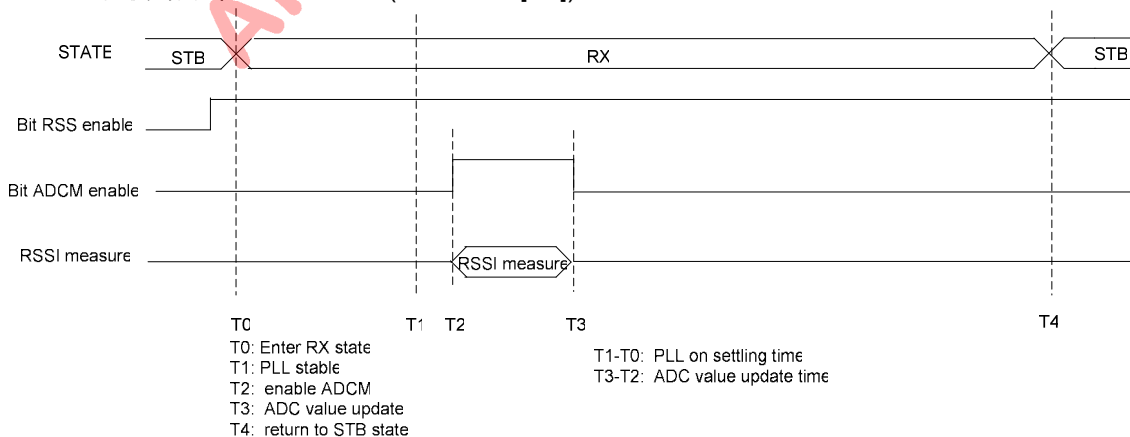


Fig 17.1 一般單次 RSSI measurement 的時序圖

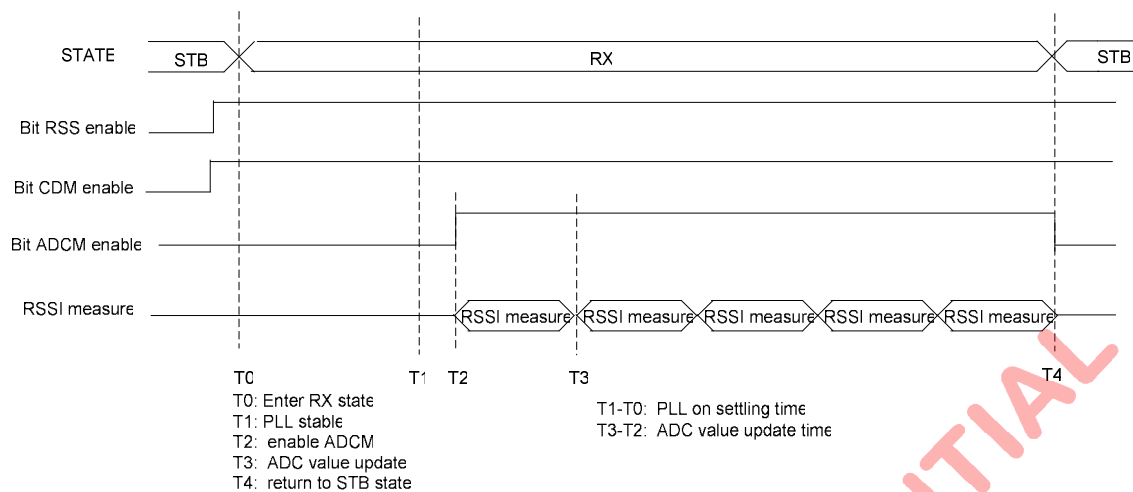


Fig 17.2 一般連續 RSSI measurement 的時序圖

**Auto RSSI 量測操作步驟：**

- A. 在 sleep or standby state 下，設置 ADC control register 中 bit XADS=0, RSS=1，mode control register 中 bit ARSSI=1。
- B. 從 standby mode 下 RX strobe command，進入 RX state。
- C. Delay 150us，等待 RX state 穩定後，就可以從 RSSI threshold register (1Dh) 讀取 RSSI 值。(當 ADC clock 為 4MHz 時，RF IC 會每隔 40us 自動做 RSSI 信號的量測，並 update 到 RSSI threshold register (1Dh))

- 當使用者下次進入 RX state，不需再設置一次暫存器，IC 仍會自動做 RSSI 的量測。
- RSSI 量測的公式： $-100\text{dBm} + (160 - \text{RSSI}[7:0]) / 3$ 。

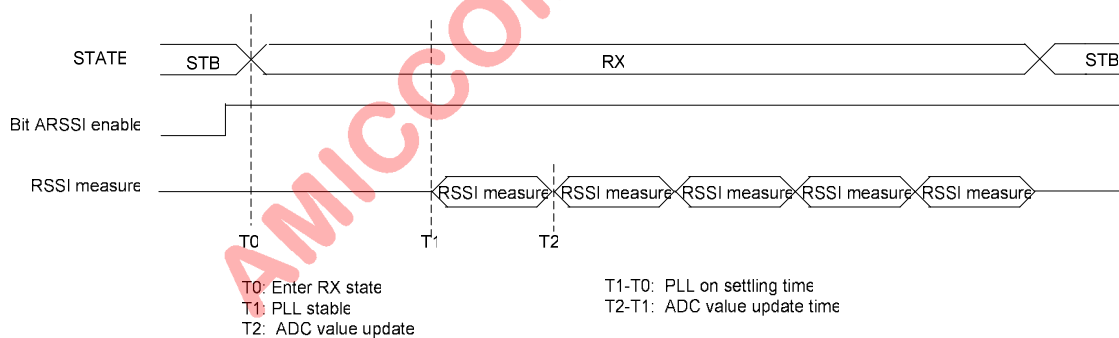


Fig 17.3 Auto RSSI measurement 的時序圖

**17.3 載波(Carrier)偵測**

A7105 RF chip 有提供 GIO pin 輸出接腳，監測載波有無載波信號發生。

- A. 在 sleep or standby state 下，設置 ADC control register 中 bit XADS=0, RSS=1, CDM=1。
- B. 設置信號強度臨界值(RSSI Threshold register) RTH[7:0]。
- C. 從 standby mode 下 RX strobe command，進入 RX state。
- D. Delay 150us，等待 RX state 穩定後，就可以從 GIO pin 去監看目前 RF channel 的狀況，是否大於[high]或小 [low]於信號強度臨界值。

17.4 外部信號源量測

A7105 RF chip 提供 pin1 RSSI 輸入接腳，量測外部信號的大小。可量測輸入信號範圍 0 ~ 1.2Vdc。

外部電壓量測的操作步驟如下：

- A. 在所有 state 皆可。
- B. 將欲量測的電壓源，接至 RSSI(RF chip pin 1)腳。
- C. 設置 ADC control register 中 bit XADS=1 以及 VCO test control register 中 RFT3-0 設為 "x01x"。
- D. 啟動 mode control register 中 bit ADCM 為 1，開始做外部電壓的量測。
- E. 當完成量測動作，bit ADCM 會自動清除為 0。
- F. 使用者再從 ADC register 中 bits ADC [7:0]讀取量測值。

■ 外部電壓量測的公式： $4.69 \text{ mV} * \text{ADC}[7:0]$ 。

ADC 量測設定表：

Bit		說明	
XADS	RSS	All state	RX state
0	0	溫度量測(不建議在 SLEEP state)	--
0	1	無	RSSI 量測/載波偵測(carrier detector)
1	0	使用 pin RSSI 做外部信號 ADC 量測	--

AMICCOM CONFIDENTIAL

**18. TWOR(Wake up on Radio using Timer) 及 WOR(Wake up on Radio)**

TWOR 的功能, 是使用 A7105 RF chip 內建一個 Timer 及一個低速的 RC oscillator, 當致能之後, 可以透過 GIOx pin 去輸出方波功能。

WOR 的功能, 是使用 TWOR, 當系統想要達到省電之目的時, 可以讓 MCU 及 RF IC 進入睡眠模式(Sleep Mode), 之後在適當的週期性時間內, 發出一個信號以喚醒 MCU 重新回復工作, 並處理 RF 的事件。

**18.1 TWOR**

使用者首先透過 RC OSC register I、RC OSC register II 設定所需 timing, 之後設置 RC OSC register III 中 bit RCOSC\_E & TWOR\_OE =1, 啟動 Timer, 即可透過 A7105 的 pin GIOx 輸出接腳, 設定步驟如下:

- **Step1:** 先透過 RC OSC register II 的 TSEL bit 選擇要使用的 timer, **WOR\_AC** 或 **WOR\_SL**.
- **Step2:** 設定 timer 的時間(**WOR\_AC**[delay range : 244us~15.6ms]或 **WOR\_SL**[delay range : 7.8ms~7.99s]).
- **Step3:** 設定 GIOx pin 的輸出.(可選擇是 GIO1 或 GIO2 pin 做輸出, 請將對應的 GIOxS 設為 0100→TWOR/WOR).
- **Step4:** 啟動 RC oscillator[RCOSC\_E=1], 輸出 TWOR 訊號[TWOR\_OE=1].



Fig 20.1 TWOR timing

**P.S** TWOR 在任何 mode 下均可執行。但是其 RC oscillator 校正與 System clock 有關, 故使用者在啟動 TWOR 前, 最好可以先啟動 System clock, 讓 RC oscillator 完成自動校正(RCOSC\_E=1, 約 250us 校正 1 次), 如果在 crystal disable 的 state(SLEEP & IDLE)下, 會有些許誤差。

**18.2 WOR**

使用者設定的方法及步驟與 TWOR 一樣, 之後利用 GIOx pin 訊號的上升緣或下降緣作喚醒 MCU 的訊號。

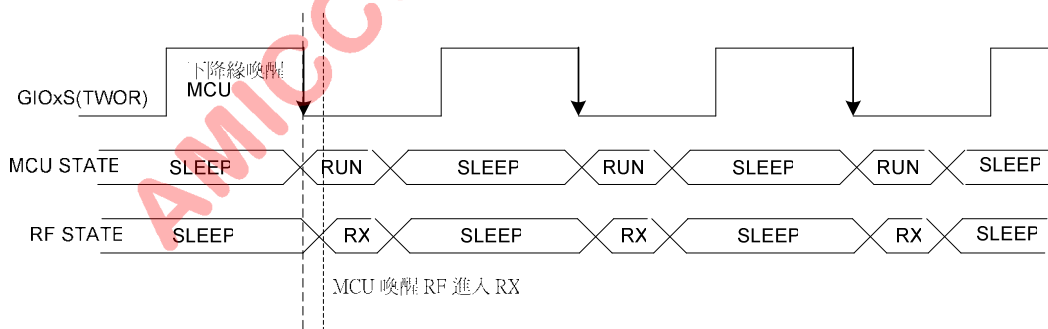


Fig 18.2 WOR timing



### **19. Battery Detector**

A7105 RF IC 內建 Battery detector 來偵測 RF IC REG1(pin19)的電壓。在不是 sleep state 都可以做偵測, 且偵測的範圍從 2.0V~2.7V, 分成 8 個 level。

偵測方式如下步驟:

- **Step1:** 先設定成非 sleep state.
- **Step2:** 設定電壓偵測點.(Battery detector register 的 BVT[2:0]).
- **Step3:** 啓動電壓偵測.( Battery detector register 的 BD\_E 設為 1, 約 4us 之後此 bit 會自動清除為 0).
- **Step4:** 讀取電壓偵測旗標, 如果是 1, 則代表 REG1 pin 電壓大於電壓偵測點, 反之則代表 REG1 pin 電壓小於電壓偵測點(讀取 Battery detector register 的 bit BDF)

AMICCOM CONFIDENTIAL

## 20. Firmware Procedure

### 20.1 A7105 的韌體程序

使用 A7105 的韌體操作步驟如下：

- A. RF IC 的初始化 (利用 SPI interface 對 RF IC 的 control register 做寫入)。
  - B. RF IC 的自動校正 (利用 SPI interface 對自動校正的 control bit 做寫入, 方法及說明可以參考 16 章)。
  - C. 開始使用 RF IC (如果步驟 A, B 動作正常, 這個步驟就可以開始做 RF 發射, 接收, 資料讀出 / 寫入, /改變頻率, 偵測干擾源.....等工作, 這些動作都是利用 SPI interface 來完成)。
- 我們有提供 A7105 的 reference code 給使用者使用, 架構與上述步驟相似。
- 另外 A7105 的 reference code 在步驟 B 之後頻率已經設定為 2400MHz, 所以使用者只要改變 PLL I register, 就可以改變頻率了(channel step = 500KHz, PLL I register = 20, 代表頻率設定為 2410MHz)。

### 20.2 A7105 的偵錯

- 可先檢查 SPI read / write 是否正常。
- 再檢查自動校正是否正常。
- 再檢查 TX 是否正常(1.可檢查 WTR 時間是否正常 2.RF TX 是否有 output 3. RF TX 頻率是否正常)。
- 再檢查 RX 是否正常(1.可檢查 RF RX 頻率是否正常 2.可檢查 CD 信號, 看是否有 TX 載波 3.可檢查 FSYNC 信號, 看是否有 TX ID)。

\* 做完以上動作若還不能動作正常, 請儘速告訴我們, 我們會幫你處理。

20.3 A7105 的範例說明：定頻及跳頻

定頻範例

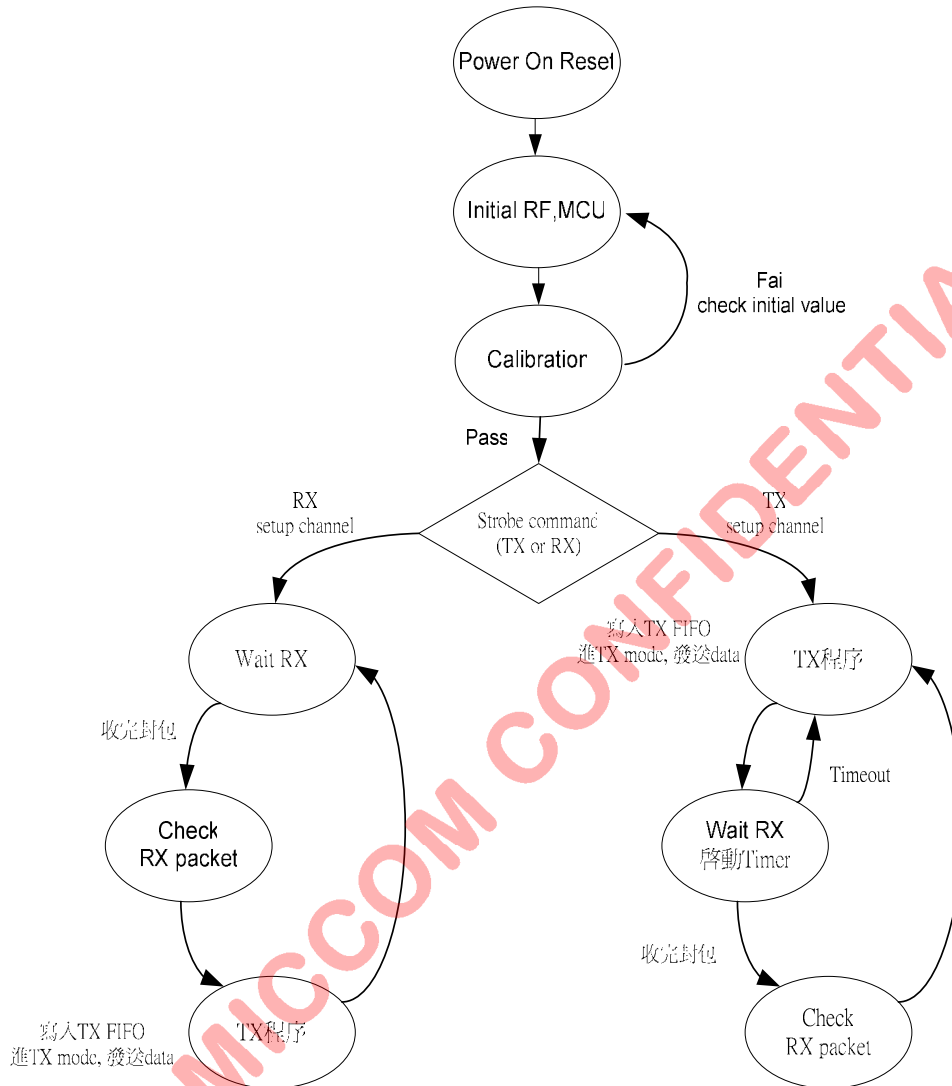


Fig 20.1 定頻 Firmware procedure 流程圖

韌體程序設計如下步驟:

初始主程式:

- **Step1:** Power on 之後, RF IC 自動啓動在 standby mode.
- **Step2:** RF IC 及 MCU 所有暫存器初始值設置.
- **Step3:** 致能 Calibration control register, 啓動 RF 自動校正功能.

TX 副程式:

- **Step4:** 寫入 TX FIFO, 進入 TX mode, 發送資料.
- **Step5:** 啓動 Timer, 進入 RX mode 等待 RX Act 或 Timer out
- **Step6:** Timer out 則進入 TX mode, 再次發送資料.
- **Step6:** 若收到 Act, 則從 RX FIFO 讀出資料並比對.

RX 副程式:

- **Step4:** 進入 RX mode, 等待接收資料.
- **Step5:** 接收資料完成則從 RX FIFO 將資料讀出並比對.
- **Step6:** 寫入 TX FIFO, 進入 TX mode, 發送資料.

AMICCOM CONFIDENTIAL

跳頻範例

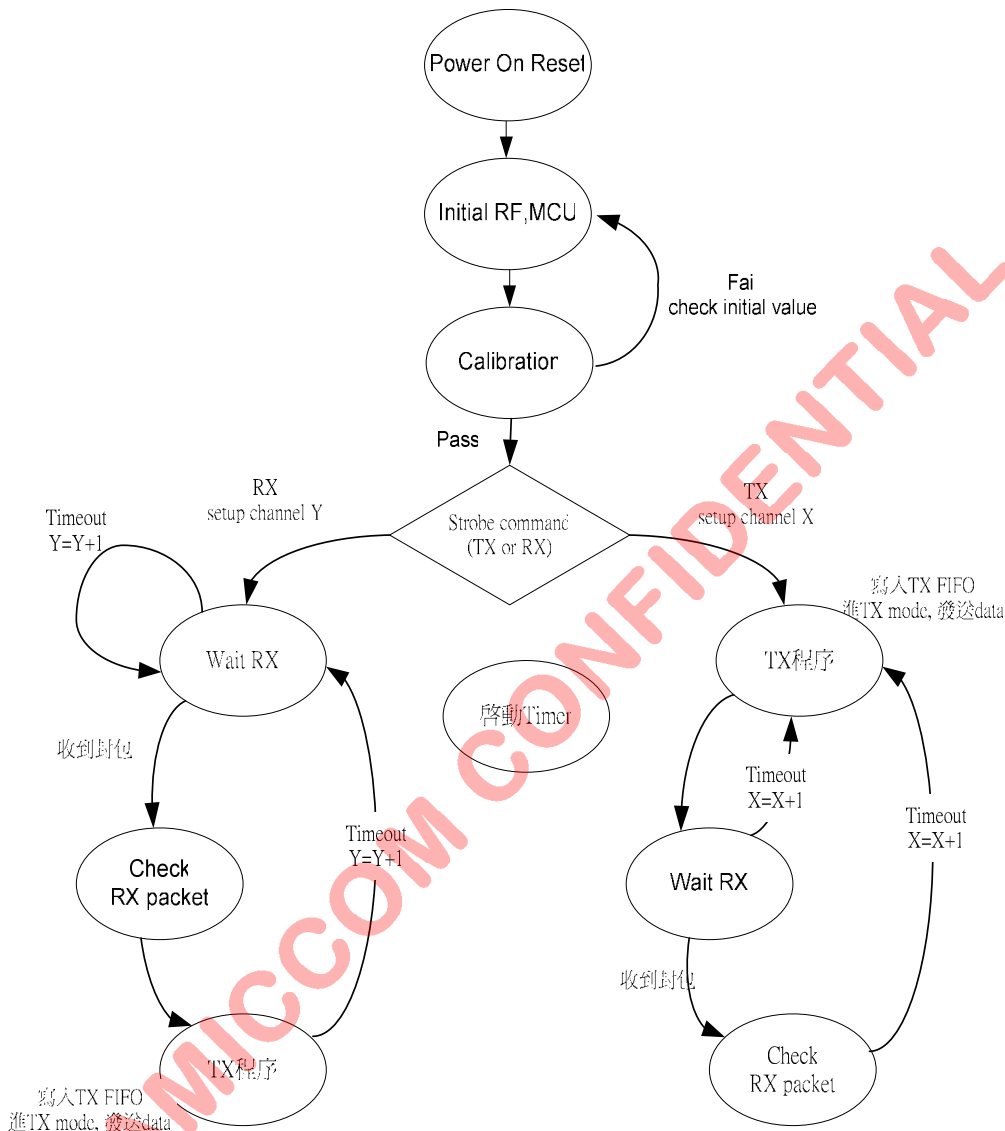


Fig 20.2 跳頻 Firmware procedure 流程圖

韌體程序設計如下步驟:

初始主程式:

- Step1: Power on 之後, RF IC 自動啓動在 standby mode.
- Step2: RF IC 及 MCU 所有暫存器初始值設置.
- Step3: 致能 Calibration control register,啓動 RF 自動校正功能..

TX 副程式:

- Step4: 寫入 TX FIFO, 進入 TX mode, 發送資料.
- Step5: 啓動 Timer, 進入 RX mode 等待 RX Act 或 Timer out
- Step6: Timer out 則選擇另一個頻率,進入 TX mode,再次發送資料.
- Step7: 若收到 Act, 則從 RX FIFO 讀出資料並比對.
- Step8: 選擇另一個頻率再進入 TX mode.

RX 副程式:

- **Step4:** 啓動 Timer, 進入 RX mode 等待 RX Act 或 Timer out.
- **Step6:** Timer out 則選擇另一個頻率,再進入 RX mode,
- **Step5:** 接收資料完成則從 RX FIFO 將資料讀出並比對.
- **Step6:** 寫入 TX FIFO, 進入 TX mode, 發送資料.

AMICCOM CONFIDENTIAL

## 21 振盪電路

A7105 RF chip 使用石英晶體或是外部提供穩定的基準信號，做為時序振盪源。

### 21.1 使用內部振盪電路

在 A7105 的 XI 和 XO 接腳之間連接一個石英振盪器 (crystal)，對不同頻率石英振盪器須依其特性，加適當電容 C1 與 C2 值。

若要啓始振盪電路工作，可設定 CLOCK 控制暫存器 bit XS =1。

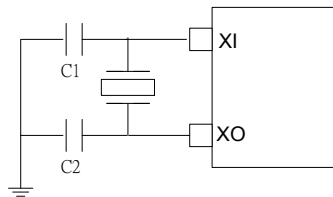


Fig 21.1 石英振盪電路

### 21.2 使用外部振盪信號

A7105 也可直接由外部輸入振盪信號源，電路連接方式如下圖。振盪信號接到 XO 接腳，XI 接腳空接。IC 內部已內建阻隔 DC 的電容，故 pin XO 不需另接一電容。

若使用外部振盪信號，可設定 CLOCK 控制暫存器 bit XS =0，關閉振盪電路。

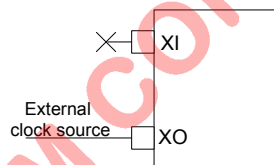


Fig 21.2 外部振盪源連接電路

**Preliminary**
**2.4GHz Transceiver**
**22. TX power 設置**

A7105RF chip 的 TX test 暫存器(address 28)可用來設定 TX power。TX power 與電流的關係如下表：

**PAC = 3**

TBG	0	1	2	3	4	5	6	7
<b>TX output (dBm)</b>	-17.6	-13.5	-10	-6.6	-5.1	-3.2	-0.3	1.3
<b>Current (mA)</b>	17.4	17.5	17.6	17.8	18	18.3	19.1	20.5

**PAC = 2**

TBG	0	1	2	3	4	5	6	7
<b>TX output (dBm)</b>	-18.7	-14.6	-11.2	-7.7	-6.2	-4.3	-1.5	0.1
<b>Current (mA)</b>	14.6	14.7	14.8	15.1	15.2	15.6	16.5	18

**PAC = 1**

TBG	0	1	2	3	4	5	6	7
<b>TX output (dBm)</b>	-20.7	-16.5	-13.2	-9.7	-8.3	-6.3	-3.4	-1.7
<b>Current (mA)</b>	12.5	12.6	12.8	13.1	13.2	13.6	14.6	16.2

**PAC = 0**

TBG	0	1	2	3	4	5	6	7
<b>TX output (dBm)</b>	-23.3	-19.2	-15.9	-12.4	-10.9	-8.9	-5.7	-3.8
<b>Current (mA)</b>	11.4	11.5	11.6	11.9	12.1	12.5	13.5	15.15

Note：使用者需要 TX output power 為 0dBm 時，建議值為 PAC = 2, TBG = 7。  
而當應用在低功耗, TX output power -10dBm 時，建議值為 PAC = 0, TBG = 4.

AMICCOM CONFIDENTIAL

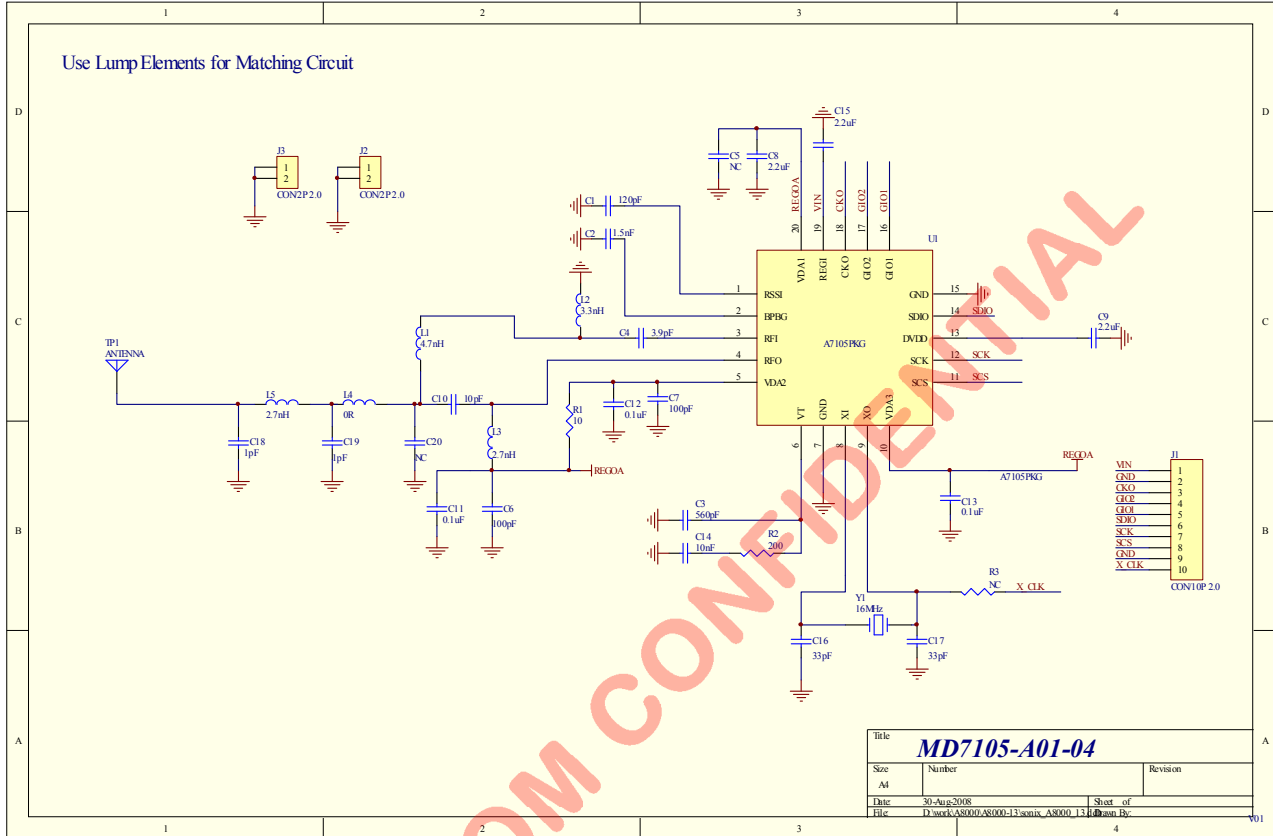


Preliminary

2.4GHz Transceiver

23. 應用線路(Application Circuit)

- 外部電壓輸入給 REG1(pin19), 之後由 IC 內部 regulator 輸出電壓到 VDA1(pin20)及 DVDD(pin13)
- VDA1(pin20) 輸出電壓給 VDA2(pin5), VDA3(pin10)



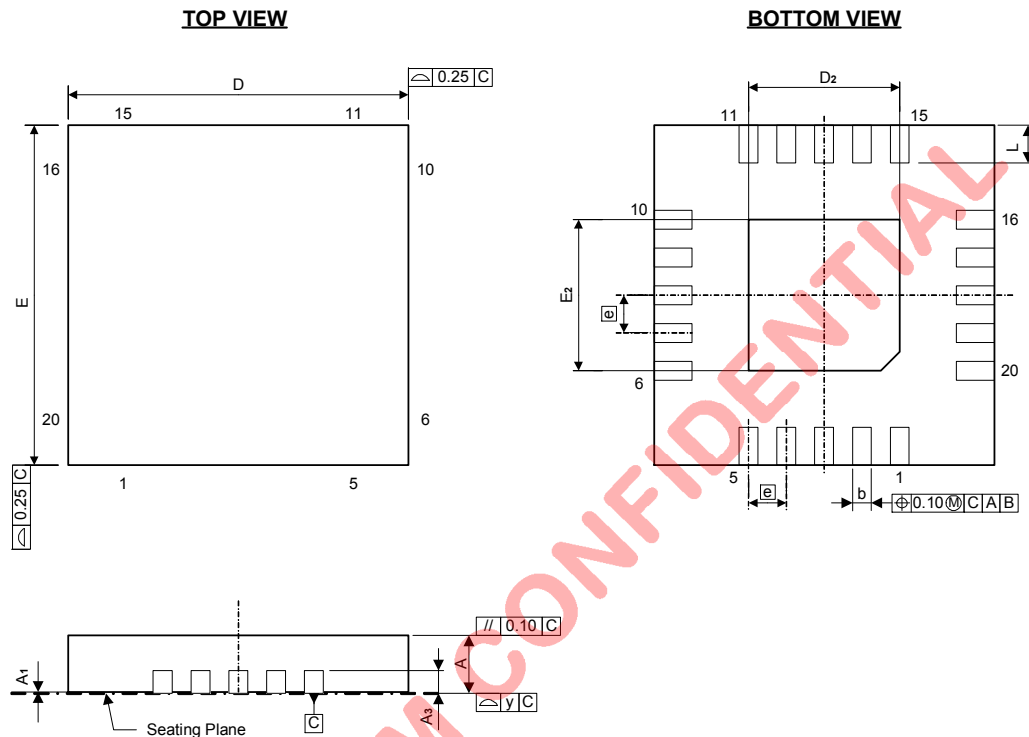
24. 產品資訊(Ordering Information)

Part No.	Package	Units Per Reel / Tray
A71X05AQF/QI	QFN20L, Pb free, Tape & Reel, -40°C ~ 85°C	3K
A71X05AQFI	QFN20L, Pb free, Tray, -40°C ~ 85°C	576EA

25. 封裝資訊

QFN 20L (4 X 4 X 0.8mm) Outline Dimensions

unit: inches/mm

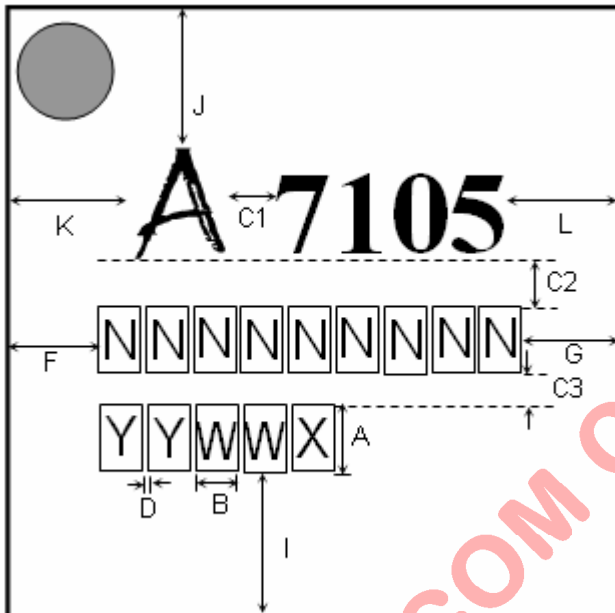


Symbol	Dimensions in inches			Dimensions in mm		
	Min	Nom	Max	Min	Nom	Max
A	0.028	0.030	0.032	0.70	0.75	0.80
A1	0.000	0.001	0.002	0.00	0.02	0.05
A3	0.008 REF			0.203 REF		
b	0.007	0.010	0.012	0.18	0.25	0.30
D	0.154	0.158	0.161	3.90	4.00	4.10
D2	0.075	0.079	0.083	1.90	2.00	2.10
E	0.154	0.158	0.161	3.90	4.00	4.10
E2	0.075	0.079	0.083	1.90	2.00	2.10
e	0.020 BSC			0.50 BSC		
L	0.012	0.016	0.020	0.30	0.40	0.50
y	0.003			0.08		

**26. 正印資訊**

**A71X05AQFI**

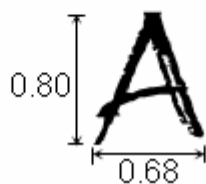
- Part No. : **A71X05AQFI**
- Pin Count : **20**
- Package Type : **QFN**
- Dimension : **4\*4 mm**
- Mark Method : **Laser Mark**
- Character Type : **Arial**



**A : 0.55**  
**B : 0.36**  
**C1 : 0.25    C2 : 0.3    C3 : 0.2**  
**D : 0.03**  
**A1 : 0.75**  
**B2 : 0.7**

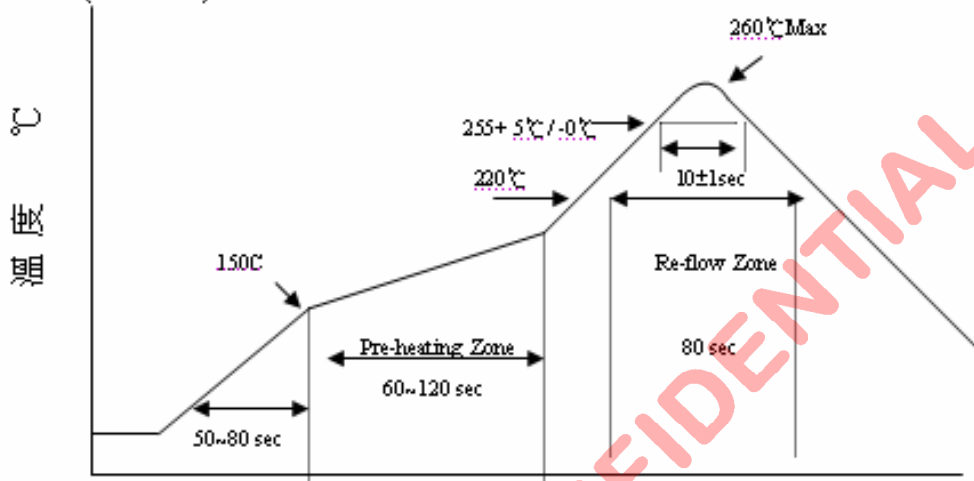
**YYWW** : DATECODE  
**X** : PKG HOUSE ID  
**NNNNNNNNNN** : LOT NO.  
 (max. 9 characters)

**F=G**  
**I=J**  
**K=L**



27. Reflow 溫度曲線

LEAD FREE (GREEN) PROFILE :



Actual Measurement Graph

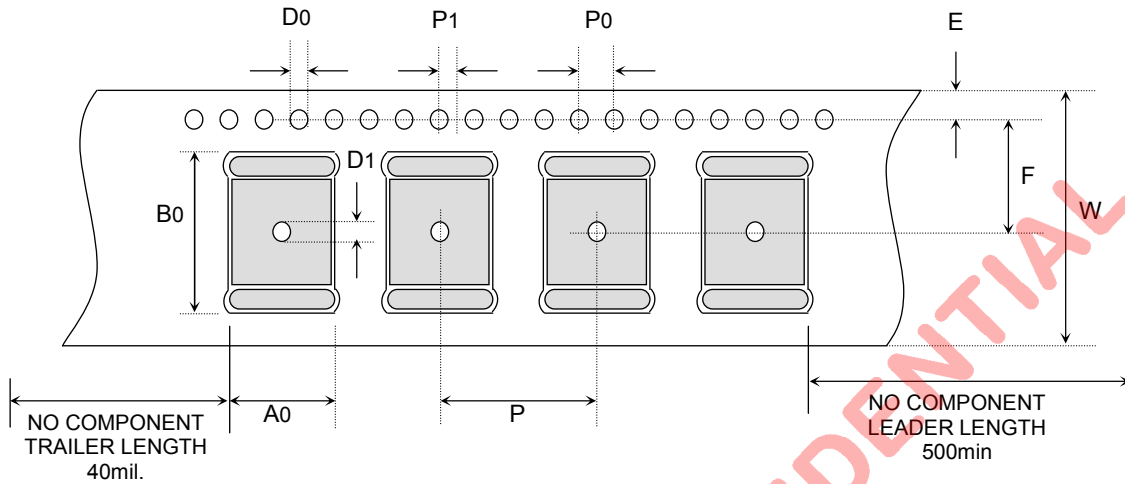


Preliminary

2.4GHz Transceiver

28. 捲帶規格

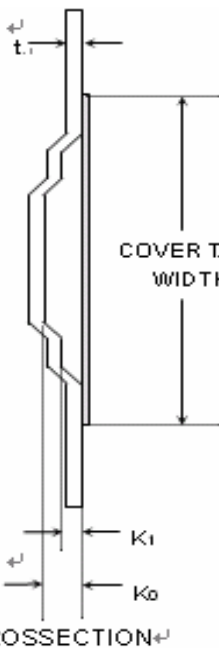
Cover / Carrier Tape Dimension



11 EA IC

60cm±4cm

TYPE	P	A0	B0	P0	P1	D0	D1	E	F	W
20 QFN 4*4	8	4.35	4.35	4.0	2.0	1.5	1.5	1.75	5.5	12
24 QFN 4*4	8	4.4	4.4	4.0	2.0	1.5	1.5	1.75	5.5	12
32 QFN 5*5	8	5.25	5.25	4.0	2.0	1.5	1.5	1.75	5.5	12
48 QFN 7*7	12	7.25	7.25	4.0	2.0	1.5	1.5	1.75	7.5	16
DFN-10	4	3.2	3.2	4.0	2.0	1.5	-	1.75	1.9	8
20 SSOP	12	8.2	7.5	4.0	2.0	1.5	1.5	1.75	7.5	16
24 SSOP	12	8.2	8.8	4.0	2.0	1.5	1.5	1.75	7.5	16
28 SSOP (150mil)	8	6	10	4.0	2.0	1.5	1.5	1.75	7.5	16



TYPE	K0	K1	t
20 QFN (4X4)	1.1	-	0.3
24 QFN (4X4)	1.4	-	0.3
32 QFN (5X5)	1.1	-	0.3
48 QFN (7X7)	1.1	-	0.3
DFN-10	0.75	-	0.25
20 SSOP	2.5	-	0.3
24 SSOP	2.1	-	0.3
28 SSOP (150mil)	2.5	-	0.3

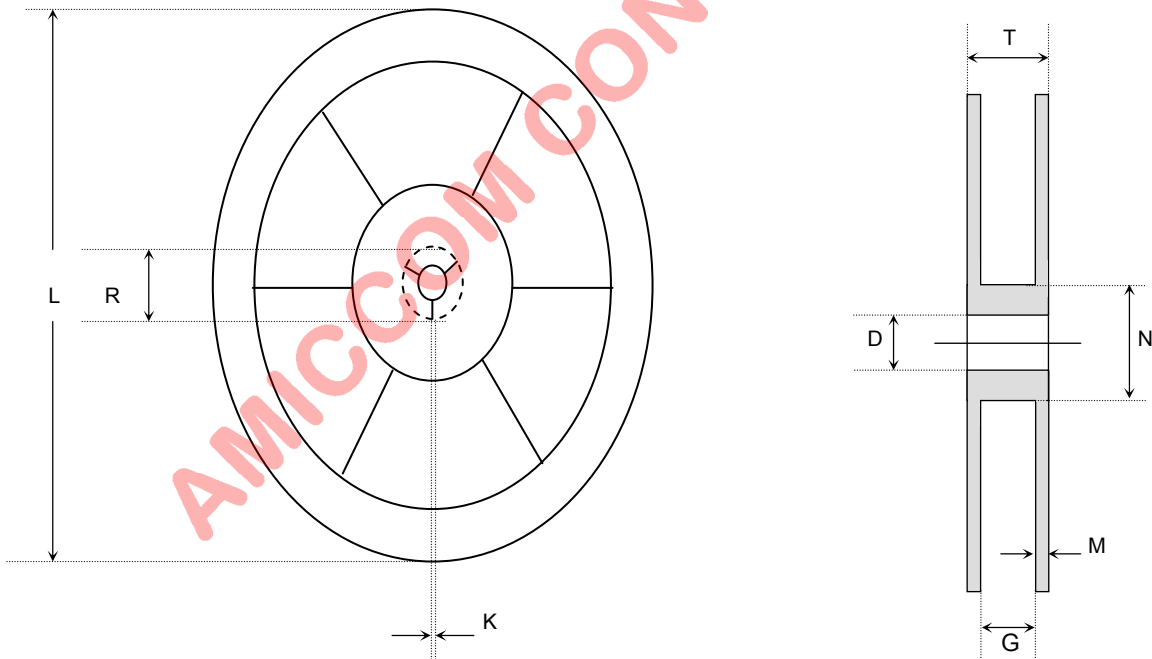
COVER TAPE WIDTH
9.2
9.2
9.2
13.3
8
13.3
13.3
12.5

Unit : mm

**REEL DIMENSIONS**

UNIT IN mm

TYPE	G	N	T	M	D	K	L	R
20 QFN(4X4) 24 QFN(4X4) 32 QFN(5X5) DFN-10	12.8+0.6/-0.4	100 REF	18.2(MAX)	1.75±0.25	13.0+0.5/-0.2	2.0±0.5	330+ 0.00/-1.0	20.2
48 QFN(7X7)	16.8+0.6/-0.4	100 REF	22.2(MAX)	1.75±0.25	13.0+0.5/-0.2	2.0±0.5	330+ 0.00/-1.0	20.2
28 SSOP (150mil)	20.4+0.6/-0.4	100 REF	25(MAX)	1.75±0.25	13.0+0.5/-0.2	2.0±0.5	330+ 0.00/-1.0	20.2
20 SSOP 24 SSOP	16.4+2.0/-0.0	100 REF	22.4(MAX)	1.75±0.25	13.0+0.2/-0.2	1.9±0.4	330+ 0.00/-1.0	20.2



## X-ON Electronics

Largest Supplier of Electrical and Electronic Components

*Click to view similar products for [RF Transceiver category](#):*

*Click to view products by [AMICCOM manufacturer](#):*

Other Similar products are found below :

[MRF89XAM9AT-I/RM](#) [AX5051-1-TW30](#) [BGT24LTR22E6327XTSA1](#) [SI4461-C2A-GMR](#) [CC1260RGZT](#) [NRF51822-CEAA-R \(E0\)](#)  
[725TRX8-1K](#) [725TRX8-16K](#) [AMB2561](#) [SI4455-C2A-GMR](#) [MICRF505YML-TR](#) [S2-LPQTR](#) [AT86RF232-ZX](#) [SI4463-B1B-ZM0R](#)  
[ATA8510-GHQW](#) [CC8530RHAR](#) [CC1201RHBR](#) [TC35675XBG-001\(EL\)](#) [SX1281IMLTRT](#) [Si4055-C2A-GM](#) [A7108](#) [ADF7020-1BCPZ-](#)  
[RL7](#) [ADF7021BCPZ-RL](#) [ADF7021BCPZ-RL7](#) [ADF7021-NBCPZ](#) [AT86RF231-ZU](#) [AT86RF232-ZXR](#) [AT86RF233-ZF](#) [AT86RF233-ZU](#)  
[ATA8520-GHQW](#) [AT86RF233-ZFR](#) [BRAVO-T868](#) [CYWUSB6934-48LTXC](#) [CMT2119A-ESR](#) [CMT2110A-ESR](#) [F113](#) [PT4455](#)  
[SX1236IMLTRT](#) [ECC961616EU](#) [LR690-N](#) [HT9170D](#) [CMT2210LC-ESR2](#) [BGT 24MTR11 E6327](#) [BGT24MTR11E6327XUMA1](#)  
[BGT24MTR12E6327XUMA1](#) [LMS7002M](#) [SX1212IWLTRT](#) [SX1211I084TRT](#) [MAX9947ETE+T](#) [AT86RF212B-ZU](#)