

产品特性

峰值输出电流：4.0 A

工作电压

高端或低端相对于输入：565 V峰值

高端至低端差分：700 V峰值

高工作频率：1 MHz(最大值)

精密时序特性

传播延迟：64 ns(最大值)

通道间匹配：8.5 ns(最大值)

输入电压范围：3.0 V至5.5 V

4.5 V至18 V输出驱动

UVLO电源：2.8 V_{DD1}

A版本UVLO：V_{DDA}和V_{DDB} (V_{DD2})为4.1 V

CMOS输入逻辑电平

高共模瞬变抗扰度：>25 kV/μs

工作结温高达：125°C

默认低电平输出

5 mm × 5 mm 13引脚LGA封装

应用

开关电源

隔离式IGBT/MOSFET栅极驱动器

工业逆变器

概述

ADuM7223是一款4.0 A隔离式半桥栅极驱动器，采用ADI公司*iCoupler*®技术，提供独立且隔离的高端和低端输出。这些隔离器件将高速CMOS与单芯片变压器技术融为一体，具有优于脉冲变压器和非隔离栅极驱动器组合等替代器件的出色性能特征。通过在单封装内集成隔离器和驱动器，传播延迟最大值仅为64 ns，而通道间的传播偏斜最大值在12 V时仅为12 ns。

ADuM7223提供两个独立的隔离通道。ADuM7223采用3.0 V至5.5 V电源电压工作，可与低压系统兼容。输出电压为4.5 V至18 V宽范围，并提供3种输出电压版本。5 mm × 5 mm、LGA封装提供565 V工作电压(输入至输出)，两个输出之间为700 V。

与采用高压电平转换方法的栅极驱动器相比，该栅极驱动器的输入与各输出之间具有真电流隔离优势。因此，该栅极驱动器可以在很宽的正或负切换电压范围内，可靠地控制IGBT/MOSFET配置的开关特性。

功能框图

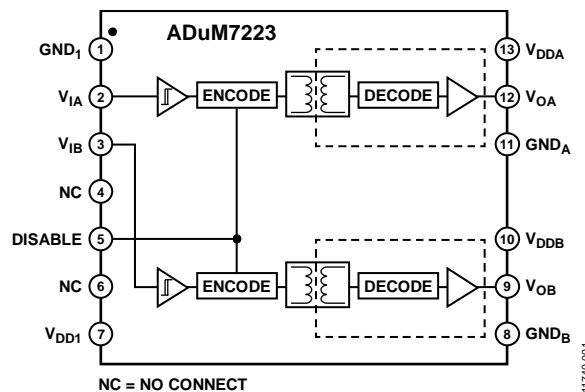


图1.

Rev. 0

Document Feedback

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.
Tel: 781.329.4700 ©2013 Analog Devices, Inc. All rights reserved.
Technical Support www.analog.com

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

目录

特性.....	1	引脚配置和功能描述.....	7
应用.....	1	典型性能参数.....	8
概述.....	1	应用信息.....	10
功能框图.....	1	印刷电路板(PCB)布局.....	10
修订历史.....	2	传播延迟相关参数.....	10
技术规格.....	3	热限制和开关负载特性.....	10
电气特性—5V电源供电.....	3	输出负载特性.....	10
电气特性—3.3 V电源供电.....	4	直流正确性和磁场抗扰度.....	11
封装特性.....	5	功耗.....	12
隔离和安全相关特性.....	5	隔离寿命.....	12
建议工作条件.....	5	外形尺寸.....	13
绝对最大额定值.....	6	订购指南.....	13
ESD警告.....	6		

修订历史

2013年10月—修订版0：初始版

技术规格

电气特性——5 V电源

所有电压均参照其各自的地。除非另有说明， $4.5\text{ V} \leq V_{DD1} \leq 5.5\text{ V}$ ， $4.5\text{ V} \leq V_{DD2} \leq 18\text{ V}$ 。所有最小值/最大值规格适用于 $T_j = -40^\circ\text{C}$ 到 $+125^\circ\text{C}$ 。所有典型值规格在 $T_A = 25^\circ\text{C}$ ， $V_{DD1} = 5\text{ V}$ ， $V_{DD2} = 12\text{ V}$ 下测得。开关规格的测试条件为CMOS信号电平。

表1.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
直流规格						
输入电源电流，静态	$I_{DD1(Q)}$		1.4	2.4	mA	
每个通道的输出电源电流，静态	$I_{DDO(Q)}$		2.3	3.5	mA	
1 MHz时的电源电流						
V_{DD1} 电源电流	$I_{DD1(Q)}$		1.6	2.5	mA	最高1 MHz，空载
V_{DDA}/V_{DDB} 电源电流	$I_{DDA(Q)}, I_{DDB(Q)}$		5.6	8.0	mA	最高1 MHz，空载
输入电流	I_{IA}, I_{IB}	-1	+0.01	+1	μA	$0\text{ V} \leq V_{IA}, V_{IB} \leq V_{DD1}$
逻辑高电平输入阈值	V_{IH}	$0.7 \times V_{DD1}$			V	
逻辑低电平输入阈值	V_{IL}			$0.3 \times V_{DD1}$	V	
逻辑高电平输出电压	V_{OAH}, V_{OBH}	$V_{DD2} - 0.1$	V_{DD2}		V	$I_{Ox} = -20\text{ mA}, V_{Ix} = V_{IxH}$
逻辑低电平输出电压	V_{OAL}, V_{OBL}		0.0	0.15	V	$I_{Ox} = 20\text{ mA}, V_{Ix} = V_{IxL}$
欠压闭锁， V_{DD1} 供电						
趋正阈值	V_{DD1UV+}		2.8		V	
趋负阈值	V_{DD1UV-}		2.6		V	
迟滞	V_{DD1UVH}		0.2		V	
欠压闭锁， V_{DD2} 供电						
趋正阈值	V_{DD2UV+}		4.1	4.4	V	A级
趋负阈值	V_{DD2UV-}	3.2	3.6		V	A级
迟滞	V_{DD2UVH}		0.5		V	A级
输出短路脉冲电流 ¹	$I_{OAS(C)}, I_{OBS(C)}$	2.0	4.0		A	$V_{DD2} = 12\text{ V}$
输出源电阻	R_{OA}, R_{OB}	0.25	0.95	1.5	Ω	$V_{DD2} = 12\text{ V}, I_{Ox} = -250\text{ mA}$
输出灌电阻	R_{OA}, R_{OB}	0.55	0.6	1.35	Ω	$V_{DD2} = 12\text{ V}, I_{Ox} = 250\text{ mA}$
热关断温度						
结温关断，上升沿	T_{JR}		150		$^\circ\text{C}$	
结温关断，下降沿	T_{JF}		140		$^\circ\text{C}$	
开关规格						
脉冲宽度 ²	PW	50			ns	参见图16 $C_L = 2\text{ nF}, V_{DD2} = 12\text{ V}$
最大数据速率 ³		1			MHz	$C_L = 2\text{ nF}, V_{DD2} = 12\text{ V}$
传播延迟 ⁴	t_{DHL}, t_{DLH}	19	40	62	ns	$C_L = 2\text{ nF}, V_{DD2} = 12\text{ V}$
ADuM7223A		25	46	68	ns	$C_L = 2\text{ nF}, V_{DD2} = 4.5\text{ V}$
传播延迟偏斜 ⁵	t_{PSK}			12	ns	$C_L = 2\text{ nF}, V_{DD2} = 12\text{ V}$
通道间匹配 ⁶	t_{PSKCD}					
$V_{DD2} = 12\text{ V}$			1	8.5	ns	$C_L = 2\text{ nF}$
$V_{DD2} = 4.5\text{ V}$			1	8.5	ns	$C_L = 2\text{ nF}$
输出上升/下降时间(10%至90%)	t_r/t_f	1	12	24	ns	$C_L = 2\text{ nF}, V_{DD2} = 12\text{ V}$
每个通道的动态输入电源电流	$I_{DD1(D)}$		0.05		mA/Mbps	$V_{DD2} = 12\text{ V}$
每个通道的动态输出电源电流	$I_{DDO(D)}$		1.65		mA/Mbps	$V_{DD2} = 12\text{ V}$
刷新速率	f_r		1.2		Mbps	$V_{DD2} = 12\text{ V}$

¹ 短路持续时间小于 $1\ \mu\text{s}$ 。平均功率必须符合“绝对最大额定值”下所示的限值。

² 最小脉冲宽度指保证额定时序参数的最短脉冲宽度。

³ 最大数据速率指保证额定时序参数的最快数据速率。

⁴ t_{DLH} 传播延迟根据输入上升逻辑高电平阈值 V_{IH} 到 V_{OX} 信号的输出上升10%电平的时间测得。 t_{DHL} 传播延迟根据输入下降逻辑低电平阈值 V_{IL} 到 V_{OX} 信号的输出下降90%阈值测得。有关传播延迟参数的波形，参见图16。

⁵ t_{PSK} 指器件在建议工作条件范围内的相同工作温度、电源电压和输出负载下工作时测得的ADuM7223之间 t_{DLH} 和/或 t_{DHL} 的最差情况偏差。有关传播延迟参数的波形，参见图16。

⁶ 通道间匹配指任意两个通道在输入位于隔离栅同一侧的条件下，其传播延迟之差的绝对值。

ADuM7223

电气特性——3.3 V电源

所有电压均参照其各自的地。除非另有说明， $3.0\text{ V} \leq V_{DD1} \leq 3.6\text{ V}$ ， $4.5\text{ V} \leq V_{DD2} \leq 18\text{ V}$ 。所有最小值/最大值规格适用于 $T_j = -40^\circ\text{C}$ 到 125°C 。所有典型值规格在 $T_A = 25^\circ\text{C}$ ， $V_{DD1} = 3.3\text{ V}$ ， $V_{DD2} = 12\text{ V}$ 下测得。开关规格的测试条件为CMOS信号电平。

表2.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
直流规格						
输入电源电流，静态	$I_{DD1(Q)}$		0.87	1.4	mA	
每个通道的输出电源电流，静态	$I_{DDO(Q)}$		2.3	3.5	mA	
1 MHz时的电源电流						
V_{DD1} 电源电流	$I_{DD1(Q)}$		1.1	1.5	mA	最高1 MHz，空载
V_{DDA}/V_{DDB} 电源电流	$I_{DDA(Q)}, I_{DDB(Q)}$		5.6	8.0	mA	最高1 MHz，空载
输入电流	I_{IA}, I_{IB}	-1	+0.01	+1	μA	$0\text{ V} \leq V_{IA}, V_{IB} \leq V_{DD1}$
逻辑高电平输入阈值	V_{IH}	$0.7 \times V_{DD1}$			V	
逻辑低电平输入阈值	V_{IL}			$0.3 \times V_{DD1}$	V	
逻辑高电平输出电压	V_{OAH}, V_{OAH}	$V_{DD2} - 0.1$	V_{DD2}		V	$I_{Ox} = -20\text{ mA}, V_{Ix} = V_{IxH}$
逻辑低电平输出电压	V_{OAL}, V_{OBL}	0.0	0.15		V	$I_{Ox} = 20\text{ mA}, V_{Ix} = V_{IxL}$
欠压闭锁， V_{DD1} 供电						
趋正阈值	V_{DD1UV+}		2.8		V	
趋负阈值	V_{DD1UV-}		2.6		V	
迟滞	V_{DD1UVH}		0.2		V	
欠压闭锁， V_{DD2} 供电						
趋正阈值	V_{DD2UV+}		4.1	4.4	V	A级
趋负阈值	V_{DD2UV-}	3.2	3.6		V	A级
迟滞	V_{DD2UVH}		0.5		V	A级
输出短路脉冲电流 ¹	$I_{OAS(SC)}, I_{OBS(SC)}$	2.0	4.0		A	$V_{DD2} = 12\text{ V}$
输出源电阻	R_{OA}, R_{OB}	0.25	0.95	1.5	Ω	$V_{DD2} = 12\text{ V}, I_{Ox} = -250\text{ mA}$
输出灌电阻	R_{OA}, R_{OB}	0.55	0.6	1.35	Ω	$V_{DD2} = 12\text{ V}, I_{Ox} = 250\text{ mA}$
热关断温度						
结温关断，上升沿	T_{JR}		150		$^\circ\text{C}$	
结温关断，下降沿	T_{JF}		140		$^\circ\text{C}$	
开关规格						
脉冲宽度 ²	PW	50			ns	参见图16 $C_L = 2\text{ nF}, V_{DD2} = 12\text{ V}$
最大数据速率 ³		1			MHz	$C_L = 2\text{ nF}, V_{DD2} = 12\text{ V}$
传播延迟 ⁴	t_{DHL}, t_{DLH}	25	44	64	ns	$C_L = 2\text{ nF}, V_{DD2} = 12\text{ V}$
ADuM7223A		28	49	71	ns	$C_L = 2\text{ nF}, V_{DD2} = 4.5\text{ V}$
传播延迟偏斜 ⁵	t_{PSK}			12	ns	$C_L = 2\text{ nF}, V_{DD2} = 12\text{ V}$
通道间匹配 ⁶						
$V_{DD2} = 12\text{ V}$	t_{PSKCD}		1	8.5	ns	$C_L = 2\text{ nF}$
$V_{DD2} = 4.5\text{ V}$	t_{PSKCD}		1	8.5	ns	$C_L = 2\text{ nF}$
输出上升/下降时间(10%至90%)	t_R/t_F	1	12	24	ns	$C_L = 2\text{ nF}, V_{DD2} = 12\text{ V}$
每个通道的动态输入电源电流	$I_{DDI(D)}$		0.05		mA/Mbps	$V_{DD2} = 12\text{ V}$
每个通道的动态输出电源电流	$I_{DDO(D)}$		1.65		mA/Mbps	$V_{DD2} = 12\text{ V}$
刷新速率	f_r		1.1		Mbps	$V_{DD2} = 12\text{ V}$

¹ 短路持续时间小于 $1\ \mu\text{s}$ 。平均功率必须符合“绝对最大额定值”下所示的限值。

² 最小脉冲宽度指保证额定时序参数的最短脉冲宽度。

³ 最大数据速率指保证额定时序参数的最快数据速率。

⁴ t_{DHL} 传播延迟根据输入上升逻辑高电平阈值 V_{IL} 到 V_{Ox} 信号的输出上升10%电平的时间测得。 t_{DLH} 传播延迟根据输入下降逻辑低电平阈值 V_{IL} 到 V_{Ox} 信号的输出下降90%阈值测得。有关传播延迟参数的波形，参见图16。

⁵ t_{PSK} 指器件在建议工作条件范围内的相同工作温度、电源电压和输出负载下工作时测得的 t_{DHL} 和/或 t_{DLH} 的最差情况偏差。有关传播延迟参数的波形，参见图16。

⁶ 通道间匹配指任意两个通道在输入位于隔离栅同一侧的条件下，其传播延迟之差的绝对值。

封装特性

表3.

参数	符号	最小值	典型值	最大值	单位	测试条件/注释
电阻(输入至输出)	R_{I-O}		10 ¹²		Ω	f = 1 MHz
电容(输入至输出)	C_{I-O}		2.0		pF	
输入电容	C_I		4.0		pF	
IC结至环境热阻	θ_{JA}		96.3		$^{\circ}\text{C}/\text{W}$	
IC结至外壳热阻	θ_{JC}		43.2		$^{\circ}\text{C}/\text{W}$	

隔离和安全相关特性

表4.

参数	符号	数值	单位	测试条件/注释
功能性电介质隔离电压 ¹		2500	V rms	持续1分钟
最小外部气隙(间隙)	L(I01)	3.5最小值	mm	测量输入端至输出端, 隔空最短距离
最小外部爬电距离	L(I02)	3.5最小值	mm	测量输入端至输出端, 沿壳体最短距离
最小内部间隙		0.017最小值	mm	隔离距离
漏电阻抗(相对漏电指数)	CTI	>400	V	DIN IEC 112/VDE 0303第1部分
隔离组		II		材料组(DIN VDE 0110, 1/89, 表1)

¹ 隔离电压通过设计保证, 未经生产测试。隔离在结构上与经过5 kV rms生产测试的器件类似。

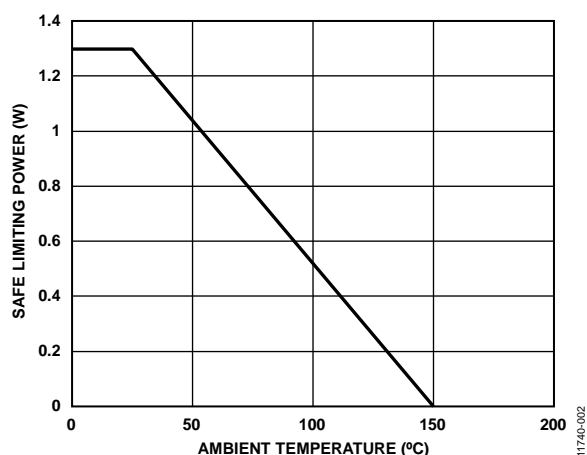


图2. 热减额曲线

建议工作条件

表5.

参数	符号	最小值	最大值	单位
工作结温	T_J	-40	+125	$^{\circ}\text{C}$
电源电压 ¹	V_{DD1}	3.0	5.5	V
	V_{DDA}, V_{DDB}	4.5	18	V
输入信号最大上升和下降时间	T_{VIA}, T_{VIB}		1	ms
共模瞬变, 静态 ²		-50	+50	kV/ μs
共模瞬变抗扰度, 动态 ³		-25	+25	kV/ μs

¹ 所有电压均参照各自的地。有关外部磁场抗扰度的信息, 参见“应用信息”部分。

² 静态共模瞬变抗扰度定义为 GND_1 和 $\text{GND}_A/\text{GND}_B$ 之间的最高 dv/dt 值, 其输入保持高电平或低电平, 从而使输出电压保持在 $0.8 \times V_{DD2}$ 以上(如果 V_{IA}/V_{IB} = 高电平), 或0.8V(如果 V_{IA}/V_{IB} = 低电平)。以超出建议水平的瞬态电压工作可能会导致暂时性的数据扰乱。

³ 动态共模瞬变抗扰度定义为 GND_1 和 $\text{GND}_A/\text{GND}_B$ 之间的最高 dv/dt 值, 其开关边沿与瞬变测试脉冲重合。以超出建议水平的瞬态电压工作可能会导致暂时性的数据扰乱。

ADuM7223

绝对最大额定值

除非另有说明，环境温度 = 25°C。

表6.

参数	符号	额定值
存储温度	T_{ST}	-55°C 至 +150°C
工作结温	T_J	-40°C 至 +150°C
电源电压 ¹	V_{DD1}	-0.3 V 至 +6.0 V
	V_{DD2}	-0.3 V 至 +20 V
输入电压 ^{1,2}	V_{IA}, V_{IB}	-0.3 V 至 $V_{DD1} + 0.3 V$
输出电压 ^{1,2}	V_{OA}, V_{OB}	-0.3 至 $V_{DD0} + 0.3 V$
每个引脚的平均 输出电流 ³	I_O	-35 mA 至 +35 mA
共模瞬变 ⁴	CM_H, CM_L	-100 kV/ μ s 至 +100 kV/ μ s

¹ 所有电压均参照各自的地。

² V_{DD1} 和 V_{DD0} 分别指给定通道的输入端和输出端的电源电压。

³ 不同温度下的最大容许电流参见图2。

⁴ 指隔离栅上的共模瞬变。超过绝对最大额定值的共模瞬变可能导致闩锁或永久损坏。

表7. 最大连续工作电压¹

参数	最大值	单位	约束条件
交流电压，双极性波形	565	V峰值	最少50年寿命
交流电压，单极性波形 功能绝缘	1131	V峰值	最少50年寿命
直流电压 功能绝缘	1131	V峰值	最少50年寿命

¹ 指隔离栅上的连续电压幅度。详情见隔离寿命部分。

表8. 真值表(正逻辑)¹

禁用	V_{IA} 输入	V_{IB} 输入	V_{DD1} 状态	V_{DDA}/V_{DDB} 状态	V_{OA} 输出	V_{OB} 输出	注释
L	L	L	有电	有电	L	L	输出在DISABLE设为低电平后的1 μ s内恢复到输入状态。
L	L	H	有电	有电	L	H	输出在DISABLE设为低电平后的1 μ s内恢复到输入状态。
L	H	L	有电	有电	H	L	输出在DISABLE设为低电平后的1 μ s内恢复到输入状态。
L	H	H	有电	有电	H	H	输出在DISABLE设为低电平后的1 μ s内恢复到输入状态。
H	X	X	有电	有电	L	L	输出在DISABLE设为高电平后的3 μ s内处于默认低电平状态。
L	L	L	无电	有电	L	L	输出在 V_{DD1} 电源恢复后的1 μ s内返回到输入状态。
X	X	X	有电	无电	不确定	不确定	输出在 V_{DDA}/V_{DDB} 电源恢复后的50 μ s内恢复到输入状态。

¹ X = 无关位。

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，不表示在这些条件下或者在任何其它超出本技术规范操作章节中所示规格的条件下，器件能够正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

ESD警告



ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

引脚配置和功能描述

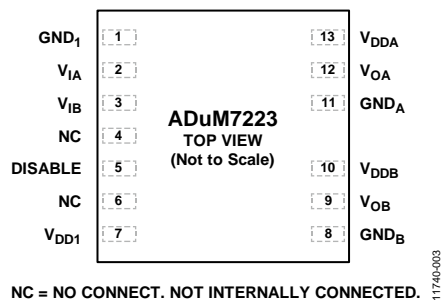


图3. 引脚配置

表9. 引脚功能描述

引脚编号	引脚名称	说明
1	GND ₁	输入逻辑信号的接地参考。
2	V _{IA}	逻辑输入A。
3	V _{IB}	逻辑输入B。
4, 6	NC	不连接。内部不连接。
5	禁用	输入禁用。禁用隔离器输入，刷新电路。输出进入默认低电平状态。
7	V _{DD1}	输入电源电压。
8	GND _B	输出B的接地参考。
9	V _{OB}	输出B。
10	V _{DDB}	输出B电源电压。
11	GND _A	输出A的接地参考。
12	V _{OA}	输出A。
13	V _{DDA}	输出A电源电压。

典型性能参数

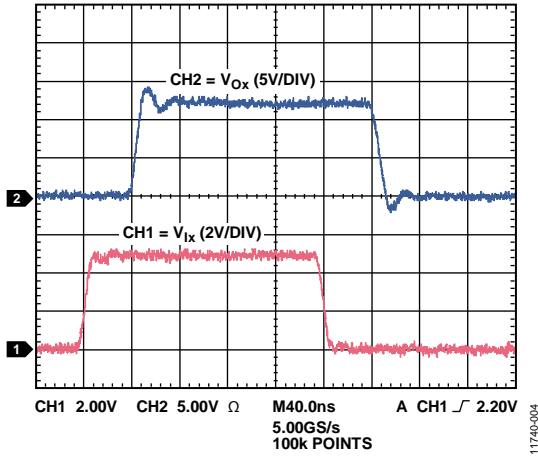


图4. 2 nF负载的输出波形(12 V输出电源)

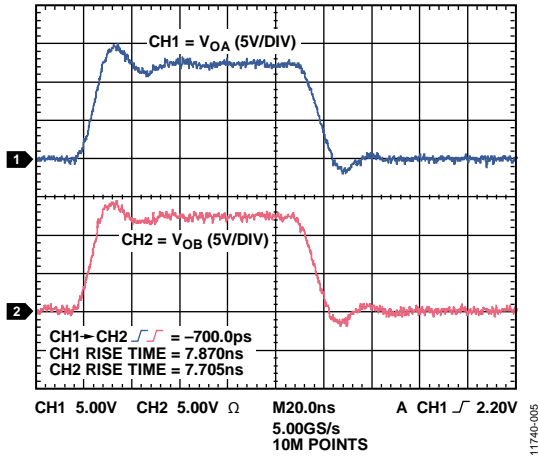


图5. 2 nF负载的输出匹配和上升时间波形(12 V输出电源)

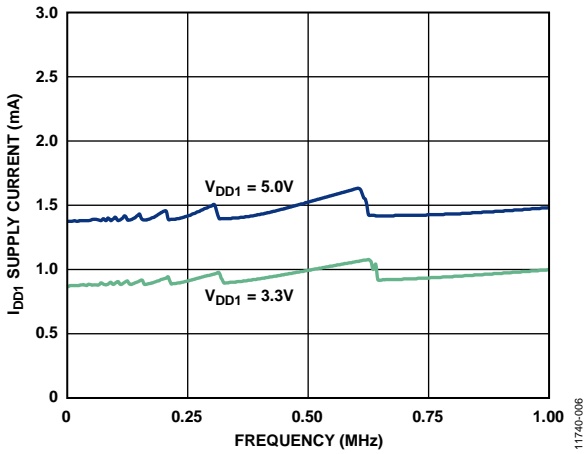


图6. 典型 I_{DD1} 电源电流与频率的关系

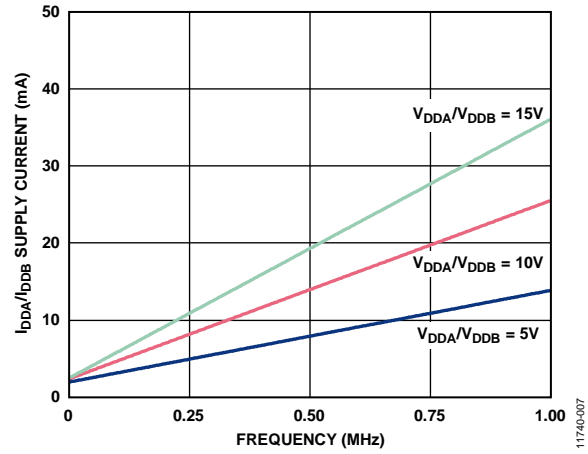


图7. 典型 I_{DD1}/I_{DD2} 电源电流与频率的关系(2 nF负载)

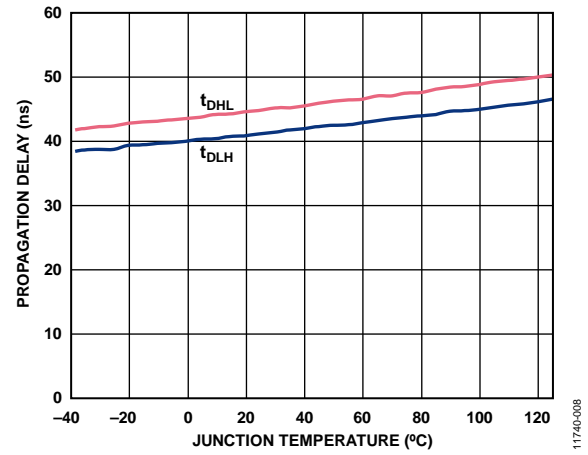


图8. 典型传播延迟与结温的关系

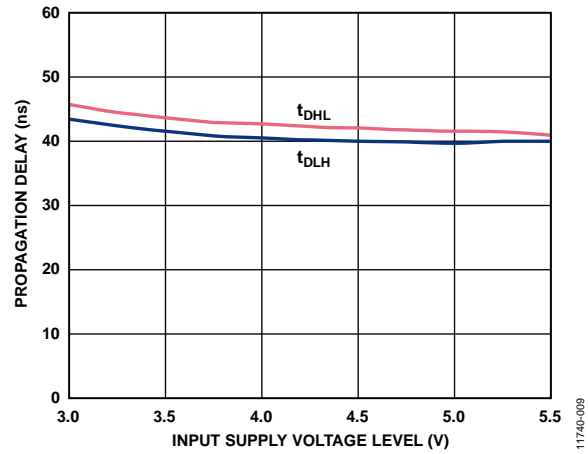


图9. 典型传播延迟与输入电源电压的关系, ($V_{DD1}/V_{DD2} = 12 V$)

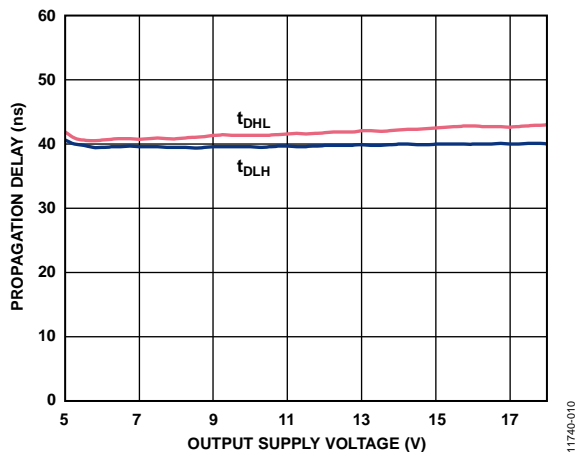


图10. 典型传播延迟与输出电源电压的关系 ($V_{DD1} = 5V$)

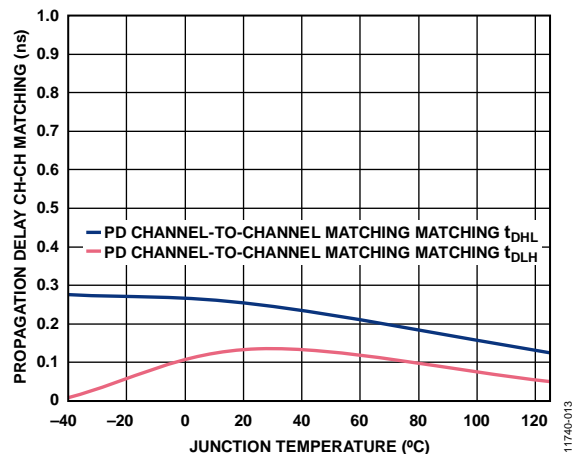


图13. 典型传播延迟(PD)通道间匹配与温度的关系 ($V_{DDA}/V_{DDB} = 12V$)

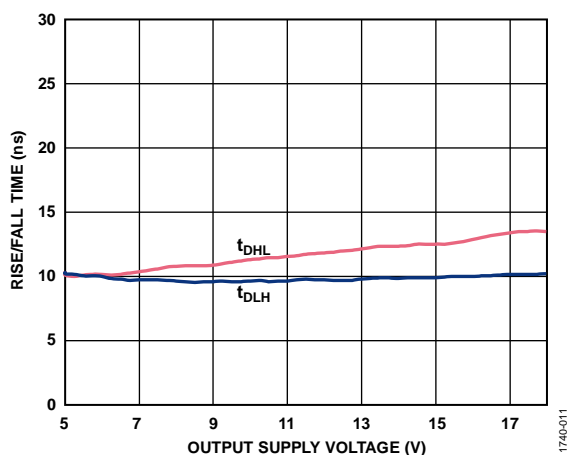


图11. 典型上升/下降时间与输出电源电压的关系

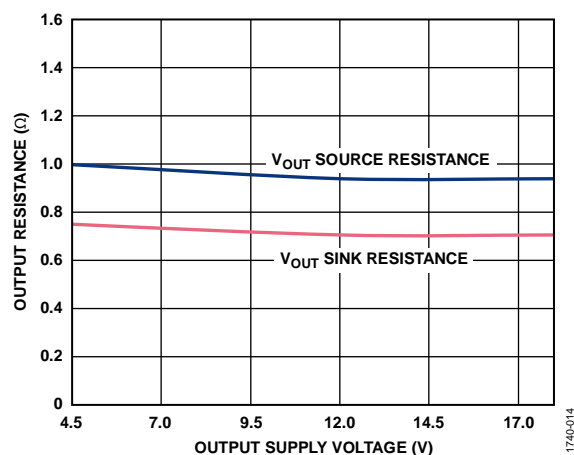


图14. 典型输出电阻与输出电源电压的关系

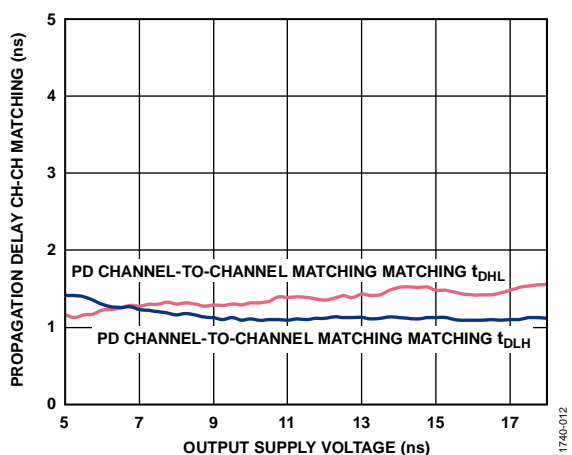


图12. 典型传播延迟通道间匹配与输出电源电压的关系

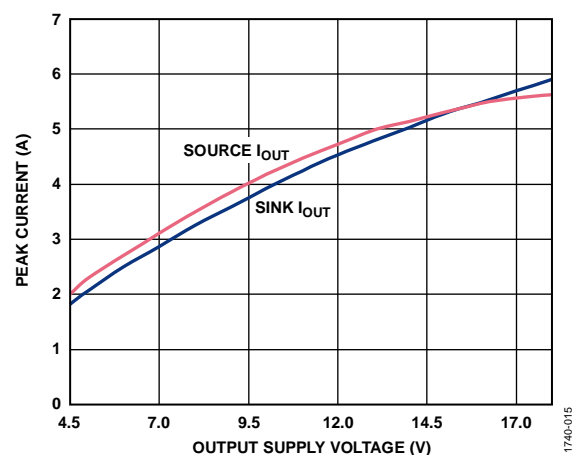


图15. 典型峰值输出电流与输出电源电压的关系 (1.2 Ω 串联电阻)

应用信息

印刷电路板(PCB)布局

ADuM7223数字隔离器的逻辑接口不需要外部接口电路。输入和输出供电引脚需要电源旁路。使用电容值在0.01 μF到0.1 μF之间的小型陶瓷电容，以提供良好的高频旁路。在输出电源引脚 V_{DDA} 或 V_{DDB} 上，建议再增加一个10 μF并联电容，以提供驱动ADuM7223输出端栅极电容所需的电荷。在输出电源引脚上，应避免使用旁路电容过孔，或者应该使用多个过孔来降低旁路电感值。较小的电容两端到输入或输出电源引脚的走线总长度不可超过20 mm，以获得最佳性能。为获得最佳性能，旁路电容应尽可能靠近器件放置。

传播延迟相关参数

传播延迟是衡量逻辑信号穿过器件所需时间的参数。到逻辑低电平输出的传播延迟可能不同于到逻辑高电平输出的传播延迟。ADuM7223指定 t_{DLH} 作为上升输入高电平逻辑阈值 V_{IH} 到输出上升10%阈值之间的时间(见图16)。同样，下降传播延迟 t_{DHL} 定义为输入下降逻辑低电平阈值 V_{IL} 到输出下降到90%阈值之间的时间。上升和下降时间取决于负载条件，并且不包含在传播延迟中，这是栅极驱动器的工业标准。

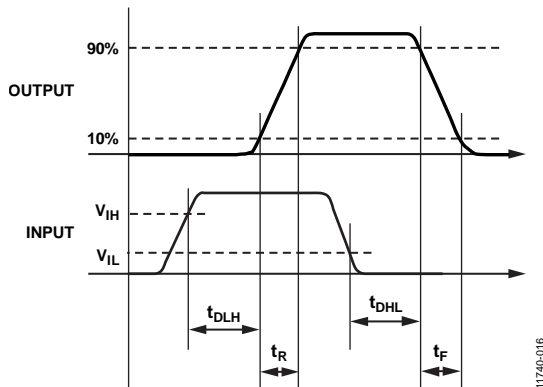


图16. 传播延迟参数

通道间匹配指单个ADuM7223器件内各通道的传播延迟之间的最大差异。

传播延迟偏斜指在相同条件下运行的多个ADuM7223器件的传播延迟之间的最大差异。

热限制和开关负载特性

对于隔离式栅极驱动器，在输入和输出电路之间进行必要的隔离需要避免在器件下方使用单一散热焊盘。因此主要通过封装引脚来散热。

器件内的功耗主要受有效驱动负载电容、开关频率、工作电压和外部串联电阻影响。各通道内的功耗可计算如下：

$$P_{DISS} = C_{EFF} \times (V_{DDA} / V_{DDB})^2 \times f_{SW} \frac{R_{DS(ON)}}{R_{DS(ON)} + R_{GATE}}$$

其中：

C_{EFF} 是负载的有效电容。

$V_{DDA/B}$ 是次级端电压。

f_{SW} 是开关频率。

$R_{DS(ON)}$ 是ADuM7223的内部电阻(R_{OA} 、 R_{OB})。

R_{GATE} 是外部栅极电阻。

将总功耗乘以 θ_{JA} 可以求出上升至环境温度以上的温度值，该值随后可与环境温度值相加，算出ADuM7223的大致内部结温。

全部ADuM7223隔离输出均具有热关断保护功能。当上升结温典型值达到150°C时，此功能会将输出设为逻辑低电平；而在结温从关断时的温度下降约10°C时返回原状态。

输出负载特性

ADuM7223输出信号取决于输出负载(通常是N通道MOSFET)的特性。驱动器输出对于N通道MOSFET负载的响应可以模拟为开关输出电阻(R_{SW})、PCB走线的电感(L_{TRACE})、串联栅极电阻(R_{GATE})和源电容栅极(C_{GS})，如图17所示。

R_{SW} 为内部ADuM7223驱动器输出的开关电阻(开启时典型值为1.1 Ω，关断时为0.6 Ω)。 R_{GATE} 是MOSFET的固有栅极电阻加任意外部串联电阻。需要4 A栅极驱动器的MOSFET，其典型固有栅极电阻约为1 Ω，栅极-源极电容 C_{GS} 介于2 nF到10 nF之间。 L_{TRACE} 为PCB走线的电感，其典型值为5 nH，或者当采用从ADuM7223输出端到MOSFET栅极具有短而宽的连接的精心布局，这个值会更小。

以下公式定义了RLC电路的Q因数，表示ADuM7223输出端如何响应阶跃变化。对于高阻尼输出而言，Q小于1。添加串联栅极电阻会抑制输出响应。

$$Q = \frac{1}{(R_{SW} + R_{GATE})} \times \sqrt{\frac{L_{TRACE}}{C_{GS}}}$$

通过添加串联栅极电阻可以减少输出响铃振荡，从而抑制响应。对于使用1 nF或更小负载的应用，应添加一个大约为5 Ω的串联栅极电阻。建议Q因数不超过1，从而使系统处于高阻尼状态；建议目标值为0.7。

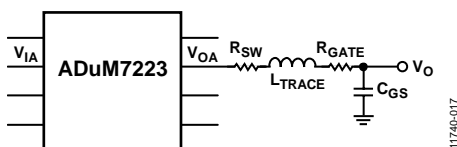


图17. N通道MOSFET栅极的RLC模型

直流正确性和磁场抗扰度

在隔离器输入端的正负逻辑电平转换会使一个很窄的(约1 ns)脉冲通过变压器被送到解码器。解码器是双稳态的，因此，可以被这个脉冲置位或复位，表示输入逻辑的转换。当输入端超过1 μs(典型值)没有逻辑转换时，会发送一组用以表示正确输入状态的周期性刷新脉冲，以确保输出的直流正确性。

如果解码器在超过大约3 μs(典型值)没有接收到内部脉冲，则认为输入侧没有供电或者无效，在这种情况下，隔离器的输出被看门狗计时电路强制设置为默认低电平状态。此外，当电源电压小于UVLO阈值时，输出端处于低电平默认值状态。

ADuM7223磁场抗扰度的限制是由变压器接收线圈中的感应电压的状态决定的，电压足够大就会错误地置位或复位解码器。下面的分析说明此情况发生的条件。检测ADuM7223的3 V工作条件是因为这是最易受干扰的工作模式。变压器输出端的脉冲幅度大于1.0 V。解码器的检测阈值大约是0.5 V，因此感应电压可承受的噪声容限为0.5 V。接收线圈上的感应电压由以下公式计算：

$$V = (-d\beta/dt) \sum \pi r_n^2, n = 1, 2, \dots, N$$

其中：

β 是磁通密度(高斯)。

r_n 是接收线圈第n圈的半径(cm)。

N 是接收线圈匝数。

给定ADuM7223接收线圈几何形状及感应电压，解码器最多能够有0.5V余量的50%，允许的最大磁场见图18所示计算。

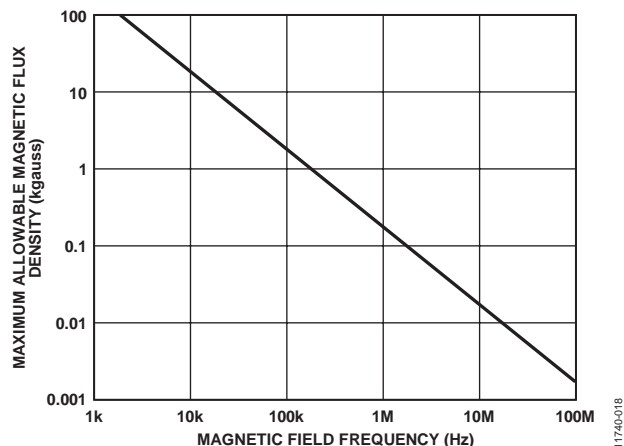


图18. 最大允许外部磁通密度

例如，在1 MHz的磁场频率下，最大允许0.2 K高斯的磁场在接收线圈可以感应出0.25 V的电压。这大约是检测阈值的50%并且不会引起输出转换错误。同样，如果这样的情况在发送脉冲时发生(最差的极性)，这会使接收到的脉冲从大于1.0 V下降到0.75 V，仍然高于解码器检测阈值0.5 V。

先前的磁通密度值对应于与ADuM7223变压器给定距离的额定电流幅度。图19表明这些允许的电流幅度是频率与所选距离的函数。如图所示，ADuM7223只有在离器件近的高频大电流下才会受影响。以频率为1 MHz的应用为例，0.5 kA电流应在距离ADuM7223 5 mm以外的時候才不会影响元件工作。

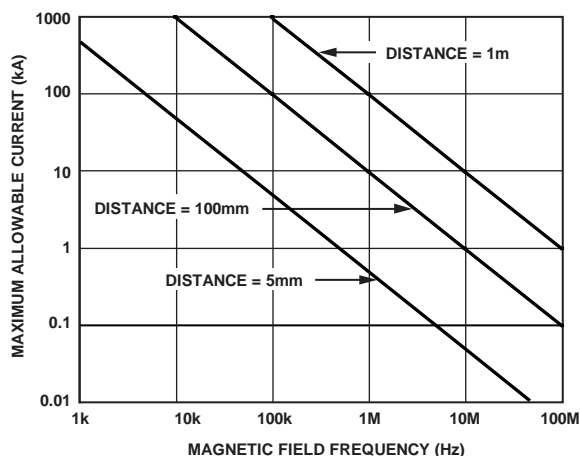


图19. 不同电流至ADuM7223距离下的最大允许电流

ADuM7223

功耗

ADuM7223隔离器给定通道的电源电流是电源电压、通道数据速率和通道输出负载的函数。

对于每个输入通道，电源电流按照下式计算：

$$I_{DDI} = I_{DDI(Q)} \quad f \leq 0.5f_r$$
$$I_{DDI} = I_{DDI(D)} \times (2f - f_r) + I_{DDI(Q)} \quad f > 0.5f_r$$

对于每个输出通道，电源电流按照下式计算：

$$I_{DDO} = I_{DDO(Q)} \quad f \leq 0.5f_r$$
$$I_{DDO} = (I_{DDO(D)} + (0.5) \times C_L V_{DDO}) \times (2f - f_r) + I_{DDO(Q)} \quad f > 0.5f_r$$

其中：

$I_{DDI(Q)}$ 、 $I_{DDO(Q)}$ 是额定输入和输出静态电源电流(mA)。

$I_{DDI(D)}$ 、 $I_{DDO(D)}$ 是每个通道的输入和输出动态电源电流(mA/Mbps)。

f 是输入逻辑信号频率(MHz，输入数据速率的一半，NRZ信令)。

f_r 是输入级刷新速率(Mbps)。

C_L 是输出负载电容(nF)。

V_{DDO} 是输出电源电压(V)。

为了计算总 I_{DD1} 和 I_{DD2} 电源电流，必须计算与 I_{DD1} 和 I_{DD2} 相对应的各输入和输出通道的电源电流并求和。图6提供了两个输入通道的总输入 I_{DD1} 电源电流与数据速率的函数关系。图7提供了两个2 nF电容负载输出端的总 I_{DD2} 电源电流与数据速率的函数关系。

隔离寿命

所有的隔离结构在长时间的电压作用下，最终会被破坏。隔离衰减率由施加在隔离层上的电压波形特性决定。除了监管机构所执行的测试外，ADI公司还进行一系列广泛的评估来确定ADuM7223内部隔离结构的寿命。

ADI公司使用超过额定连续工作电压的电压执行加速寿命测试。确定多种工作条件下的加速系数，利用这些系数可以计算实际工作电压下的失效时间。

表7中显示的值总结了双极性交流工作条件下50年工作寿命的峰值电压。许多情况下，认可工作电压高于50年工作寿命电压。某些情况下，在这些高工作电压下工作会导致隔离寿命缩短。

ADuM7223的隔离寿命由施加在隔离栅上的电压波形决定。*iCoupler*结构的隔离度以不同速率衰减，这由波形是否为双极性交流、单极性交流或直流决定。图20、图21和图22显示这些不同隔离电压的波形。

双极性交流电压环境对于*iCoupler*产品而言是最差的情况，在这种情况下，ADI公司推荐的最大工作电压对应的工作寿命为50年。在单极性交流或者直流电压的情况下，隔离应力显然低得多。此工作模式在能够获得50年工作时间的的前提下，允许更高的工作电压。任何与图21或图22不一致的交叉隔离电压波形都应被认为是双极性交流波形，其峰值电压应限制在表7中列出的50年工作寿命电压以下。

请注意，图21所示的正弦电压波形仅作为示例提供，它代表任何在0 V与某一限值之间变化的电压波形。该限值可以为正值或负值，但电压不能穿过0 V。

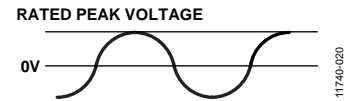


图20. 双极性交流波形

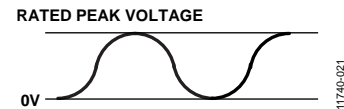


图21. 单极性交流波形

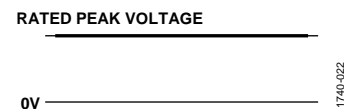


图22. 直流波形

外形尺寸

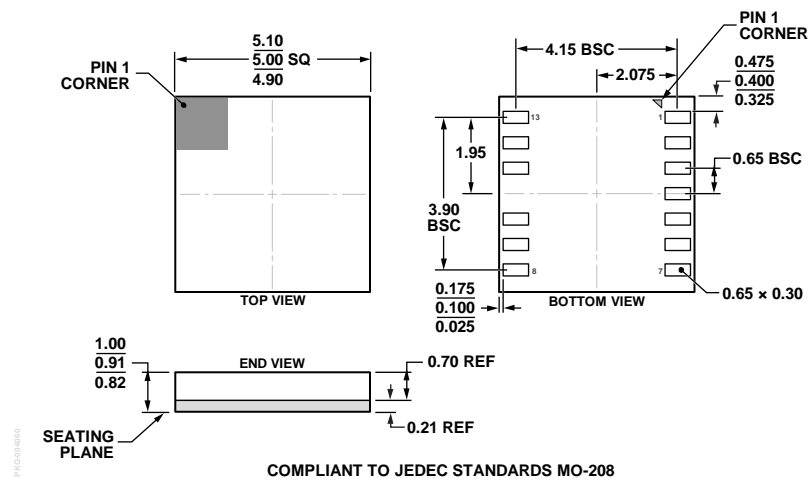


图23. 13引脚基板栅格阵列封装[LGA]
(CC-13-1)
尺寸单位: mm

订购指南

型号 ¹	通道数	输出峰值 电流(A)	最小输出 电压(V)	结温范围	封装描述	封装选项	订购数量
ADuM7223ACCZ	2	4	4.5	-40°C至+125°C	13引脚 LGA	CC-13-1	1,000
ADuM7223ACCZ-RL7	2	4	4.5	-40°C至+125°C	13引脚 LGA, 7"卷带和卷盘	CC-13-1	

¹ Z = 符合RoHS标准的器件。

注释

注释

注释

X-ON Electronics

Largest Supplier of Electrical and Electronic Components

Click to view similar products for [Digital Isolators](#) category:

Click to view products by [Analog Devices](#) manufacturer:

Other Similar products are found below :

[ADUM1281WARZ](#) [ADUM3160WBRWZ](#) [ADUM1280WARZ](#) [ADUM1442ARSZ-RL7](#) [ADUM5230WARWZ](#) [ADUM1285WARZ](#)
[ADUM1285WCRZ](#) [ADUM1286WCRZ](#) [ADUM1445ARSZ-RL7](#) [ADUM1285WBRZ](#) [ADUM1280WCRZ](#) [ADN4652BRWZ-RL7](#)
[MAX14850ASE+T](#) [MAX14932AAWE](#) [ISO1I813T](#) [ADUM2251WARWZ](#) [MAX14850AEE+T](#) [ADUM3471WARSZ](#) [ADUM3472WARSZ](#)
[ADUM2250WARWZ](#) [SI8380P-IUR](#) [MAX12931FASA+](#) [ADUM3211TRZ-EP-RL7](#) [ADP1032ACPZ-2-R7](#) [ADUM7223ACCZ-R7](#)
[ADP1032ACPZ-4-R7](#) [ADP1032ACPZ-1-R7](#) [ADP1032ACPZ-5-R7](#) [ADP1032ACPZ-3-R7](#) [ADUM3301WARWZ](#) [SI8388P-IUR](#)
[ADUM141E0WBRQZ-RL7](#) [ADUM141E0WBRQZ](#) [ADN4651BRWZ-RL7](#) [ADUM1246ARZ-RL7](#) [140U30](#) [MCP2022A-330E/ST](#)
[MCP2022A-500E/ST](#) [MCP2021-500E/P](#) [MCW1001A-I/SS](#) [IL260-1E](#) [IL260VE](#) [IL261-1E](#) [IL261VE](#) [IL262E](#) [IL3122E](#) [IL3185-3E](#) [IL3485-3E](#) [IL3685E](#) [IL514E](#)