



# 10位、集成式、多格式 标清电视/高清电视 视频解码器和RGB图形数字化仪

## ADV7181C

### 产品特性

- 四个10位ADC，采样速率最高可达110 MHz
- 6个模拟输入通道
- 支持SCART快速消隐
- 内部抗混叠滤波器
- 支持NTSC、PAL、SECAM色彩标准
- 支持525p/625p分量逐行扫描
- 支持720p/1080i分量高清电视
- 可对最高达1024 × 768、70 Hz (XGA)的RGB图形进行数字化处理
- 3 × 3颜色空间转换矩阵
- 工业温度范围：-40°C至+85°C
- 12位4:4:4 DDR、8/10/16/20位SDR像素输出接口
- 可编程中断请求输出引脚
- 小尺寸封装
- 引脚数量减少
- 适用于视频和图形的单前端
- VBI数据分离器(包括图文电视)
- 通过汽车应用认证

### 应用

- 车载娱乐设备
- 高清电视
- 液晶/DLP投影仪
- 带个人录像机功能的高清电视机顶盒
- 支持逐行扫描输入的DVD刻录机
- AVR接收机

### 概述

ADV7181C是一款高质量、单芯片、多格式视频解码器和图形数字化仪。这款多格式解码器支持将复合视频或S视频形式的PAL、NTSC和SECAM标准信号转换为数字ITU-R BT.656格式。它还支持将RGB/YPrPb分量视频信号解码为数字YCrCb或RGB像素输出流。支持的分量视频包括525i、625i、525p、625p、720p、1080i等标准，以及许多其它高清和SMPTE标准。该器件也支持图形数字化，能够对VGA至XGA速率的RGB图形信号进行数字化处理，将其转换为数字DDR RGB或YCrCb像素输出流。此外能够同时处理CVBS和标清RGB信号，从而支持SCART和叠加功能。这些信号的混合由快速消隐引脚控制。

ADV7181C主要包含两个处理部分。第一部分为标清处理器(SDP)，可处理所有类型的PAL、NTSC和SECAM信号。第二部分为分量处理器(CP)，可处理YPrPb和RGB分量格式，包括RGB图形。

注意，ADV7181C具有独特的软件和硬件配置要求。更多信息参见本数据手册的第19页。

### Rev. E

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 [www.analog.com](http://www.analog.com)  
Fax: 781.461.3113 ©2008–2012 Analog Devices, Inc. All rights reserved.

ADI中文版数据手册是英文版数据手册的译文，敬请谅解翻译中可能存在的语言组织或翻译错误，ADI不对翻译中存在的差异或由此产生的错误负责。如需确认任何词语的准确性，请参考ADI提供的最新英文版数据手册。

## 目录

|                  |    |
|------------------|----|
| 特性.....          | 1  |
| 应用.....          | 1  |
| 概述.....          | 1  |
| 修订历史.....        | 2  |
| 功能框图.....        | 3  |
| 技术规格.....        | 4  |
| 电气特性.....        | 4  |
| 视频规格.....        | 5  |
| 时序特性.....        | 6  |
| 模拟规格.....        | 8  |
| 绝对最大额定值.....     | 9  |
| 封装热性能.....       | 9  |
| 热规格.....         | 9  |
| ESD警告.....       | 9  |
| 引脚配置和功能描述.....   | 10 |
| 功能详解.....        | 12 |
| 模拟前端.....        | 12 |
| SDP像素数据输出模式..... | 12 |

|                  |    |
|------------------|----|
| CP像素数据输出模式.....  | 12 |
| 复合和S视频处理.....    | 12 |
| 分量视频处理.....      | 13 |
| RGB图形处理.....     | 13 |
| 通用特性.....        | 13 |
| 详细说明.....        | 14 |
| 模拟前端.....        | 14 |
| 标清处理器(SDP).....  | 14 |
| 分量处理器(CP).....   | 14 |
| 模拟输入多路复用.....    | 15 |
| 像素输出格式化.....     | 17 |
| 外部环路滤波器元件建议..... | 18 |
| 典型连接图.....       | 19 |
| 外形尺寸.....        | 20 |
| 订购指南.....        | 20 |
| 汽车应用级产品.....     | 20 |

## 修订历史

### 2012年8月—修订版D至修订版E

|           |    |
|-----------|----|
| 更改表3..... | 6  |
| 更改图6..... | 10 |

### 2012年12月-修订版C至修订版D

|                     |    |
|---------------------|----|
| 更改特性和概述部分.....      | 1  |
| 增加“典型连接图”部分的文字..... | 19 |
| 增加“汽车应用级产品”部分.....  | 20 |

### 2009年12月—修订版B至修订版C

|  |   |
|--|---|
| 更改产品名称、特性部分和概述部分.....                                    | 1 |
| 更改图1.....  | 3 |
| 更改表1的电源要求参数.....   | 4 |
| 更改表3的系统时钟和晶振参数以及注释3.....                                 | 6 |
| 删除表3的注释3；重新排序.....                                       | 6 |
| 增加时序图部分.....   | 7 |
| 将“AVDD = 3.15 V至3.45 V”改为<br>“AVDD = 3.15 V至3.45 V”..... | 8 |
| 更改封装热性能.....   | 9 |
| 增加热规格部分.....   | 9 |

|                      |    |
|----------------------|----|
| 更改SDP像素数据输出模式部分..... | 12 |
| 更改RGB图形处理部分.....     | 13 |
| 更改分量处理器(CP)部分.....   | 14 |
| 更改模拟输入多路复用部分.....    | 15 |

### 2009年4月—修订版A至修订版B

|                    |    |
|--------------------|----|
| 更改封装热性能部分.....     | 8  |
| 更改引脚配置和功能描述部分..... | 9  |
| 删除LFCSP_VQ封装.....  | 19 |
| 更改“订购指南”.....      | 19 |

### 2009年1月——修订版0至修订版A

|                    |    |
|--------------------|----|
| 更改表1的模拟电源电流参数..... | 4  |
| 更改封装热性能部分.....     | 8  |
| 删除热规格部分.....       | 8  |
| 增加引脚65(EPAD).....  | 10 |
| 更改模拟输入多路复用部分.....  | 15 |
| 更改“订购指南”.....      | 20 |

### 2008年8月—版本0：初始版

功能框图

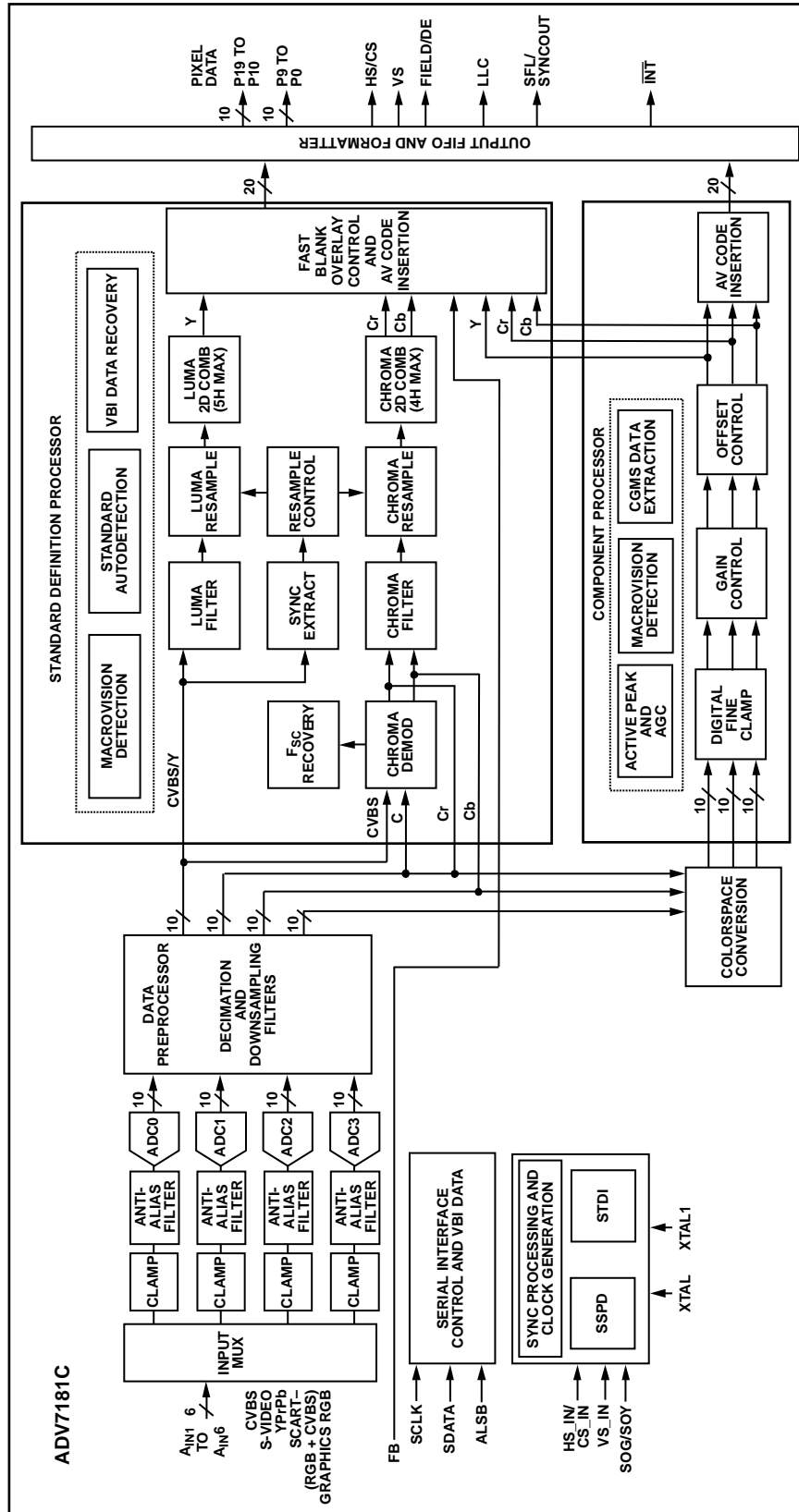


图1.

# ADV7181C

## 技术规格

### 电气特性

AVDD = 3.15 V至3.45 V, DVDD = 1.65 V至2.0 V, DVDDIO = 3.0 V至3.6 V, PVDD = 1.71 V至1.89 V, 标称输入范围1.6 V。  
除非另有说明,  $T_{MIN}$ 至 $T_{MAX}$  = -40°C至+85°C。

表1.

| 参数 <sup>1,2</sup>   | 符号            | 测试条件                   | 最小值        | 典型值 | 最大值        | 单位  |
|---------------------|---------------|------------------------|------------|-----|------------|-----|
| 静态性能 <sup>3,4</sup> |               |                        |            |     |            |     |
| 分辨率(每个ADC)          | N             |                        |            |     | 10         | 位   |
| 积分非线性               | 积分非线性(INL)    | BSL 27 MHz(10位水平)      | ±0.6       |     | ±2.5       | LSB |
|                     |               | BSL 54 MHz(10位水平)      | -0.6/+0.7  |     |            | LSB |
|                     |               | BSL 74 MHz(10位水平)      | ±1.4       |     |            | LSB |
|                     |               | BSL 110 MHz(8位水平)      | ±0.9       |     |            | LSB |
| 差分非线性               | 差分非线性(DNL)误差: | 27 MHz(10位水平)          | -0.2/+0.25 |     | -0.99/+2.5 | LSB |
|                     |               | 54 MHz(10位水平)          | -0.2/+0.25 |     |            | LSB |
|                     |               | 74 MHz(10位水平)          | ±0.9       |     |            | LSB |
|                     |               | 110 MHz(8位水平)          | -0.2/+1.5  |     |            | LSB |
| 数字输入 <sup>5</sup>   |               |                        |            |     |            |     |
| 高输入电压 <sup>6</sup>  | $V_{IH}$      | HS_IN、VS_IN低电平触发模式     | 2          |     |            | V   |
| 低输入电压 <sup>7</sup>  | $V_{IL}$      | HS_IN、VS_IN低电平触发模式     | 0.7        |     | 0.8        | V   |
| 输入电流                | $I_{IN}$      |                        | -10        |     | +10        | µA  |
| 输入电容 <sup>5</sup>   | $C_{IN}$      |                        |            |     | 10         | pF  |
| 数字输出                |               |                        |            |     |            |     |
| 高输出电压 <sup>8</sup>  | $V_{OH}$      | $I_{SOURCE} = 0.4$ mA  | 2.4        |     |            | V   |
| 低输出电压 <sup>8</sup>  | $V_{OL}$      | $I_{SINK} = 3.2$ mA    |            |     | 0.4        | V   |
| 高阻抗漏电流              | $I_{LEAK}$    | 引脚1                    |            |     | 60         | µA  |
|                     |               | 所有其他输出引脚               |            |     | 10         | µA  |
| 输出电容 <sup>5</sup>   | $C_{OUT}$     |                        |            |     | 20         | pF  |
| 电源要求 <sup>5</sup>   |               |                        |            |     |            |     |
| 数字内核电源              | DVDD          |                        | 1.65       | 1.8 | 2          | V   |
| 数字I/O电源             | DVDDIO        |                        | 3.0        | 3.3 | 3.6        | V   |
| PLL电源               | PVDD          |                        | 1.71       | 1.8 | 1.89       | V   |
| 模拟电源                | AVDD          |                        | 3.15       | 3.3 | 3.45       | V   |
| 数字内核电源电流            | IDVDD         | CVBS输入采样速率54 MHz       |            |     | 105        | mA  |
|                     |               | 图形RGB采样速率75 MHz        |            |     | 90         | mA  |
|                     |               | SCART RGB FB采样速率54 MHz |            |     | 106        | mA  |
| 数字I/O电源电流           | IDVDDIO       | CVBS输入采样速率54 MHz       |            |     | 4          | mA  |
|                     |               | 图形RGB采样速率75 MHz        |            |     | 38         | mA  |
| PLL电源电流             | IPVDD         | CVBS输入采样速率54 MHz       |            |     | 11         | mA  |
|                     |               | 图形RGB采样速率75 MHz        |            |     | 12         | mA  |
| 模拟电源电流 <sup>9</sup> | IAVDD         | CVBS输入采样速率54 MHz       |            |     | 99         | mA  |
|                     |               | 图形RGB采样速率75 MHz        |            |     | 166        | mA  |
|                     |               | SCART RGB FB采样速率54 MHz |            |     | 200        | mA  |
| 掉电电流                | IPWRDN        |                        |            |     | 2.25       | mA  |
| 绿色省电模式              | IPWRDNG       | 同步旁路功能                 |            |     | 16         | mA  |
| 上电时间                | TPWRUP        |                        |            |     | 20         | ms  |

<sup>1</sup> 在此范围内保证最大值和最小值性能规格。

<sup>2</sup> 所有规格均是利用ADI公司推荐的编程脚本获得。

<sup>3</sup> 所有ADC线性测试的输入范围均为满量程-12.5%至零量程+12.5%。

<sup>4</sup> INL和DNL最大值是在器件配置为分量视频输入的条件下获得。

<sup>5</sup> 通过特性保证。

<sup>6</sup> 为在引脚22上获得规定的 $V_{IH}$ 电平, 需将值0x04写入寄存器0x13(WO)。如果将值0x00写入寄存器0x13, 则引脚22上的 $V_{IH}$ 为1.2 V。

<sup>7</sup> 为在引脚22上获得规定的 $V_{IL}$ 电平, 需将值0x04写入寄存器0x13(WO)。如果将值0x00写入寄存器0x13, 则引脚22上的 $V_{IL}$ 为0.4 V。

<sup>8</sup>  $V_{OH}$ 和 $V_{OL}$ 电平是使用寄存器子地址0xF4中的默认驱动强度值(0xD5)而获得。

<sup>9</sup> 仅测量CVBS电流时, ADC0上电。仅测量RGB电流时, ADC0、ADC1和ADC2上电。测量SCART FB电流时, 所有ADC均上电。

## 视频规格

AVDD = 3.15 V至3.45 V, DVDD = 1.65 V至2.0 V, DVDDIO = 3.0 V至3.6 V, PVDD = 1.71 V至1.89 V。除非另有说明,  
 $T_{MIN}$ 至 $T_{MAX}$  = -40°C至+85°C。

**表2.**

| 参数 <sup>1,2</sup>   | 符号    | 测试条件         | 最小值 | 典型值  | 最大值 | 单位  |
|---------------------|-------|--------------|-----|------|-----|-----|
| 非线性规格               |       |              |     |      |     |     |
| 差分相位                | DP    | CVBS输入, 5步调制 |     | 0.5  |     | 度   |
| 差分增益                | DG    | CVBS输入, 5步调制 |     | 0.5  |     | %   |
| 亮度非线性               | LNL   | CVBS输入, 5步   |     | 0.5  |     | %   |
| 噪声规格                |       |              |     |      |     |     |
| 未加权SNR              |       | 亮度斜坡         | 54  | 56   |     | dB  |
| 未加权SNR              |       | 亮度平场         | 58  | 60   |     | dB  |
| 模拟前端串扰              |       |              |     | 60   |     | dB  |
| 锁定时间规格              |       |              |     |      |     |     |
| 水平锁定范围              |       |              | -5  |      | +5  | %   |
| 垂直锁定范围              |       |              | 40  |      | 70  | Hz  |
| $f_{sc}$ 副载波锁定范围    |       |              |     | ±1.3 |     | kHz |
| 色彩锁定时间              |       |              |     | 60   |     | 行   |
| 同步深度范围 <sup>3</sup> |       |              | 20  |      | 200 | %   |
| 色同步范围               |       |              | 5   |      | 200 | %   |
| 垂直锁定时间              |       |              |     | 2    |     | 场   |
| 水平锁定时间              |       |              |     | 100  |     | 行   |
| 色度规格                |       |              |     |      |     |     |
| 色调精度                | HUE   |              |     | 1    |     | 度   |
| 色彩饱和精度              | CL_AC |              |     | 1    |     | %   |
| 色彩AGC范围             |       |              | 5   |      | 400 | %   |
| 色度幅度误差              |       |              |     | 0.5  |     | %   |
| 色度相位误差              |       |              |     | 0.4  |     | 度   |
| 色度亮度交调              |       |              |     | 0.2  |     | %   |
| 亮度规格                |       |              |     |      |     |     |
| 亮度精度                |       | CVBS, 1 V输入  |     | 1    |     | %   |
| 亮度对比度精度             |       | CVBS, 1 V输入  |     | 1    |     | %   |

<sup>1</sup> 在此范围内保证最大值和最小值性能规格。

<sup>2</sup> 通过特性保证。

<sup>3</sup> 标称同步深度为300 mV(100%同步深度范围)。

# ADV7181C

## 时序特性

AVDD = 3.15 V至3.45 V, DVDD = 1.65 V至2.0 V, DVDDIO = 3.0 V至3.6 V, PVDD = 1.71 V至1.89 V。除非另有说明,  
 $T_{MIN}$ 至 $T_{MAX}$  = -40°C至+85°C。

表3.

| 参数 <sup>1,2</sup>               | 符号                              | 测试条件        | 最小值    | 典型值      | 最大值   | 单位   |
|---------------------------------|---------------------------------|-------------|--------|----------|-------|------|
| 系统时钟和晶振                         |                                 |             |        |          |       |      |
| 晶振标称频率                          |                                 |             |        | 28.63636 |       | MHz  |
| 晶振频率稳定性                         |                                 |             |        |          | ±50   | ppm  |
| 水平同步输入频率                        |                                 |             | 14.8   |          | 110   | kHz  |
| LLC频率范围                         |                                 |             | 12.825 |          | 110   | MHz  |
| I <sup>2</sup> C端口 <sup>3</sup> |                                 |             |        |          |       |      |
| SCLK频率                          |                                 |             |        |          | 400   | kHz  |
| SCLK最短脉冲宽度(高电平)                 | t <sub>1</sub>                  |             | 0.6    |          |       | µs   |
| SCLK最短脉冲宽度(低电平)                 | t <sub>2</sub>                  |             | 1.3    |          |       | µs   |
| 保持时间(起始条件)                      | t <sub>3</sub>                  |             | 0.6    |          |       | µs   |
| 建立时间(起始条件)                      | t <sub>4</sub>                  |             | 0.6    |          |       | µs   |
| SDA建立时间                         | t <sub>5</sub>                  |             | 100    |          |       | ns   |
| SCLK和SDA上升时间                    | t <sub>6</sub>                  |             |        |          | 300   | ns   |
| SCLK和SDA下降时间                    | t <sub>7</sub>                  |             |        |          | 300   | ns   |
| 停止条件的建立时间                       | t <sub>8</sub>                  |             |        | 0.6      |       | µs   |
| 复位特性                            |                                 |             |        |          |       |      |
| 复位脉冲宽度                          |                                 |             | 5      |          |       | ms   |
| 时钟输出                            |                                 |             |        |          |       |      |
| LLC传号空号比                        | t <sub>9</sub> :t <sub>10</sub> |             | 45:55  |          | 55:45 | %占空比 |
| 数据和控制输出                         |                                 |             |        |          |       |      |
| 数据输出转换时间SDR(SDP) <sup>4</sup>   | t <sub>11</sub>                 | 负时钟沿至有效数据开始 |        |          | 3.6   | ns   |
| 数据输出转换时间SDR(SDP) <sup>4</sup>   | t <sub>12</sub>                 | 有效数据结束至负时钟沿 |        |          | 2.4   | ns   |
| 数据输出转换时间SDR(CP) <sup>5</sup>    | t <sub>13</sub>                 | 有效数据结束至负时钟沿 |        |          | 2.8   | ns   |
| 数据输出转换时间SDR(CP) <sup>5</sup>    | t <sub>14</sub>                 | 负时钟沿至有效数据开始 |        |          | 0.1   | ns   |
| 数据输出转换时间DDR(CP) <sup>5,6</sup>  | t <sub>15</sub>                 | 正时钟沿至有效数据结束 | 1.9    |          |       | ns   |
| 数据输出转换时间DDR(CP) <sup>5,6</sup>  | t <sub>16</sub>                 | 有效数据起始至正时钟沿 | 1.7    |          |       | ns   |
| 数据输出转换时间DDR(CP) <sup>5,6</sup>  | t <sub>17</sub>                 | 负时钟沿至有效数据结束 | 1.4    |          |       | ns   |
| 数据输出转换时间DDR(CP) <sup>5,6</sup>  | t <sub>18</sub>                 | 有效数据起始至负时钟沿 | 1.7    |          |       | ns   |

<sup>1</sup> 在此范围内保证最大值和最小值性能规格。

<sup>2</sup> 通过特性保证。

<sup>3</sup> TTL输入值为0 V至3 V, 上升/下降时间 ≤3 ns, 在10%与90%点之间测量。

<sup>4</sup> SDP时序数值是使用寄存器子地址0xF4中的默认驱动强度值(0xD5)而获得。

<sup>5</sup> CP时序数值是使用寄存器子地址0xF4中的最大驱动强度值(0x3F)而获得。

<sup>6</sup> 通过特性保证, 最高75 MHz像素时钟。

时序图

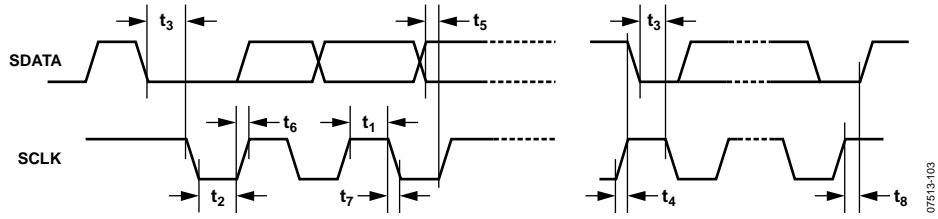


图2. I²C时序

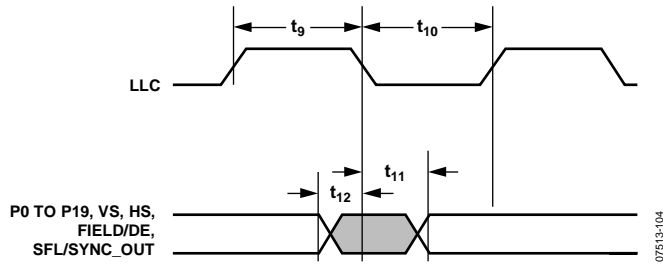


图3. 像素端口和控制SDR输出时序(SD内核)

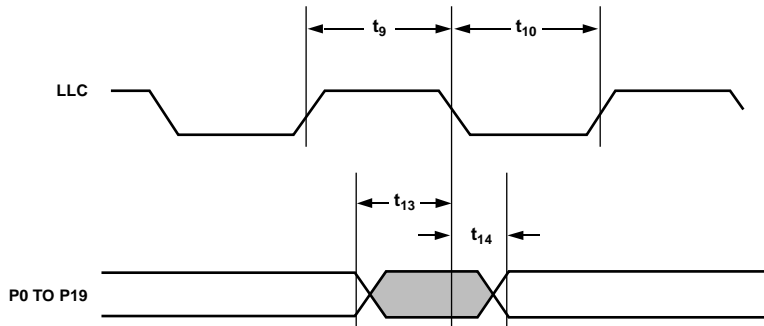


图4. 像素端口和控制SDR输出时序(CP内核)

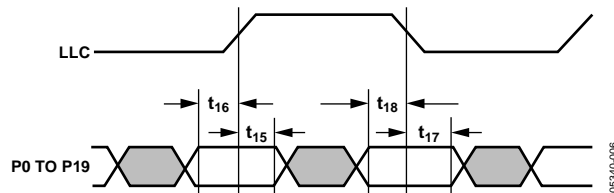


图5. 像素端口和控制DDR输出时序(CP内核)

# ADV7181C

## 模拟规格

AVDD = 3.15 V至3.45 V, DVDD = 1.65 V至2.0 V, DVDDIO = 3.0 V至3.6 V, PVDD = 1.71 V至1.89 V。除非另有说明,  $T_{MIN}$ 至 $T_{MAX}$  = -40°C至+85°C。建议模拟输入视频信号范围: 0.5 V至1.6 V, 典型值1 V p-p。

表4.

| 参数 <sup>1,2</sup> | 测试条件                 | 最小值 | 典型值         | 最大值 | 单位 |
|-------------------|----------------------|-----|-------------|-----|----|
| 箝位电路              |                      |     |             |     |    |
| 外部箝位电容            |                      |     | 0.1         |     | μF |
| 输入阻抗; 引脚34(FB)除外  | 箝位断开                 |     | 10          |     | MΩ |
| 引脚34(FB)的输入阻抗     |                      |     | 20          |     | kΩ |
| CML               |                      |     | 1.86        |     | V  |
| ADC满量程电平          |                      |     | CML + 0.8   |     | V  |
| ADC零电平            |                      |     | CML - 0.8   |     | V  |
| ADC动态范围           |                      |     | 1.6         |     | V  |
| 箝位电平(锁定时)         | CVBS输入               |     | CML - 0.292 |     | V  |
|                   | SCART RGB输入(R、G、B信号) |     | CML - 0.4   |     | V  |
|                   | S视频输入(Y信号)           |     | CML - 0.292 |     | V  |
|                   | S视频输入(C信号)           |     | CML - 0     |     | V  |
|                   | 分量输入(Y、Pr、Pb信号)      |     | CML - 0.3   |     | V  |
|                   | PC RGB输入(R、G、B信号)    |     | CML - 0.3   |     | V  |
| 大箝位源电流            | 仅SDP                 |     | 0.75        |     | mA |
| 大箝位吸电流            | 仅SDP                 |     | 0.9         |     | mA |
| 小箝位源电流            | 仅SDP                 |     | 17          |     | μA |
| 小箝位吸电流            | 仅SDP                 |     | 17          |     | μA |

<sup>1</sup> 在此范围内保证最大值和最小值性能规格。

<sup>2</sup> 通过特性保证。



## 绝对最大额定值

表5.

| 参数                 | 额定值                           |
|--------------------|-------------------------------|
| AVDD至AGND          | 4V                            |
| DVDD至DGND          | 2.2V                          |
| PVDD至AGND          | 2.2V                          |
| DVDDIO至DGND        | 4V                            |
| DVDDIO至AVDD        | -0.3V至+0.3V                   |
| PVDD至DVDD          | -0.3V至+0.3V                   |
| DVDDIO至PVDD        | -0.3V至+2V                     |
| DVDDIO至DVDD        | -0.3V至+2V                     |
| AVDD至PVDD          | -0.3V至+2V                     |
| AVDD至DVDD          | -0.3V至+2V                     |
| 数字输入电压至DGND        | DGND - 0.3V至<br>DVDDIO + 0.3V |
| 数字输出电压至DGND        | DGND - 0.3V至<br>DVDDIO + 0.3V |
| 模拟输入至AGND          | AGND - 0.3V至<br>AVDD + 0.3V   |
| 工作温度范围             | -40°C至+85°C                   |
| 最大结温( $T_{JMAX}$ ) | 125°C                         |
| 存储温度范围             | -65°C至+150°C                  |
| 红外回流焊(20秒)         | 260°C                         |

注意，超出上述绝对最大额定值可能会导致器件永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断器件能否正常工作。长期在绝对最大额定值条件下工作会影响器件的可靠性。

## 封装散热性能

为了降低器件功耗，请关断所有不用的ADC。

针对下列高电流模式，必须使用推荐的脚本：SCART、720p、1080i和所有RGB图形标准。使用推荐的脚本可确保热性能正常。这些脚本可向本地现场应用工程师索取。

结温必须始终低于最大结温( $T_{JMAX}$ )125°C。结温可以通过下式计算：

$$T_J = T_{A MAX} + (\theta_{JA} \times W_{MAX})$$

其中：

$$T_{A MAX} = 85^\circ\text{C}.$$

$$\theta_{JA} = 45.5^\circ\text{C/W}.$$

$$W_{MAX} = ((AVDD \times I_{AVDD}) + (DVDD \times I_{DVDD}) + (DVDDIO \times I_{DVDDIO}) + (PVDD \times I_{PVDD})).$$

## 热规格

表6.

| 参数                   | 测试条件                   | 值               |
|----------------------|------------------------|-----------------|
| 结壳热阻 $\theta_{JC}$   | 带实体接地层的4层PCB           | 典型值<br>9.2°C/W  |
| 结至环境热阻 $\theta_{JA}$ | 带实体接地层的4层PCB<br>(静止空气) | 典型值<br>45.5°C/W |

## ESD警告

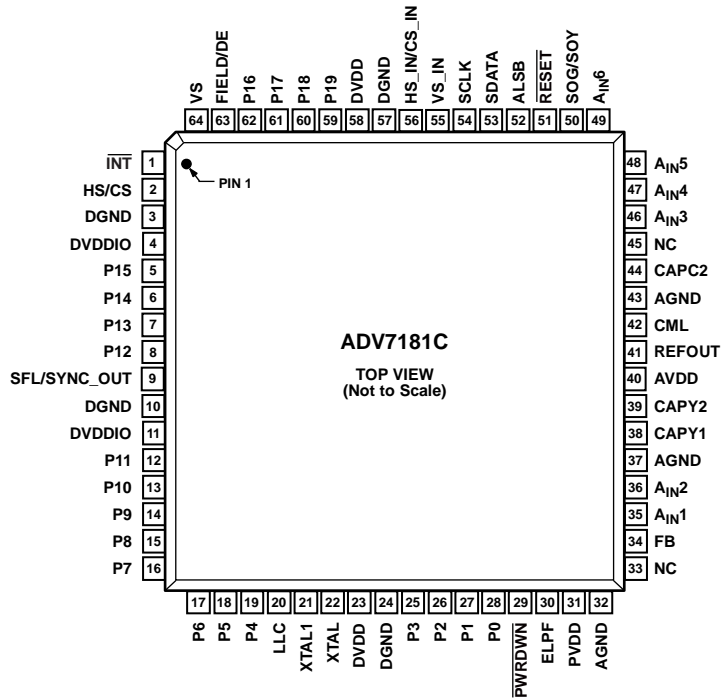


### ESD(静电放电)敏感器件。

带电器件和电路板可能会在没有察觉的情况下放电。尽管本产品具有专利或专有保护电路，但在遇到高能量ESD时，器件可能会损坏。因此，应当采取适当的ESD防范措施，以避免器件性能下降或功能丧失。

# ADV7181C

## 引脚配置和功能描述



NOTES  
1. NC = NO CONNECT. DO NOT CONNECT TO THIS PIN.

07613-002

图6. 引脚配置

表7. 引脚功能描述

| 引脚编号                  | 引脚名称         | 类型 <sup>1</sup> | 描述  |
|-----------------------|--------------|-----------------|---|
| 1                     | INT          | O               | 中断。此引脚可以是低电平有效或高电平有效。SDP/CP状态位改变就会触发此引脚。触发中断的事件集由用户控制。                                    |
| 2                     | HS/CS        | O               | HS：水平同步输出信号(SDP和CP模式)。<br>CS：数字复合同步信号(CP模式)。  |
| 3, 10, 24, 57         | DGND         | G               | 数字地。  |
| 4, 11                 | DVDDIO       | P               | 数字I/O电源电压(3.3 V)。   |
| 28至25、19至12、8至5、62至59 | P0至P19       | O               | 视频像素输出端口。输出配置模式参见表10。   |
| 9                     | SFL/SYNC_OUT | O               | SFL：副载波频率锁定。该引脚包含一个串行输出流，可以在该解码器连到任何ADI数字视频编码器时锁定副载波频率。<br>SYNC_OUT：分隔同步输出信号，仅在CP模式下可用。   |
| 20                    | LLC          | O               | 行锁定输出时钟。该引脚用于像素数据(12.825 MHz至110 MHz范围)。  |
| 21                    | XTAL1        | O               | 该引脚应连到28.63636 MHz晶振；如果ADV7181C使用外部3.3 V、28.63636 MHz时钟振荡器源，则该引脚应保持不连接状态。晶振模式下，晶振必须为基频晶体。 |
| 22                    | XTAL         | I               | 28.63636 MHz晶振的输入引脚，也可以用于ADV7181C提供时钟的外部3.3 V、28.63636 MHz时钟振荡器源过驱。                       |
| 23, 58                | DVDD         | P               | 数字内核电源电压(1.8 V)。  |
| 29                    | PWRDWN       | I               | 该引脚为逻辑0时，ADV7181C进入关断模式。  |
| 30                    | ELPF         | O               | 必须将推荐的外部环路滤波器连接到此ELPF引脚。  |
| 31                    | PVDD         | P               | PLL电源(1.8 V)。   |
| 32, 37, 43            | AGND         | G               | 模拟地。  |

| 引脚编号                   | 引脚名称                                | 类型 <sup>1</sup> | 描述   |
|------------------------|-------------------------------------|-----------------|--|
| 33, 45                 | NC                                  |                 | 不连接。这些引脚不在内部互连。  |
| 34                     | FB                                  | I               | 快速开关叠加输入。该引脚切换CVBS与RGB模拟信号。  |
| 35, 36, 46, 47, 48, 49 | A <sub>IN</sub> 1至A <sub>IN</sub> 6 | I               | 模拟视频输入通道。  |
| 38, 39                 | CAPY1, CAPY2                        | I               | ADC电容网络。用于该引脚的推荐电容网络参见图9。  |
| 40                     | AVDD                                | P               | 模拟电源电压(3.3 V)。   |
| 41                     | REFOUT                              | O               | 内部基准电压输出。用于该引脚的推荐电容网络参见图9。   |
| 42                     | CML                                 | O               | 内部ADC的共模电平引脚(CML)。用于该引脚的推荐电容网络参见图9。  |
| 44                     | CAPC2                               | I               | ADC电容网络。用于该引脚的推荐电容网络参见图9。  |
| 50                     | SOG/SOY                             | I               | 绿同步/亮度同步输入。用于嵌入式同步模式。  |
| 51                     | RESET                               | I               | 系统复位输入，低电平有效。ADV7181C电路复位需要最短5 ms的低电平复位脉冲。   |
| 52                     | ALSB                                | I               | 该引脚选择ADV7181C控制端口和VBI回读端口的I2C地址。ALSB设为逻辑0时，可设置控制端口0x40写操作的地址和VBI端口0x21的回读地址。ALSB设为逻辑1时，可设置控制端口0x42写操作的地址和VBI端口0x23的回读地址。 |
| 53                     | SDATA                               | I/O             | I <sup>2</sup> C端口串行数据输入/输出引脚。   |
| 54                     | SCLK                                | I               | I <sup>2</sup> C端口串行时钟输入。最大时钟速率为400 kHz。   |
| 55                     | VS_IN                               | I               | VS输入信号。用于5线定时模式下的CP模式。   |
| 56                     | HS_IN/CS_IN                         | I               | 该引脚可在CP模式下配置为数字HS输入信号或数字CS输入信号，用于提取5线或4线RGB模式中的时序。   |
| 63                     | FIELD/DE                            | O               | 场同步输出信号(所有隔行视频模式)。CP模式下，该引脚也可用作数据使能信号(DE)，允许直接连接到HDMI/DVI Tx IC。   |
| 64                     | VS                                  | O               | 垂直同步输出信号(SDP和CP模式)。  |

<sup>1</sup> G = 接地，I = 输入，O = 输出，I/O = 输入/输出，P = 电源。

## 功能详解

### 模拟前端

模拟前端部分包括4个高质量10位 ADC，6个模拟输入通道多路复用器可以连接多个视频源，无需外部多路复用器。

它还包括：

- 4个电流和电压箝位控制环路，确保消除视频信号中的所有直流失调。
- SCART功能和CVBS的SD RGB叠加功能，这些功能由快速消隐输入控制。
- 4个内部抗混叠滤波器，用于消除标清输入视频信号的带外噪声。

### SDP像素数据输出模式

SDP像素数据输出模式如下：

- 8/10位ITU-R BT.656 4:2:2 YCrCb，带嵌入式时间码和/或HS、VS、FIELD
- 16/20位YCrCb，带嵌入式时间码和/或HS、VS、FIELD

### CP像素数据输出模式

CP像素数据输出模式包括单通道数据速率(SDR)和双通道数据速率(DDR)，如下所示：

- SDR 8-/10位 4:2:2 YCrCb，支持525i、625i
- SDR 16-/20位 4:2:2 YCrCb，支持所有标准
- DDR 8-/10位 4:2:2 YCrCb，支持所有标准
- DDR 12位 4:4:4 RGB，支持图形输入

### 复合和S视频处理

复合和S视频处理特性支持NTSCVBS和S视频形式的CM/J、NTSC 4.43、PAL B/D/I/G/H、PAL60、PAL M、PAL N和SECAM(B、D、G、K和L)标准，用于NTSC和PAL的超级自适应、2D、5线梳状滤波器可为复合视频提供出色的色度和亮度分离。它还能完全自动地检测和切换所有全球标准(PAL、NTSC和SECAM)，白色峰值模式下的自动增益控制功能可确保始终以完整视频处理范围处理视频。其它特性包括：

- 自适应数字线路长度跟踪(ADLLT™)
- 专有架构支持锁定较弱、高噪声且不稳定的视频源，如VCR和调谐器等
- IF滤波器模块补偿调谐器SAW滤波器所导致的高频亮度衰减
- 色度瞬态改善(CTI)
- 亮度数字降噪(DNR)
- 色彩控制功能包括色调、亮度、饱和度、对比度和Cr、Cb控制
- 经过认证的Macrovision®版权保护检测功能适用于复合和S视频，支持所有全球格式(PAL/NTSC/SECAM)
- CVBS、S视频和YUV模式支持4倍过采样(54 MHz)
- 行锁定时钟输出(LLC)
- 支持宽银幕检测
- 无视频输入时，自由输出模式提供稳定的时序
- 垂直消隐间隔数据处理器，包括图文电视、视频编程系统(VPS)、垂直间隔时间码(VITC)、字幕信息(CC)和扩展数据服务(EDS)、宽屏幕信令(WSS)、版权生成管理系统(CGMS)、兼容GemStar™ 1×/2×电子节目指南
- 由28.63636 MHz单晶振提供时钟
- 副载波频率锁定(SFL)输出用于下游视频编码器
- 差分增益典型值0.5%
- 差分相位典型值0.5°

### 分量视频处理

分量视频处理支持525i、625i、525p、625p、720p、1080i及其它许多高清电视格式，同时支持自动增益(对比度)和失调(亮度)调整以及手动调整控制。分量视频处理支持的其它特性包括：

- 带嵌入式同步或带独立HS、VS或CS的模拟分量 YpbPr/RGB视频格式
- 色彩空间转换矩阵，支持YCrCb转DDR RGB和RGB转YCrCb
- 标准识别(STDI)支持系统级分量格式检测
- 同步源极性检测器(SSPD)确定输入视频伴随的同步信号的来源和极性
- 经过认证的Macrovision版权保护功能适用于分量格式(525i、625i、525p和625p)
- 无视频输入时，自由输出模式提供稳定的时序
- 支持对非标准视频源进行任意像素采样

### RGB图形处理

RGB图形处理提供110 MSPS转换速率，支持最高达1024 × 768、70 Hz (UXGA)的RGB输入分辨率、图形模式的自动或手动钳位和增益控制、对比度和亮度控制。其他特性包括：

- 32相位DLL支持最佳像素时钟采样
- SSPD模块自动检测同步源和极性
- STDI模块支持标准识别
- RGB可通过色彩空间转换为YcbCr，并通过降采样变为4:2:2格式，以便与以视频为中心的后端IC接口
- 提供数据使能(DE)输出信号，以便直接连到HDMI/DVI Tx IC
- 支持对非标准视频源进行任意像素采样
- 12位DDR格式支持RGB图形

### 通用特性

ADV7181C的通用特性包括具有可编程位置、极性和宽度的HS/CS、VS和FIELD/DE输出信号，以及用于提示SDP/CP状态变化的可编程中断请求输出引脚 $\overline{\text{INT}}$ 。其它特性包括：

- 低功耗：1.8 V数字内核、3.3 V模拟和数字I/O、低功耗关断模式及绿色PC模式
- 工业温度范围：-40°C至+85°C
- 64引脚、10 mm × 10 mm无铅LQFP封装
- 3.3 V ADC提供增强的动态范围和性能

## 详细说明

### 模拟前端

ADV7181C模拟前端包括4个10位 ADC，用来对模拟视频信号进行数字化处理，然后将信号提供给SDP或CP。模拟前端使用差分通道连接各ADC，确保混合信号应用能够实现高性能。

模拟前端还包括一个6通道输入多路复用器，支持将多个视频信号施加于ADV7181C。各ADC前置电流和电压钳位电路，确保视频信号始终在转换器的处理范围之内。下游的CP或SDP中的数字精密钳位电路对视频信号执行精密钳位。

各ADC前置可选的抗混叠滤波器。这些滤波器可用来限制标清视频信号的带宽，从而消除带外杂散噪声。

当解码复合和S视频输入时，ADC配置为4倍过采样模式；对于525i、625i、525p和625p视频源，则执行2×过采样。对所有其它视频标准执行1倍过采样。视频信号过采样可降低外部抗混叠滤波器的成本和复杂度，并提高信噪比(SNR)。

ADV7181C支持对CVBS和RGB标清信号进行同步处理，以实现SCART兼容和叠加功能。在I2C寄存器和快速消隐引脚的控制下，CVBS和RGB输入组合可以混合输出。

### 标清处理器(SDP)

SDP部分可解码复合、S视频和YUV格式的许多基带视频信号。SDP支持的视频标准包括PAL B/D/I/G/H、PAL60、PAL M、PAL N、NTSC M/J、NTSC 4.43和SECAM B/D/G/K/L。ADV7181C自动检测视频标准，并进行相应处理。

SDP具有一个5线式超级自适应2D梳状滤波器，可在解码复合视频信号时提供出色的色度和亮度分离。这种自适应滤波器根据视频标准和信号质量自动调整处理模式，无需用户干预。SDP还有一个IF滤波器模块，可补偿调谐器SAW滤波器所导致的高频亮度频谱衰减。

SDP有专门的亮度和色度参数来控制亮度、对比度、饱和度和色调。

ADV7181C采用专利ADLLT算法来跟踪VCR等视频源的变化视频行。ADLLT使ADV7181C能够跟踪和解码质量不佳的视频源，如VCR、调谐器输出、VCD播放器和便携式摄像机的高噪声源等。SDP还含有一个色度瞬态改变(CTI)处理器，它可以提高色度转换的边沿速率，使视频图像更清晰。

SDP可以处理各种VBI数据服务，例如：图文电视、字幕信息(CC)、宽屏幕信令(WSS)、视频编程系统(VPS)、垂直间隔时间码(VITC)、版权生成管理系统(CGMS)、GemStar 1×/2×和扩展数据服务(XDS)。ADV7181C SDP部分具有一个Macrovision 7.1检测电路，可检测I型、II型和III型保护级。该解码器还能够稳定地支持所有Macrovision信号输入。

### 分量处理器(CP)

CP部分可以对任何色彩空间的广泛复合视频格式进行解码和数字化处理。CP支持的分量视频标准包括525i、625i、525p、625p、720p、1080i、最高达XGA 70 Hz的图形以及许多其它标准。

ADV7181C的CP部分含有一个AGC模块。无嵌入式同步时，可以手动设置视频增益。AGC部分后接一个数字钳位电路，以确保将视频信号钳位于正确的消隐电平。CP的自动调整功能包括增益(对比度)和失调(亮度)调整，另外也支持手动调整控制。

CP支持固定模式图形RGB转分量输出。

模拟前端和CP部分之间有一个色彩空间转换矩阵，支持YPrPb转DDR RGB和RGB转YCrCb。利用色彩空间转换器可以实施色彩空间的许多其它标准。

CP的输出部分非常灵活。它可以配置为SDR模式，每个时钟周期提供一个数据包；或者配置为DDR模式，在时钟的上升沿和下降沿提供数据。SDR模式下，可以实现20位4:2:2格式。这些模式提供HS/CS、VS和FIELD/DE(如适用)时序参考信号。在DDR模式下，ADV7181C可以提供具有相应时序信号的8位4:2:2 YCrCb或12位4:4:4 RGB像素输出接口。

CP部分具有一个检测电路，可以检测525i、625i、525p和625p标准的Macrovision编码YPrPb信号。它能够稳定地支持此类信号的解码。

分量数据的VBI提取由ADV7181C的CP部分执行，支持隔行、逐行和高清扫描速率。提取的数据可通过I2C接口回读。

## 模拟输入多路复用

ADV7181C集成一个模拟多路复用部分，允许多个视频信号源连接到该解码器。图7显示了ADV7181C输入多路复用部分的整体结构。

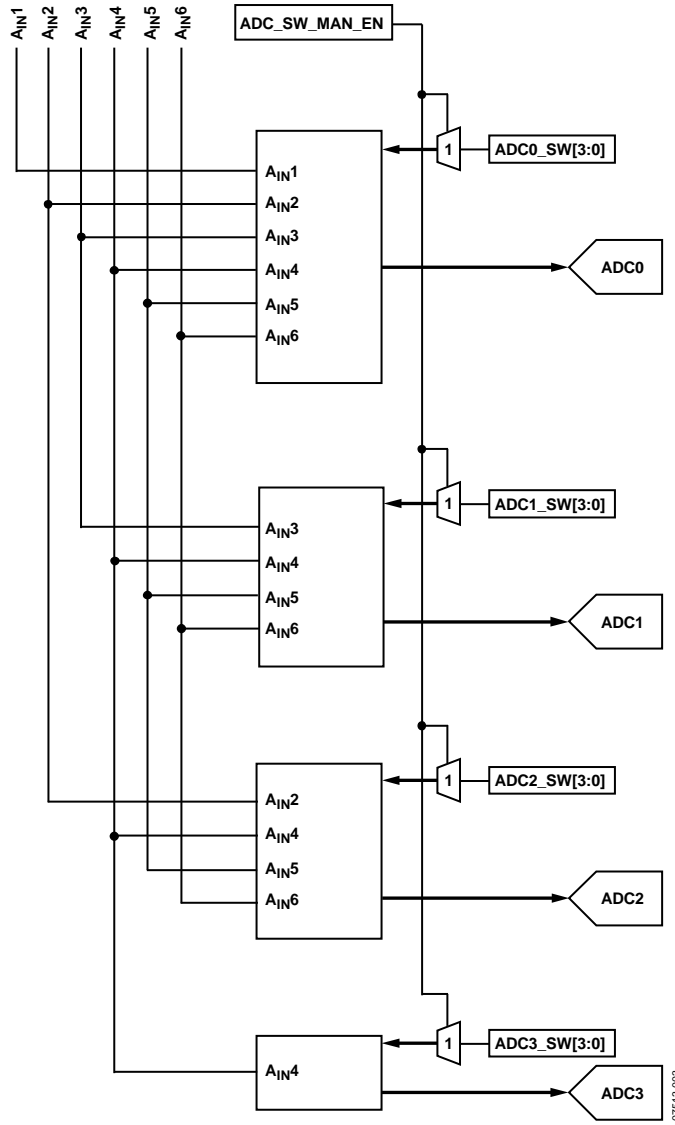


图7. 内部引脚连接

07513-003

# ADV7181C

对于ADV7181C，建议使用表8所示的ADC映射。

**表8. ADC映射建议**

| 模式          | ADC映射要求   | AIN通道   | 内核 | 配置 <sup>1</sup>  |
|-------------|---|---|----|--|
| CVBS        | ADC0  | CVBS = A <sub>IN1</sub>   | SD | INSEL[3:0] = 0000<br>SDM_SEL[1:0] = 00<br>PRIM_MODE[3:0] = 0000<br>VID_STD[3:0] = 0010 |
| YC/YC自动     | Y = ADC0<br>C = ADC1                            | Y = A <sub>IN2</sub><br>C = A <sub>IN3</sub>  | SD | INSEL[3:0] = 0000<br>SDM_SEL[1:0] = 11<br>PRIM_MODE[3:0] = 0000<br>VID_STD[3:0] = 0010 |
| 分量YUV       | Y = ADC0<br>U = ADC2<br>V = ADC1                | Y = A <sub>IN6</sub><br>U = A <sub>IN4</sub><br>V = A <sub>IN5</sub>                            | SD | INSEL[3:0] = 1001<br>SDM_SEL[1:0] = 00<br>PRIM_MODE[3:0] = 0000<br>VID_STD[3:0] = 0010 |
| 分量YUV       | Y = ADC0<br>U = ADC2<br>V = ADC1                | Y = A <sub>IN6</sub><br>U = A <sub>IN4</sub><br>V = A <sub>IN5</sub>                            | CP | INSEL[3:0] = 0000<br>SDM_SEL[1:0] = 00<br>PRIM_MODE[3:0] = 0000<br>VID_STD[3:0] = 1010 |
| SCART RGB   | CBVS = ADC0<br>G = ADC1<br>B = ADC3<br>R = ADC2 | CVBS = A <sub>IN2</sub><br>G = A <sub>IN6</sub><br>B = A <sub>IN4</sub><br>R = A <sub>IN5</sub> | SD | INSEL[3:0] = 0000<br>SDM_SEL[1:0] = 00<br>PRIM_MODE[3:0] = 0000<br>VID_STD[3:0] = 0010 |
| 图形<br>RGB模式 | G = ADC0<br>B = ADC2<br>R = ADC1                | G = A <sub>IN6</sub><br>B = A <sub>IN4</sub><br>R = A <sub>IN5</sub>                            | CP | INSEL[3:0] = 0000<br>SDM_SEL[1:0] = 00<br>PRIM_MODE[3:0] = 0001<br>VID_STD[3:0] = 1100 |

<sup>1</sup> 以正确格式对后续模块进行格式化的配置。

**表9. 所有ADC的手动多路复用设置**

| ADC_SWITCH_MAN置1 |                  |                  |                  |                  |                  |                  |                  |
|------------------|------------------|------------------|------------------|------------------|------------------|------------------|------------------|
| ADC0_SW_SEL[3:0] | ADC0连接           | ADC1_SW_SEL[3:0] | ADC1连接           | ADC2_SW_SEL[3:0] | ADC2连接           | ADC3_SW_SEL[3:0] | ADC3连接           |
| 0001             | A <sub>IN1</sub> | 0001             | 不适用              | 0001             | 不适用              | 0001             | 不适用              |
| 0010             | A <sub>IN2</sub> | 0010             | 不适用              | 0010             | A <sub>IN2</sub> | 0010             | 不适用              |
| 0100             | A <sub>IN4</sub> | 0100             | A <sub>IN4</sub> | 0100             | A <sub>IN4</sub> | 0100             | A <sub>IN4</sub> |
| 0101             | A <sub>IN5</sub> | 0101             | A <sub>IN5</sub> | 0101             | A <sub>IN5</sub> | 0101             | 不适用              |
| 0110             | A <sub>IN6</sub> | 0110             | A <sub>IN6</sub> | 0110             | A <sub>IN6</sub> | 0110             | 不适用              |
| 1100             | A <sub>IN3</sub> | 1100             | A <sub>IN3</sub> | 1100             | 不适用              | 1100             | 不适用              |

必须直接控制ADV7181C的模拟输入多路复用，这种方式称为手动输入多路复用。ADC\_SWITCH\_MAN位设为1可激活手动多路复用(见表9)。它只影响ADC之前的模拟开关。INSEL、SDM\_SEL、PRIM\_MODE和VID\_STD仍然要求进行设置，以便后续模块以正确的格式处理视频数据。

并非每个输入引脚都能连接到任何ADC。IC内部的模拟信号路由对通道连接做出了一些限制。表9概要显示了芯片之内的路由能力。4个多路复用部分可以通过保留的控制信号总线ADC0\_SW[3:0]/ADC1\_SW[3:0]/ADC2\_SW[3:0]/ADC3\_SW[3:0]进行控制。

表9列出了下列情况的ADC映射配置：

- ADC\_SW\_MAN\_EN，手动输入多路复用使能，IO映射，地址C4[7]
- ADC0\_SW[3:0]，ADC0多路复用配置，IO映射，地址C3[3:0]
- ADC1\_SW[3:0]，ADC1多路复用配置，IO映射，地址C3[7:4]
- ADC2\_SW[3:0]，ADC2多路复用配置，IO映射，地址C4[3:0]
- ADC3\_SW[3:0]，ADC3多路复用配置，IO映射，地址F3[7:4]



## 像素输出格式化

表10. 像素输出格式

| 处理器、格式和模式 |                             | 像素端口引脚P[19:0]                       |                                     |                                     |                                     |                                     |                                     |                                     |                                     |           |                            |                                      |                                      |                                     |                                     |   |   |   |   |   |   |
|-----------|-----------------------------|-------------------------------------|-------------------------------------|-------------------------------------|-------------------------------------|-------------------------------------|-------------------------------------|-------------------------------------|-------------------------------------|-----------|----------------------------|--------------------------------------|--------------------------------------|-------------------------------------|-------------------------------------|---|---|---|---|---|---|
|           |                             | 19                                  | 18                                  | 17                                  | 16                                  | 15                                  | 14                                  | 13                                  | 12                                  | 11        | 10                         | 9                                    | 8                                    | 7                                   | 6                                   | 5 | 4 | 3 | 2 | 1 | 0 |
| SDP       | 视频输出8位<br>4:2:2             | YCrCb[7:0]                          |                                     |                                     |                                     |                                     |                                     |                                     |                                     |           |                            |                                      |                                      |                                     |                                     |   |   |   |   |   |   |
| SDP       | 视频输出10位<br>4:2:2            | YCrCb[9:0]                          |                                     |                                     |                                     |                                     |                                     |                                     |                                     |           |                            |                                      |                                      |                                     |                                     |   |   |   |   |   |   |
| SDP       | 视频输出16位<br>4:2:2            | Y[7:0]                              |                                     |                                     |                                     |                                     |                                     |                                     |                                     | CrCb[7:0] |                            |                                      |                                      |                                     |                                     |   |   |   |   |   |   |
| SDP       | 视频输出20位<br>4:2:2            | Y[9:0]                              |                                     |                                     |                                     |                                     |                                     |                                     |                                     |           | CrCb[7:0]                  |                                      |                                      |                                     |                                     |   |   |   |   |   |   |
| CP        | 视频输出12位<br>4:4:4<br>RGB DDR | D7 <sup>1</sup><br>B[7] ↑<br>R[3] ↓ | D6 <sup>1</sup><br>B[6] ↑<br>R[2] ↓ | D5 <sup>1</sup><br>B[5] ↑<br>R[1] ↓ | D4 <sup>1</sup><br>B[4] ↑<br>R[0] ↓ | D3 <sup>1</sup><br>B[3] ↑<br>G[7] ↓ | D2 <sup>1</sup><br>B[2] ↑<br>G[6] ↓ | D1 <sup>1</sup><br>B[1] ↑<br>G[5] ↓ | D0 <sup>1</sup><br>B[0] ↑<br>G[4] ↓ |           |                            | D11 <sup>1</sup><br>G[3] ↑<br>R[7] ↓ | D10 <sup>1</sup><br>G[2] ↑<br>R[6] ↓ | D9 <sup>1</sup><br>G[1] ↑<br>R[5] ↓ | D8 <sup>1</sup><br>G[0] ↑<br>R[4] ↓ |   |   |   |   |   |   |
| CP        | 视频输出16位<br>4:2:2            | CHA[7:0](例如, Y[7:0])                |                                     |                                     |                                     |                                     |                                     |                                     |                                     |           |                            | CHB/C[7:0](例如, Cr/Cb[7:0])           |                                      |                                     |                                     |   |   |   |   |   |   |
| CP        | 视频输出20位<br>4:2:2            | CHA[9:0](例如, Y[9:0])                |                                     |                                     |                                     |                                     |                                     |                                     |                                     |           | CHB/C[9:0](例如, Cr/Cb[9:0]) |                                      |                                      |                                     |                                     |   |   |   |   |   |   |

<sup>1</sup> ↑表示数据在LLC的上升沿提供, ↓表示数据在LLC的下降沿提供。

## 推荐外部环路滤波器元件

ELPF引脚的外部环路滤波器元件应尽可能靠近相应的引脚。图8给出了元件建议值。

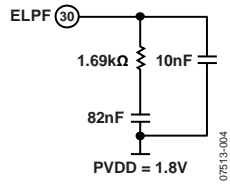


图8. ELPF元件

典型连接图

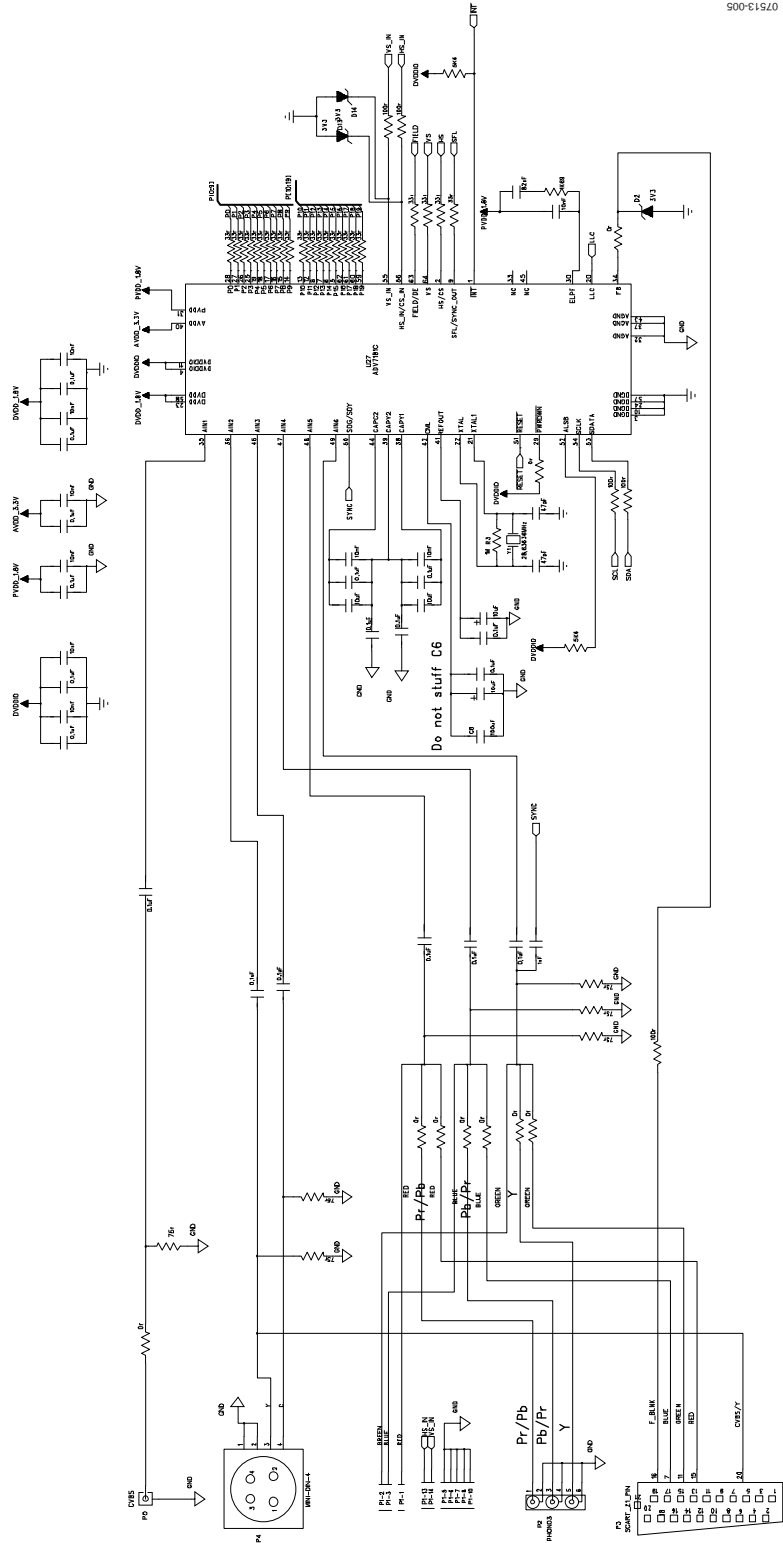
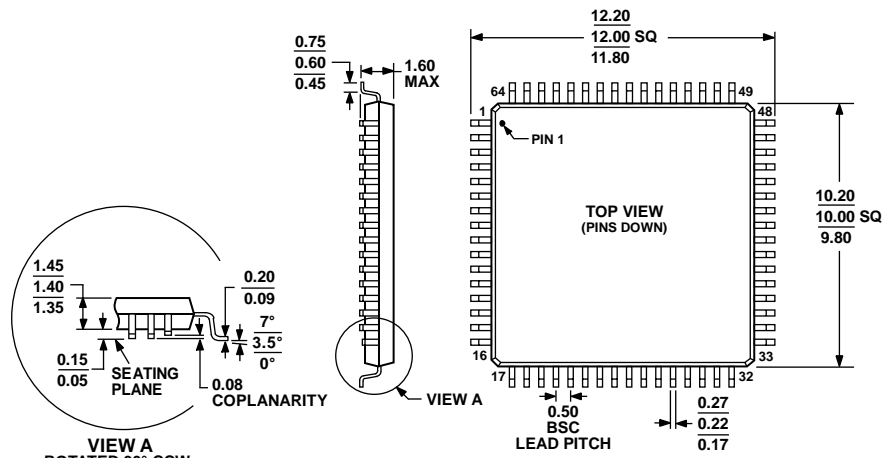


图9. 典型连接

欲获得最新软件配置文件，请访问中文技术论坛视频社区的ADV7181C设计支持文件网页。

# ADV7181C

## 外形尺寸



COMPLIANT TO JEDEC STANDARDS MS-026-BCD

图10. 64引脚薄型四方扁平封装[LQFP]  
(ST-64-2)

尺寸单位: mm

051706-A

### 订购指南

| 型号 <sup>1,2</sup>  | 温度范围        | 封装描述      | 封装选项    |
|--------------------|-------------|-----------|---------|
| ADV7181CBSTZ       | -40°C至+85°C | 64引脚 LQFP | ST-64-2 |
| ADV7181CBSTZ-REEL  | -40°C至+85°C | 64引脚 LQFP | ST-64-2 |
| ADV7181CWBSTZ      | -40°C至+85°C | 64引脚 LQFP | ST-64-2 |
| ADV7181CWBSTZ-REEL | -40°C至+85°C | 64引脚 LQFP | ST-64-2 |
| EVAL-ADV7181CLQEBZ |             | LQFP评估板   |         |

<sup>1</sup> Z = 符合RoHS标准的器件。

<sup>2</sup> W = 通过汽车应用认证。

### 汽车应用级产品

ADV7181CW生产工艺受到严格控制，以提供满足汽车应用的质量和可靠性要求。请注意，车用型号的技术规格可能不同于商用型号；因此，设计人员应仔细阅读本数据手册的技术规格部分。只有显示为汽车应用级的产品才能用于汽车应用。欲了解特定产品的订购信息并获得这些型号的汽车可靠性报告，请联系当地ADI客户代表。

<sup>1</sup>I<sup>2</sup>C指最初由Philips Semiconductors(现为NXP Semiconductors)开发的一种通信协议。

## X-ON Electronics

Largest Supplier of Electrical and Electronic Components

*Click to view similar products for [Video ICs category](#):*

*Click to view products by [Analog Devices manufacturer](#):*

Other Similar products are found below :

[TW2964-LA2-CR](#) [TW6816-LA1-GR](#) [PI3HDX414FCEEX](#) [PI3HDX511DZLEX](#) [PI3HDX511EZLSEX](#) [TW8847-LA1-CE](#) [EL1881CS](#)  
[TVP5146M2IPFPR](#) [TW2809-BC1-GR](#) [TW2816-TA1-GR](#) [TW2826-LA2-CR](#) [TW2880P-BC2-GR](#) [TW2960-LA1-CR](#) [TW6802B-LA2-GR](#)  
[TW6815-LA1-GR](#) [TW9903-MBS](#) [ADV7181CWBSTZ-REEL](#) [ADV7533BCBZ-RL7](#) [BH76812FVM-TR](#) [TW9910-NB2-GR](#)  
[ADV7181DBCPZ-RL](#) [TVP5151PBSR](#) [BA7603F-E2](#) [BA7606FS-E2](#) [BA7626F-E2](#) [BH76112HFV-TR](#) [BH76361FV-E2](#) [BH76362FV-E2](#)  
[TVP5154APNPR](#) [GS2970AIBTE3](#) [SII163BCTG100](#) [ADV7280AWBCPZ-RL](#) [ADV7391BCPZ-REEL](#) [NJM2575F1-TE1](#) [LMH1297RTVT](#)  
[GS12281-INE3](#) [TVP5151IZQC](#) [CYV15G0203TB-BGXC](#) [MU82645DES S LM6B](#) [BH76106HFV-TR](#) [BH76206HFV-TR](#) [ADV7535BCBZ-RL7](#) [ADV7611BSWZ-P-RL](#) [ADV7181CWBSTZ](#) [ADV7341BSTZ](#) [ADV7180BSTZ](#) [ADV7180BSTZ-REEL](#) [ADV7282WBCPZ](#)  
[ADV7182WBCPZ](#) [ADV7282WBCPZ-M](#)