

CLM320VC5402定点数字信号处理器

- 先进的多总线体系结构，有三条独立的16位数据存储总线 and 一条程序存储总线
- 40位算术逻辑单元(ALU)，包括一个40位桶式移位器和两个独立的40位累加器
- 17×17位并行乘法器与40位专用加法器耦合，用于非流水线的单周期乘积/累加(MAC)操作
- 比较、选择和存储单元(CSSU)，用于Viterbi操作符的累加/比较选择
- 在一个循环周期中，指数编码器用来计算一个40位累加器的指数值
- 两个地址产生器，其带有八个辅助寄存器和两个辅助寄存器算术单元(ARAUs)
- 具有总线保持功能的数据总线
- 具有1M×16位最大可寻址外部程序空间的扩展寻址模式
- 4K × 16位片上ROM (只读存储器)
- 16K × 16位双址片上RAM (随机存储器)
- 单指令重复和块重复操作程序代码
- 块内存移动指令，用于高效的编程和数据管理
- 带有32位长的字操作数的指令
- 具有2/3操作数读取的指令
- 具有并行存储和并行加载的算术指令
- 条件存储指令
- 中断快速返回
- 片上外设
 - 软件编程等待状态发生器和可编程组切换
 - 带有内部振荡器或外部时钟源的片上锁相环 (PLL) 时钟发生器
 - 两个多通道缓冲串行端口 (McBSP)
 - 增强型8位并行主机端口接口 (HPI8)
 - 两个16位定时器
 - 六通道直接存储器访问 (DMA) 控制器
- 具有掉电模式的IDLE1，IDLE2和IDLE3指令对功耗进行控制
- CLKOUT关闭控制以禁用CLKOUT
- 基于片上扫描的仿真逻辑，IEEE Std 1149.1† (JTAG) 边界扫描逻辑
- 适用于3.3V电源 (1.8V内核) 的10ns单周期定点指令执行时间 (100MIPS)
- 适用于144引脚塑料薄型四方扁平包装 (LQFP) (PGE后缀) 和144引脚球栅阵列 (BGA) (GGU后缀)

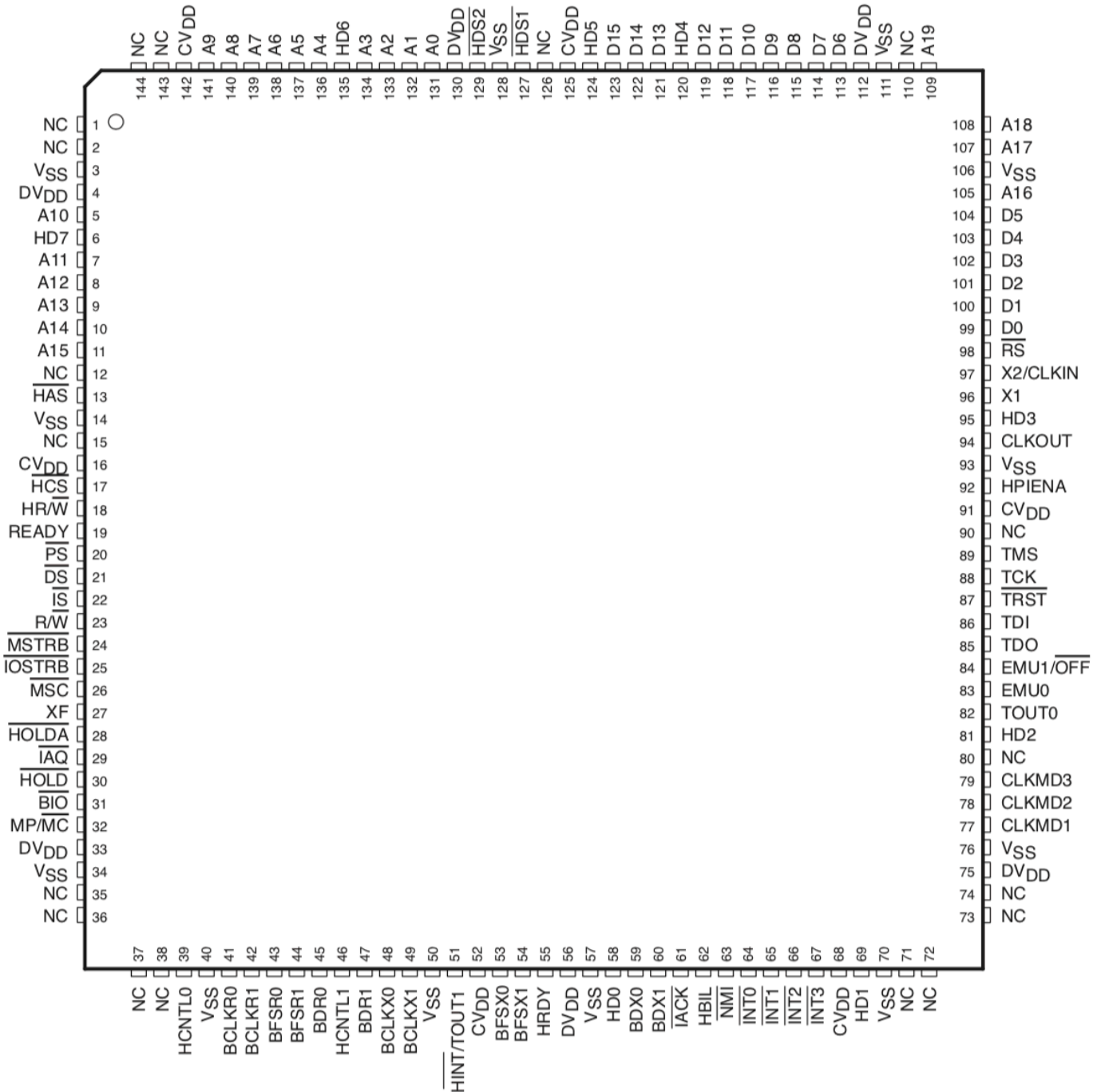
概述

CLM320VC5402定点数字信号处理器 (DSP) (以下称为5402, 除非另有说明) 基于改进的Harvard结构, 该结构具有一个程序存储总线和三个数据存储总线。该处理器提供了一个具有高度并行性的算术逻辑单元 (ALU)、专用硬件逻辑、片上存储器以及其他片上外围器件。该DSP具有的操作灵活性和高速的技术基础是它具有高度专业化的指令集。

单独程序编程和数据空间允许同时访问程序指令和数据, 从而提供高度的并行性。可以在一个周期内执行两次读取操作和一次写入操作。具有并行存储和特定应用的指令可以充分利用此体系结构。另外, 可以在数据和程序之间进行数据的传输。这种并行性支持在单个机器周期 (计算机的工作周期) 内执行强大的算术、逻辑和位处理操作。另外, 5402包括用于管理中断、重复操作和函数调用的控制机制。

概述 (续)

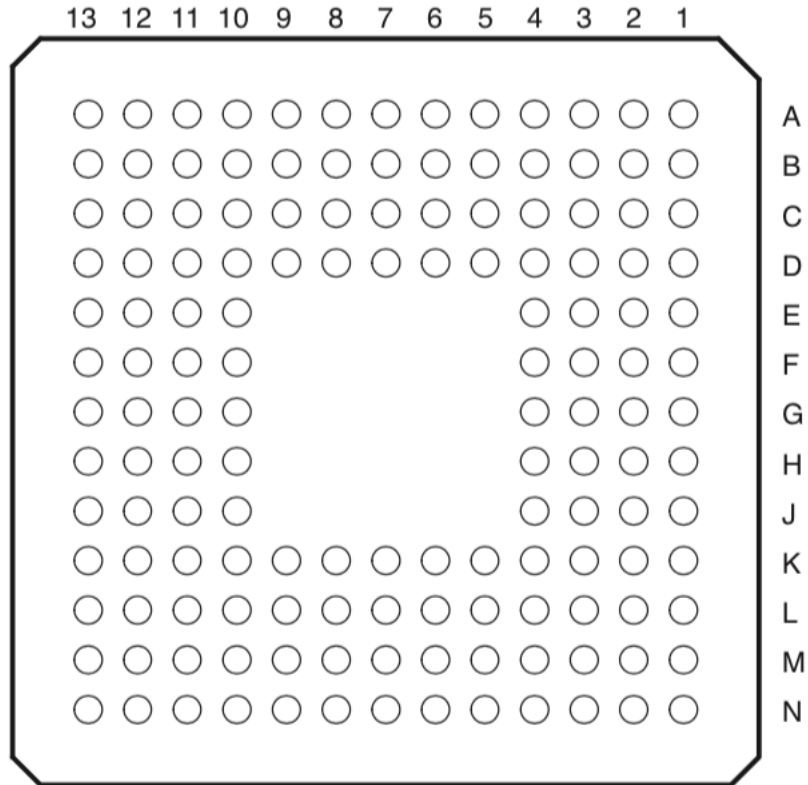
CLM320VC5402 PGE封装†
(俯视图)



CLM320VC5402PGE (144引脚LQFP) 封装与'LC548 , 'LC/VC549和'VC5410器件的针脚相兼容。

概述 (续)

CLM320VC5402 GGU封装
(仰视图)



后面的引脚分配表列出了CLM320VC5402GGU (144引脚BGA) 封装的每个信号象限和BGA球号，该封装与'LC548和'LC/VC549器件引脚相兼容。

CLM320VC5402GGU (144引脚BGA) 封装的引脚分配†

信号名	BGA球 #	信号名	BGA球 #	信号名	BGA球 #	信号名	BGA球 #
NC	A1	NC	N13	NC	N1	A19	A13
NC	B1	NC	M13	NC	N2	NC	A12
VSS	C2	DV _{DD}	L12	HCNTL0	M3	VSS	B11
DV _{DD}	C1	VSS	L13	VSS	N3	DV _{DD}	A11
A10	D4	CLKMD1	K10	BCLKR0	K4	D6	D10
HD7	D3	CLKMD2	K11	BCLKR1	L4	D7	C10
A11	D2	CLKMD3	K12	BFSR0	M4	D8	B10
A12	D1	NC	K13	BFSR1	N4	D9	A10
A13	E4	HD2	J10	BDR0	K5	D10	D9
A14	E3	TOUT0	J11	HCNTL1	L5	D11	C9
A15	E2	EMU0	J12	BDR1	M5	D12	B9
NC	E1	EMU1/OFF	J13	BCLKX0	N5	HD4	A9
HAS	F4	TDO	H10	BCLKX1	K6	D13	D8
VSS	F3	TDI	H11	VSS	L6	D14	C8
NC	F2	TRST	H12	HINT/TOUT1	M6	D15	B8
CV _{DD}	F1	TCK	H13	CV _{DD}	N6	HD5	A8
HCS	G2	TMS	G12	BFSX0	M7	CV _{DD}	B7
HR/W	G1	NC	G13	BFSX1	N7	NC	A7
READY	G3	CV _{DD}	G11	HRDY	L7	HDS1	C7
PS	G4	HPIENA	G10	DV _{DD}	K7	VSS	D7
DS	H1	VSS	F13	VSS	N8	HDS2	A6
IS	H2	CLKOUT	F12	HD0	M8	DV _{DD}	B6
R/W	H3	HD3	F11	BDX0	L8	A0	C6
MSTRB	H4	X1	F10	BDX1	K8	A1	D6
IOSTRB	J1	X2/CLKIN	E13	IACK	N9	A2	A5
MSC	J2	RS	E12	HBIL	M9	A3	B5
XF	J3	D0	E11	NMI	L9	HD6	C5
HOLDA	J4	D1	E10	INT0	K9	A4	D5
IAQ	K1	D2	D13	INT1	N10	A5	A4
HOLD	K2	D3	D12	INT2	M10	A6	B4
BIO	K3	D4	D11	INT3	L10	A7	C4
MP/MC	L1	D5	C13	CV _{DD}	N11	A8	A3
DV _{DD}	L2	A16	C12	HD1	M11	A9	B3
VSS	L3	VSS	C11	VSS	L11	CV _{DD}	C3
NC	M1	A17	B13	NC	N12	NC	A2
NC	M2	A18	B12	NC	M12	NC	B2

†DV_{DD}是I/O引脚的电源，而CV_{DD}是核心CPU的电源。V_{SS}是I/O引脚和核心CPU的接地。

端口功能

下表列出了按功能分组的每个信号，功能和操作模式。

端口功能

端口名称	端口类型†	描述
A19(MSB) A18 A17 A16 A15 A14 A13 A12 A11 A10 A9 A8 A7 A6 A5 A4 A3 A2 A1 A0 (LSB)	输出/高阻抗	并行地址总线A19 [最高有效位 (MSB)] 至A0 [最低有效位 (LSB)]。低十六位地址引脚 (A0至A15) 被多路复用以寻址所有外部存储器 (程序、数据) 或I/O, 而高四位地址引脚 (A16至A19) 仅用于寻址外部程序空间。当使能模式被开启或OFF为低电平时, 这些引脚被置于高阻状态。
D15 (MSB) D14 D13 D12 D11 D10 D9 D8 D7 D6 D5 D4 D3 D2 D1 D0 (LSB)	输入/输出/高阻抗	并行数据总线D15 (MSB) 至D0 (LSB)。16个数据引脚 (D0至D15) 被多路复用以在核心CPU和外部数据/程序存储器或I/O器件之间传输数据。当不输出数据RS/HOLD激活时, 数据总线处于高阻状态。当OFF为低时, 数据总线也进入高阻抗状态。 数据总线具有总线保持器, 以减少由未使用的悬空引脚引起的静态功耗。这些总线保持还消除了在未使用的引脚上添加外部偏置电阻的需求。当5402不驱动数据总线时, 总线保持器将引脚保持在先前的逻辑电平。5402上的数据总线保持器在复位时被禁用, 并且可以通过块切换控制寄存器 (BSCR) 的BH位来启用/禁用数据总线保持器。
初始化、中断和重置操作		
IACK	输出/高阻抗	中断确认信号。IACK表示收到中断, 并且程序计数器正在获取由A15-A0指定的中断向量位置。当OFF为低时, IACK也进入高阻抗状态。
INT0 INT1 INT2 INT3	输入	外部用户中断。INT0-INT3具有优先级, 并且可以被中断屏蔽寄存器 (IMR) 和中断模式位屏蔽。INT0-INT3可以通过中断标志寄存器 (IFR) 进行查询和复位。
NMI	输入	不可屏蔽的中断。NMI是无法通过INTM或IMR屏蔽的外部中断。激活NMI后, 处理器将捕获适当的向量位置。

† I = 输入, O = 输出, Z = 高阻抗, S = 电源

‡ 如果在X2/CLKIN引脚上驱动适当的电压电平, 则可以使用外部时钟源对5402的所有版本进行操作。应该注意的是, X2/CLKIN引脚参考的器件是1.8V电源 (CV_{DD}), 而不是3V电源 (DV_{DD})。有关X2/CLKIN引脚的允许电压电平, 请参考本文档的建议工作条件部分。

§ 尽管该引脚包括一个内部下拉电阻, 但仍需要一个470-Ω的外部下拉电阻。如果TRST引脚连接到多个DSP, 则建议使用一个缓冲器以确保满足V_{IL}和V_{IH}规范。

端口功能 (续)

端口名称	端口类型†	描述
初始化, 中断和重置操作 (续)		
RS	输入	复位。RS导致数字信号处理器 (DSP) 终止执行, 并导致CPU和外围设备重新初始化。当RS变为高电平时, 从程序存储器的0FF80h位置开始执行操作。RS影响各寄存器和状态位。
MP/MC	输入	微处理器/微机模式选择。如果在复位期间将该引脚驱动为低电平, 则选择微机模式, 并将内部程序ROM映射到程序存储空间的高4K字中。如果在复位期间将该引脚驱动为高电平, 则选择微处理器模式, 并且将片上ROM从程序空间中删除。该引脚仅在复位时采样, 并且处理器模式状态 (PMST) 寄存器的MP/MC位可以覆盖复位时选择的模式。
多处理信号		
BIO	输入	支控制。当BIO端口被激活时, 一个分支可以被有条件地执行。如果为低电平, 则处理器执行条件指令。对于XC指令, 在流水线的解码阶段对BIO条件进行采样。在流水线的读取阶段, 所有其他指令对进行采样。
XF	输出/高阻抗	外部标志输出 (锁存的软件编程信号)。通过SSBX XF指令将XF设置为高电平, 通过RSBX XF指令或通过加载ST1将XF设置为低电平。XF用于在多处理器配置中向其他处理器发送信号或用作通用输出引脚。XF在OFF为低电平时进入高阻抗状态, 并在复位时被设置为高电平。
存储控制信号		
DS PS IS	输出/高阻抗	数据, 程序和I/O空间选择信号。DS, PS和IS始终为高电平, 除非将其驱动为低电平以访问特定外部存储空间。激活周期对应于有效地址信息。DS, PS和IS在保持模式下进入高阻抗状态; 当OFF为低电平时, 信号也进入高阻抗状态。
MSTRB	输出/高阻抗	内存选通信号。MSTRB始终为高电平, 除非声明为低电平以指示对数据或程序存储器的外部总线进行访问。MSTRB在保持模式下处于高阻抗状态; 当OFF为低电平时, 它也进入高阻抗状态。
READY	输入	数据准备。READY表示外部器件已准备完成总线传输。如果器件尚未就绪 (READY为低电平), 则处理器将等待一个周期, 然后再次检查READY。请注意, 如果已编程至少两个软件等待状态, 则处理器将执行准备检测操作。在完成软件等待状态之前, 不对READY信号进行采样。
R/W	输出/高阻抗	读/写信号。表示与外部器件通信期间的传输方向。通常处于读取模式 (高电平), 除非在DSP执行写入操作时将其声明为低电平。在保持模式下处于高阻抗状态; 当OFF为低电平时, 它也进入高阻抗状态。
IOSTRB	输出/高阻抗	I/O选通信号。IOSTRB始终为高电平, 除非声明为低电平以指示对I/O器件的外部总线访问。IOSTRB在保持模式下处于高阻抗状态; 当OFF为低电平时, 它也进入高阻抗状态。
HOLD	输入	保持。激活 (HOLD) 以请求控制地址、数据和控制线。当'C54x确认时, 这些线路进入高阻抗状态。
HOLDA	输出/高阻抗	保持确认。HOLDA表示5402处于保持状态, 并且地址、数据和控制线处于高阻抗状态, 从而允许其他器件访问外部存储器接口。当OFF为低电平时, HOLDA也进入高阻抗状态。

标注内容同上一页所述

端口功能 (续)

端口名称	端口类型 [†]	描述
内存控制信号 (续)		
MSC	输出/高阻抗	微状态完成。MSC指示所有软件等待状态的完成。当开启两个或多个软件等待状态时，MSC引脚在第一个软件等待状态的开始处被激活，并在最后一个软件等待状态的开始处变为无效高电平。如果连接到READY输入端口，则MSC在最后一个内部等待状态完成后会强制一个外部等待状态做出改变。当OFF为低电平时，MSC也进入高阻状态。
IAQ	输出/高阻抗	指令获取信号。当地址总线上有指令地址时，IAQ被置为有效状态（低电平有效）。当OFF为低电平时，IAQ进入高阻抗状态。
振荡器/定时器信号		
CLKOUT	输出/高阻抗	主时钟输出信号。CLKOUT按照CPU的机器周期来循环工作。内部机器周期受该信号的上升沿限制。当OFF为低电平时，CLKOUT进入高阻状态。
CLKMD1 CLKMD2 CLKMD3	输入	时钟模式选择信号。这些输入信号选择时钟发生器复位后被初始化的模式。当复位引脚为低电平时，CLKMD1-CLKMD3的逻辑电平被锁存，并且时钟模式寄存器被初始化为所选模式。复位后，可以通过软件更改时钟模式，但是时钟模式选择信号在器件被再次复位之前不起作用。当OFF为低电平时，进入高阻抗状态。
X2/CLKIN	输入	振荡器输入。这是片上振荡器的输入。如果不使用内部振荡器，则X2/CLKIN用作时钟输入，并且可以由外部时钟源来驱动。
X1	输出	内部振荡器晶振的输出引脚。如果不使用内部振荡器，则X1应该保持未连接状态。为低电平时，X1不会进入高阻抗状态。 [‡]
TOUT0	输出/高阻抗	Timer0输出。当片上定时器0倒数到零时，TOUT0发出脉冲信号。脉冲宽度为CLKOUT周期宽度。当OFF为低电平时，TOUT0也进入高阻状态。
TOUT1	输出/高阻抗	Timer1输出。当片上定时器1倒数到零时，TOUT1发出脉冲信号。脉冲宽度为一个CLKOUT周期宽度。TOUT1输出与HPI的HINT引脚复用，并且仅在禁用HPI时可用。当OFF为低电平时，TOUT1也进入高阻状态。
多通道缓冲串行端口信号		
BCLKR0 BCLKR1	输入/输出/ 高阻抗	接收时钟输入。BCLKR可以配置为输入或输出。复位后将其配置为输入。BCLKR可服务于缓冲串行端口接收器的串行移位时钟。
BDR0 BDR1	输入	串行数据接收输入
BFSR0 BFSR1	输入/输出/ 高阻抗	接收输入的帧同步脉冲。BFSR可配置为输入或输出。复位后将其配置为输入。BFSR脉冲通过BDR开启数据接收处理操作。
BCLKX0 BCLKX1	输入/输出/ 高阻抗	发送时钟。BCLKX用作McBSP发送器的串行移位时钟。BCLKX可配置为输入或输出。复位后将其配置为输入。当OFF变为低电平时，BCLKX进入高阻状态。
BDX0 BDX1	输出/高阻抗	串行数据发送输出。当不处于发送状态，或声明RS/OFF为低电平时，BDX处于高阻抗状态。
BFSX0 BFSX1	输入/输出/ 高阻抗	用于发送输入/输出的帧同步脉冲。BFSX脉冲开启数据发送过程。BFSX可配置为输入或输出；复位后将其配置为输入。当OFF为低电平时，BFSX进入高阻抗状态。
冗杂信号		
NC	未连接	

标注内容同上一页所述

端口功能 (续)

端口名称	端口类型†	描述
上位机端口接口信号		
HD0-HD7	输入/输出/ 高阻抗	并行双向数据总线。上位机总线使用HPI数据总线与HPI寄存器交换信息。这些引脚也可以用作通用I/O引脚。当不输出数据或OFF为低电平时，HD0-HD7处于高阻抗状态。HPI数据总线包括总线保持器，以减少由未使用的悬空引脚引起的静态功耗。当5402不驱动HPI数据总线时，总线保持器将引脚保持在先前的逻辑电平。HPI数据总线保持器在复位时被禁用，并且可以通过BSCR的HBH位来开启/关闭。
HCNTL0 HCNTL1	输入	控制。HCNTL0和HCNTL1选择对三个HPI寄存器之一的上位机进行访问。控制输入具有内部上拉电阻，仅当HPIENA = 0时才被开启。
HBIL	输入	字节标识。HBIL标识传输的第一个或第二个字节。HBIL输入具有内部上拉电阻，仅当HPIENA = 0时才被开启。
HCS	输入	片选。HCS是HPI的选择输入，在访问期间必须将其驱动为低电平。片选输入具有内部上拉电阻，仅当HPIENA = 0时才被开启。
HDS1 HDS2	输入	数据选通。HDS1和HDS2由上位机读写选通驱动，以控制数据传输。选通输入具有内部上拉电阻，仅当HPIENA = 0时才被开启。
HAS	输入	地址选通。具有多路复用地址和数据引脚的上位机要求HAS将地址锁存在HPIA寄存器中。HAS具有内部上拉电阻，仅当HPIENA = 0时才被开启。
HR/W	输入	读/写。HR/W控制HPI传输的方向。HR/W具有内部上拉电阻，仅当HPIENA = 0时才启用。
HRDY	输出/高阻抗	准备。当HPI准备进行下一次传输时，准备输出通知上位机。当OFF为低电平时，HRDY进入高阻抗状态。
HINT	输出/高阻抗	上位机中断。该输出用于中断上位机。当DSP复位时，HINT被驱动为高电平。当关断HPI时，也可以将HINT配置为定时器1输出(TOUT1)。当OFF为低电平时，信号进入高阻抗状态。
HPIENA	输入	HPI模块选择。复位期间必须将HPIENA驱动为高电平，以开启HPI。内部下拉电阻始终处于激活状态，并且HPIENA引脚在的上升沿采样。如果HPIENA在复位期间保持开启状态或被驱动为低电平，则HPI模块将被禁用。一旦禁用了HPI，HPIENA引脚将无效，直到5402被复位。
电源引脚		
CV _{DD}	电源	+ V _{DD} 。核心CPU的专用1.8V电源
DV _{DD}	电源	+ V _{DD} 。I/O引脚专用的3.3V电源
V _{SS}	电源	地
测试引脚		
TCK	输入	IEEE标准1149.1测试时钟。TCK通常是占空比为50%的自运行时钟信号。输入信号TMS和TDI的测试访问端口(TAP)上的更改在TCK的上升沿被存入TAP控制器、指令寄存器或选定的测试数据寄存器。TAP输出信号(TDO)的变化发生在TCK的下降沿。
TDI	输入	具有内部上拉器件的IEEE标准1149.1测试数据输入引脚。TDI在TCK的上升沿输入选定的寄存器(指令或数据)。
TDO	输出/高阻抗	IEEE标准1149.1测试数据输出。所选寄存器的内容(指令或数据)在TCK的下降沿移出TDO。除了正在进行数据扫描时，TDO处于高阻抗状态。当OFF为低电平时，TDO也进入高阻状态。
TMS	输入	IEEE标准1149.1测试模式选择。带有内部上拉器件的引脚。该串行控制输入在TCK的上升沿输入TAP控制器。

标注内容同上一页所述

端口功能 (续)

端口名称	端口类型†	描述
上位机端口接口信号		
TRST §	输入	IEEE标准1149.1测试重置。TRST为高电平时，将使IEEE标准1149.1扫描系统控制器件的操作。如果将TRST驱动为低电平，则器件将以其功能模式工作，而IEEE标准1149.1信号将被忽略。带有内部下拉器件的引脚。
EMU0	输入/输出/ 高阻抗	仿真器0引脚。当TRST被驱动为低电平时，EMU0必须为高电平以激活OFF条件。当TRST被驱动为高电平时，EMU0被用作进入或来自仿真器系统的中断，并通过IEEE标准1149.1扫描系统定义为输入/输出。
EMU1/OFF	输入/输出/ 高阻抗	仿真器1引脚/禁用所有输出。当TRST被驱动为高电平时，EMU1/OFF被用作进入或来自仿真器系统的中断，并通过IEEE标准1149.1扫描系统定义为输入/输出。当TRST被驱动为低电平时，EMU1/OFF被配置为OFF。EMU1/OFF信号为低电平有效时，会将所有输出驱动器置于高阻抗状态。请注意，OFF仅用于测试和仿真（不适用于多处理应用程序）。OFF功能通过以下引脚组合选择： TRST=低电平 EMU0 =高电平 EMU1/OFF=低电平

* † I = 输入，O = 输出，Z = 高阻抗，S = 电源

‡ 如果在X2/CLKIN引脚上驱动适当的电压电平，则可以使用外部时钟源对5402的所有版本进行操作。应该注意的是，X2/CLKIN引脚参考的器件是1.8V电源（CVDD），而不是3V电源（DVDD）。有关X2/CLKIN引脚的允许电压电平，请参考本文档的建议工作条件部分。

§ 尽管该引脚包括一个内部下拉电阻，但仍需要一个470-Ω的外部下拉电阻。如果TRST引脚连接到多个DSP，则建议使用一个缓冲器以确保满足VIL和VIH规范。

存储器

5402器件同时提供片上ROM和RAM存储器，以帮助提高系统性能和集成度。

带有引导程序的片上ROM

5402具有一个4K字×16位片上可屏蔽ROM。客户可以将5402 ROM的独有编程内容使用到任何特定的应用中。安全选项可用于保护自定义ROM。TMS320C54x DSP CPU and Peripherals Reference Set, Volume 1 (编号SPRU131) 描述了此安全选项。请注意，5402上仅提供ROM安全选项，而不提供ROM/RAM选项。

标准5402片上ROM中提供了引导加载程序。该引导加载程序可用于在加电时将用户代码从外部源自动传输到程序存储器中的任何位置。如果在硬件复位期间将引脚采样为低电平，则从片上ROM的位置FF80h开始执行操作。该位置包含了引导加载程序开始的分支指令。标准的5402引导程序提供了不同的方式来下载代码以适应各种系统要求：

- 并行于8位或16位宽的EPROM
- 与I/O空间8位或16位模式并行
- 从8位或16位串行端口进行串行引导
- 上位机端口接口启动

表1显示了标准的片上ROM布局。

表1.标准片上ROM布局†

地址范围	描述
F000h - F7FFh	已预留
F800h - FBFFh	引导程序
FC00h - FCFFh	μ律扩展表
FD00h - FDFFh	A律扩展表
FE00h - FEFFh	正弦查询表
FF00h - FF7Fh	已预留
FF80h - FFFFh	中断向量表

†在VC5402 ROM中，128个字被预留以用于出厂测试。片内ROM中执行的应用代码必须在程序空间的地址FF00h-FF7Fh中保留这128个字。

片上RAM

5402器件包含16K×16位片上双访问RAM (DARAM)。DARAM由两个8K字的块组成。DARAM中的每个块在一个周期内支持两次读取，或在一个周期内支持一次读取和一次写入。DARAM位于地址范围为0060h-3FFFh的数据空间中，并且可通过将OVLY位置1来将其映射到程序/数据空间。

存储图

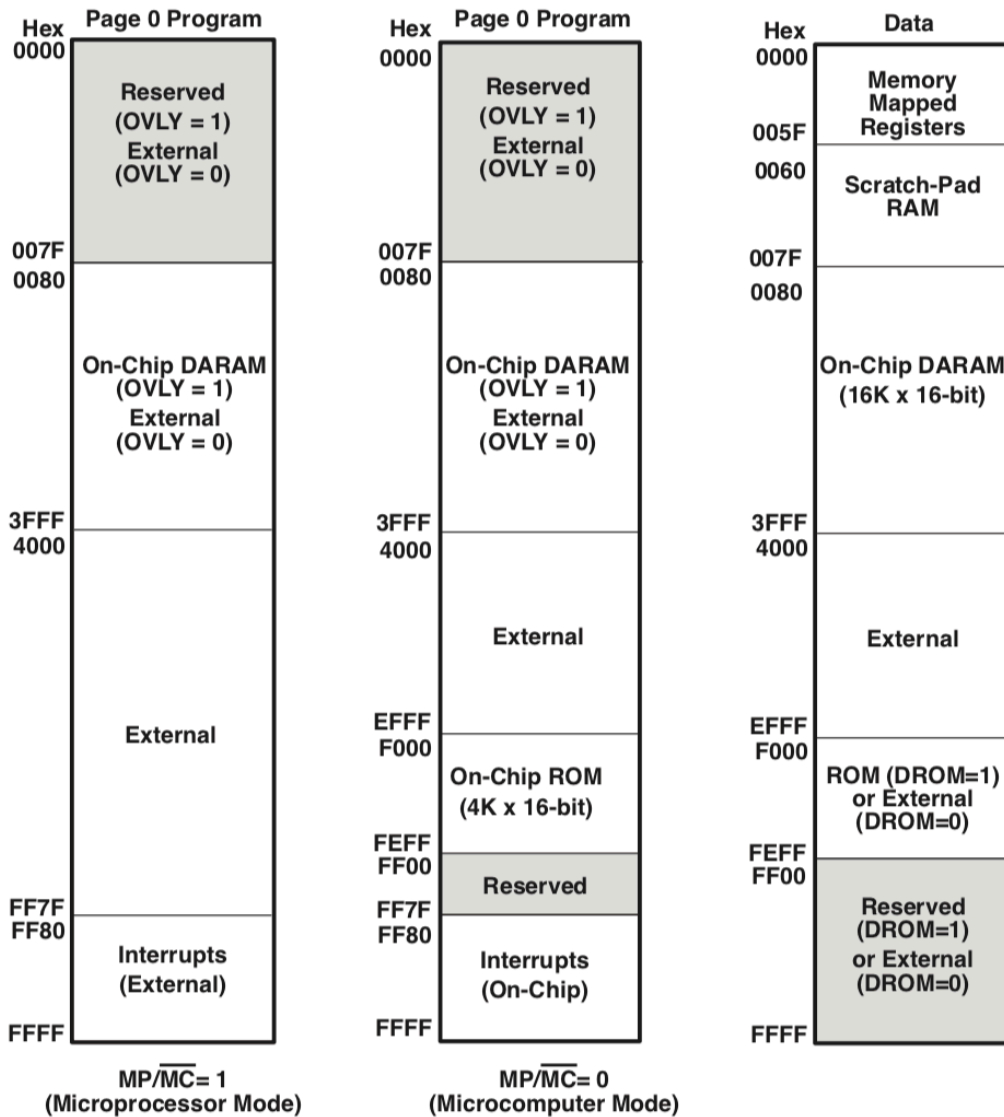


图1.存储映射图

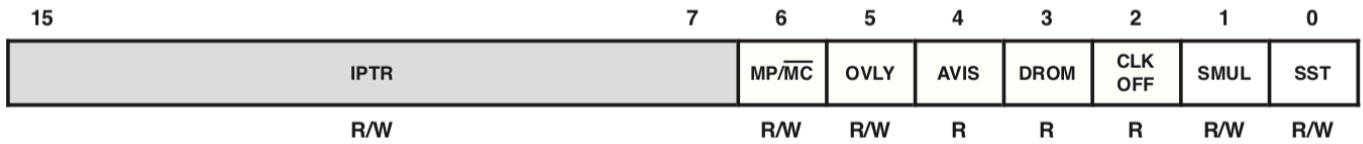
可重定位的中断向量表

复位、中断和陷阱向量在程序空间中寻址。这些向量是软件代码，意味着处理器在捕获陷阱向量时，将陷阱向量地址加载到程序计数器（PC）中，并在向量位置执行代码。每个向量位置保留四个字，以容纳延迟的分支指令（两个1字指令或一个2字指令），从而允许以最小的冗余跳转到适当的中断服务程序。

器件复位时，复位、中断和陷阱向量将被映射到程序空间中的地址FF80h中。但是，在器件复位后，可以将这些向量重新映射到程序空间中任何128字页的开头。这是通过将适当的128字页边界地址装入PMST寄存器中的中断向量指针（IPTR）位（见图2）来完成的。加载IPTR之后，任何中断或陷阱向量都将映射到新的128字页。

注意：硬件重置（RS）向量无法重新映射，因为硬件重置将用1s来加载IPTR。因此，复位向量总是在程序空间中的FF80h处获取。

可重定位的中断向量表 (续)



说明：R = 读，W = 写

图2.处理器模式状态 (PMST) 寄存器

扩展程序存储器

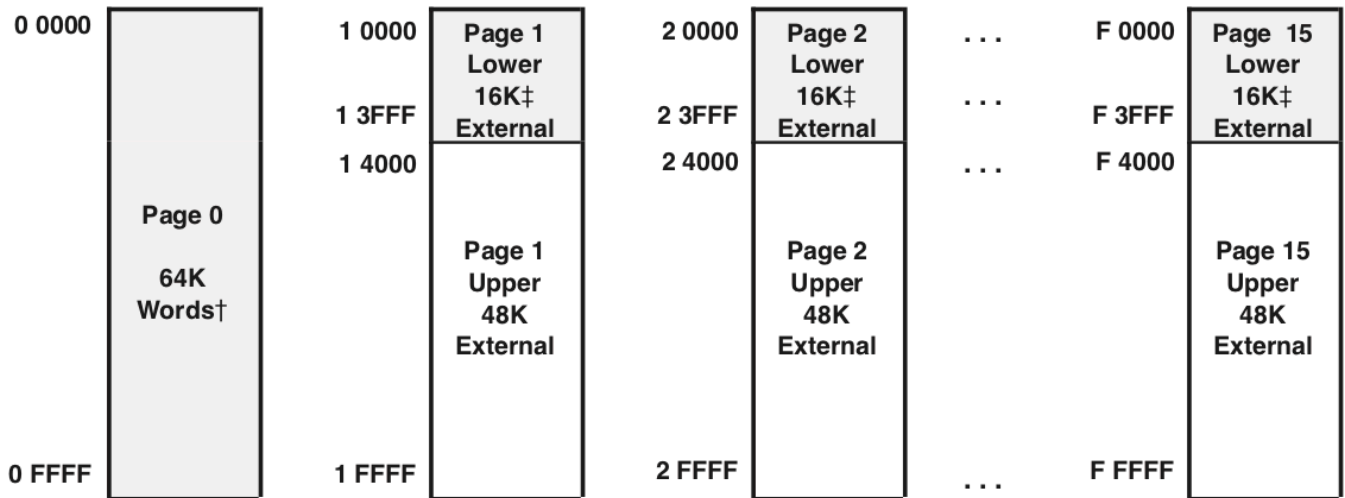
5402在程序空间中使用分页扩展存储方案，以允许访问多达1024K的程序存储位置。为了实施此方案，5402涵盖了548/549器件上具有的以下几个功能：

- 20条地址线，而不是16条
- 一个额外的内存映射寄存器，XPC寄存器，定义了页选择功能。该寄存器被内存映射到地址为001Eh的数据空间里。当硬件重置时，XPC初始化为0。
- 有关扩展程序空间的六个额外说明。这六个指令会影响XPC。
 - FB[D] pmad (20位) -远端分支
 - FBACC [D] Accu [19 : 0]-分支到累加器A或累加器B中的值指定的位置
 - FCALL [D] pmad (20位) -远距调用
 - FCALA [D] Accu [19 : 0]-远调到由累加器A或累加器B的值指定的位置
 - FRET [D]-远程返回
 - FRETE [D]-允许中断的远距离返回
- 除了这些新指令之外，5402中的两条54x指令已扩展为使用20位：
 - READA data_memory (20位累加器地址)
 - WRITA data_memory (20位累加器地址)

所有其他指令、软件中断和硬件中断都不会修改XPC寄存器，并且仅访问当前页内的存储器。

5402中的程序存储器分为16个页，每个页的长度为64K，如图3所示。

扩展程序存储器 (续)



† 见图1

‡ 仅当OVLY位清零时，页1至15的低16K字才可用。如果OVLY位设置为1，则片上RAM映射到所有程序空间页的低16K字。

图3.扩展程序存储器

片上外设

5402器件具有以下外围设备：

- 具有可编程组切换等待状态的软件可编程等待状态发生器
- 增强的8位上位机端口接口 (HPI8)
- 两个多通道缓冲串行端口 (McBSP)
- 两个硬件计时器
- 具有锁相环 (PLL) 的时钟发生器
- 直接内存访问 (DMA) 控制器

软件可编程等待状态发生器

5402的软件等待状态发生器可以将外部总线周期延长到最多十四个机器周期。可以使用硬件READY线连接需要十四个以上等待状态的设备。当所有外部访问均配置为零等待状态时，等待状态发生器的内部时钟将自动禁用。禁用等待状态发生器时钟可减少5402的功耗。

软件等待状态寄存器 (SWWSR) 控制等待状态发生器的操作。SWWSR的14个LSB明确的等待状态数 (0至7) 被嵌入以供外部存储器访问五个不同的地址范围。对于五个地址范围中的每一个，允许不同数量的等待状态。此外，软件等待状态控制寄存器 (SWCR) 的软件等待状态乘法器 (SWSM) 位为等待状态的数量定义了1或2的乘数。复位时，等待状态发生器被初始化为所有外部存储器访问提供七个等待状态。SWWSR位字段如图4所示，并在表2中进行了描述。

15	14	12	11	9	8	6	5	3	2	0
XPA	I/O	Data	Data	Program	Program					
R/W-0	R/W-111	R/W-111	R/W-111	R/W-111	R/W-111					

说明：R = 读取，W = 写入，0 = 复位后的值

图4.软件等待状态寄存器 (SWWSR [内存映射寄存器 (MMR) 地址0028h]

软件可编程的等待状态发生器 (续)

表2.软件等待状态寄存器 (SWWSR) 位字段

位		复位值	功能
序号	名称		
15	XPA	0	扩展程序地址控制位。XPA与程序空间字段 (位0到5) 结合使用, 以选择程序空间等待状态的地址范围。
14-12	I/O	1	I/O空间。字段值 (0-7) 对应于I/O空间访问地址0000-FFFFh的等待状态的基数。SWCR的SWSM位为等待状态的基数定义了1或2的乘数。
11-9	Data	1	高位数据空间。字段值 (0-7) 对应于外部数据空间访问地址8000-FFFFh的等待状态的基数。SWCR的SWSM位为等待状态的基数定义了1或2的乘数。
8-6	Data	1	低位数据空间。字段值 (0-7) 对应于外部数据空间访问地址0000-7FFFh的等待状态的基数。SWCR的SWSM位为等待状态的基数定义了1或2的乘数。
5-3	Program	1	高位程序空间。字段值 (0-7) 对应于以下地址内外部程序空间访问的等待状态基数： XPA = 0 : x8000 - xFFFFh XPA = 1 : 高位程序空间位字段对等待状态没有影响。 SWCR的SWSM位为等待状态的基数定义了1或2的乘数。
2-0	Program	1	程序空间。字段值 (0-7) 对应于以下地址内外部程序空间访问的等待状态基数： XPA = 0 : x0000-x7FFFh XPA = 1 : 00000-FFFFFh SWCR的SWSM位为等待状态的基数定义了1或2的乘数。

软件等待状态控制寄存器 (SWCR) 的软件等待状态乘法器位被用于扩展SWWSR选择的等待状态基数。SWCR位字段如图5所示, 并在表3中进行了描述。



说明：R = 读取，W = 写入

图5.软件等待状态控制寄存器 (SWCR) [MMR地址002Bh]

表3.软件等待状态控制寄存器 (SWCR) 位字段

引脚		复位值	功能
序号	名称		
15-1	Reservd	0	这些位保留, 不受写影响。
0	SWSM	0	软件等待状态倍增器。用于将SWWSR中定义的等待状态数乘以1或2。 SWSM = 0 : 等待状态基值不变 (乘以1)。 SWSM = 1 : 等待状态基值乘以2, 最多14个等待状态。

可编程存储库切换等待状态

5402的可编程存储库切换逻辑在功能上等同于548/549器件。当访问跨越程序或数据存储空间的存储块边界时，此功能将会自动插入一个循环。当访问跨越数据空间边界进入程序空间时，也可以自动插入存储库切换等待状态。

存储库切换控制寄存器 (BSCR) 定义了存储库切换等待状态的库大小。图6显示了BSCR并且在表4中对其位进行了描述。

15	12	11	10	3	2	1	0
BNKCMP	PS-DS	Reserved			HBH	BH	EXIO
R/W-1111	R/W-1	R-0			R/W-0	R/W-0	R/W-0

说明：R = 读取，W = 写入

图6. BSCR，MMR地址0029h

表4. BSCR字段

位		复位值	功能
序号	名称		
15-12	BNKCMP	1111	库比较。确定外部存储库大小。BNKCMP用于屏蔽地址的四个MSB。例如，如果BNKCMP = 1111b，则比较四个MSB（位12-15），从而使存储库大小为4K个字。允许存储库大小为4K到64K个字。
11	PS-DS	1	程序读取-数据读取访问。在连续读取程序和读取数据，或读取数据和读取程序之间插入一个额外的循环。 PS-DS = 0 此功能不会插入额外的循环。 PS-DS = 1 在连续的数据和程序读取之间插入了一个额外的周期。
10-3	Reserved	0	这些位保留，不受写影响。
2	HBH	0	HPI总线保持器。控制HPI总线保持器功能。复位时，HBH清零。 HBH = 0总线保持器被禁用。 HBH = 1开启总线保持器。未驱动时，HPI数据总线（HD [7:0]）保持先前的逻辑电平。
1	BH	0	总线保持器。控制数据总线保持器功能。复位时，BH清零。 BH = 0总线保持器被禁用。 BH = 1开启保持器。不驱动时，数据总线（D [15:0]）保持先前的逻辑电平。
0	EXIO	0	外部总线接口关闭。EXIO位控制外部总线关闭功能。 EXIO = 0 外部总线接口正常运行。 EXIO = 1 在完成当前总线周期后，地址总线，数据总线和控制信号变为无效。请注意，禁用接口后，无法修改PMST中的DROM，MP/MC和OVLY位以及ST1的HM位。

并行I/O端口

5402总共有64K的 I/O端口。这些端口可以通过PORTR指令或PORTW指令寻址。IS信号表示通过I/O端口进行的读/写操作。5402可以通过I/O端口轻松与外部设备连接，但是仅需要最少片外地址解码电路。

增强型8位上位机端口接口

5402上位机端口接口，也称为HPI8，是在早期54x DSP (542、545、548和549) 上的标准8位HPI的增强版本。HPI8是用于处理器之间进行通信的8位并行端口。HPI8的功能包括：

标准功能：

- 顺序传输（具有自动增量）或随机访问传输
- 上位机中断和54x中断功能
- 多个数据选通和控制引脚以确保接口的灵活性

5402 HPI8的增强功能：

- 通过DMA总线访问整个片上RAM
- 在仿真停止期间继续传输的能力

HPI8可作为从机来使用，并可以使上位机处理器能够访问5402的片上存储器。与以前的版本相比，5402 HPI的主要增强功能是它允许上位机访问DSP的整个片上存储器。HPI8内存映射与图7所示的DMA控制器相同。上位机和DSP始终可以访问片上RAM，并且上位机的访问始终与DSP时钟同步。如果上位机和DSP争用同一访问位置，则上位机具有优先级，DSP需等待一个HPI8周期。请注意，由于上位机访问始终与5402时钟同步，因此在空闲状态下，HPI8访问需要一个有效的输入时钟（CLKIN），并且当5402复位引脚置为有效时，不允许上位机进行访问。

HPI8接口由一个8位双向数据总线和各种控制信号组成。16位的传输分为两部分，其中HBIL输入指定高字节或低字节。上位机通过三个专用寄存器-HPI地址寄存器（HPIA）、HPI数据寄存器（HPID）和HPI控制寄存器（HPIC）与HPI8进行通信。HPIA和HPID寄存器仅可由上位机访问，而HPIC寄存器可由上位机和5402访问。

多通道缓冲串行端口

5402器件包括两个高速，全双工多通道缓冲串行端口（McBSP），这些端口可直接连接至系统中的‘C54x/’ LC54x器件、编/解码器和其他器件。McBSP是基于其他54x器件上的标准串行端口接口改进的。与以前的版本相类似，McBSP提供：

- 全双工通讯
- 双缓冲数据寄存器，允许连续的数据流
- 独立的帧和时钟接收和发送

此外，McBSP还具有以下功能：

- 直接接口到：
 - T1/E1成帧器
 - MVIP切换兼容和ST-BUS的兼容器件
 - IOM-2的兼容器件
 - 串行外围接口器件
- 高达128个通道的多通道发送和接收
- 多种数据大小选择，包括8、12、16、20、24或32位
- μ 律和A律压扩
- 帧同步和数据时钟的可编程极性
- 可编程内部时钟和帧生成

McBSP由独立运行的独立发送和接收通道组成。每个McBSP的外部接口包括以下引脚：

- BCLKX.....发送参考时钟
- BDX.....发送数据
- BFSX.....传输帧同步
- BCLKR.....接收参考时钟
- BDR.....接收数据
- BFSSR.....接收帧同步

列出的六个引脚在功能上与‘C5000系列DSP中先前的串行端口接口引脚相同。在发送器上，发送帧同步和时钟分别由BFSX和BCLKX引脚指示。CPU或DMA可以通过写入数据发送寄存器（DXR）来开启数据发送。写入DXR的数据通过发送移位寄存器（XSR）在BDX引脚上输出。这种结构允许DXR在字传输过程中加载要发送的下一个字

多通道缓冲串行端口 (续)

在接收器上，接收帧同步和时钟分别由BFSSR和BCLKR引脚指示。CPU或DMA可以从数据接收寄存器 (DRR) 读取接收的数据。在BDR引脚上接收到的数据被移入接收移位寄存器 (RSR) ，然后在接收缓冲寄存器 (RBR) 中进行缓冲。如果DRR为空，则将RBR内容复制到DRR中。如果不是，则RBR保留数据，直到DRR可用为止。这种结构允许在接收当前字的同时存储前两个字。

CPU和DMA可以在McBSP之间来回移动数据，并可以基于McBSP中断、事件信号和状态标志来同步传输。DMA能够处理McBSP和内存之间的数据移动，而无需CPU的干预。

除了标准的串行端口功能之外，McBSP还提供可编程的时钟和帧同步信号。可编程功能包括：

- 帧同步脉冲宽度
- 帧期
- 帧同步延迟
- 时钟参考 (内部与外部)
- 时钟划分
- 时钟和帧同步极性

片上压扩硬件允许以 μ -律或A-律格式压缩和扩展数据。使用压扩时，将根据指定的压扩定律对发送数据进行编码，并将接收到的数据解码为2s补码格式。

McBSP允许为发送器和接收器独立选择多个通道。当选择多个通道时，每个帧代表一个时分多路复用 (TDM) 数据流。在使用TDM数据流时，CPU可能只需要处理其中的几个即可。因此，为了节省内存和总线带宽，多通道选择允许独立开启特定通道进行传输和接收。在128个通道的数据流中最多可以开启32个通道。

McBSP中的时钟停止模式 (CLKSTP) 提供了与串行外设接口 (SPI) 协议的兼容性。McBSP支持的字长可编程为8位、12位、16位、20位、24位或32位操作。当McBSP被配置在SPI模式时，发送器和接收器都可以作为上位机或从机一起运行。

McBSP是完全静态的，并以任意低的时钟频率运行。最大频率是CPU时钟频率的一半。

硬件计时器

5402器件具有两个带4位预分频器的16位定时电路。每个定时器的主计数器在每个CLKOUT周期减一。每次计数器减为0，都会产生一个定时器中断。可以通过特定的控制位来停止、重启、复位或禁用定时器。

时钟发生器

时钟发生器为5402器件提供时钟，并由内部振荡器和锁相环 (PLL) 电路组成。时钟发生器需要参考时钟输入，可以通过将晶体谐振器与内部振荡器配合使用或从外部时钟源提供参考时钟。

注意：如果在X2/CLKIN引脚上驱动适当的电压电平，则可以使用外部时钟源对5402的所有版本进行操作。应该注意的是，X2/CLKIN引脚参考的是器件的1.8V电源 (CV_{dd}) ，而不是3V I/O电源 (DV_{dd}) 。有关X2/CLKIN引脚的允许电压电平，请参考本档的建议工作条件部分。

时钟发生器 (续)

将参考时钟输入除以2 (DIV模式) 以生成5402器件的时钟, 或者可以使用PLL电路 (PLL模式) 通过将参考时钟频率乘以一个比例因子来生成器件的时钟, 从而允许使用比CPU频率更低的时钟源。PLL是一种自适应电路, 一旦同步, 就锁定并跟踪输入时钟信号。

PLL最初启动时, 会进入到过渡模式, 在此模式下, PLL会锁定输入信号。PLL锁定后, 它将继续跟踪并保持与输入信号的同步。然后, 其他内部时钟电路允许合成新的时钟频率, 来作为5402器件的主时钟。

该时钟发生器允许系统设计人员选择时钟源。驱动时钟发生器的时钟源是:

- 晶体谐振器电路。晶体谐振器电路跨接在5402的X1和X2/CLKIN引脚上, 以启用内部振荡器。
- 一个外部时钟。外部时钟源直接连接到X2/CLKIN引脚, 而X1保持未连接状态。

注意: 如果在X2/CLKIN引脚上驱动适当的电压电平, 则可以使用外部时钟源对5402的所有版本进行操作。应该注意的是, X2/CLKIN引脚参考的是器件的1.8V电源 (CV_{dd}), 而不是3V I/O电源 (DV_{dd})。有关X2/CLKIN引脚的允许电压电平, 请参考本档的时钟工作条件部分。

软件可编程PLL具有高度的灵活性, 并它包含一个可提供各种时钟倍频比的时钟定标器, 并具有直接启用和禁用PLL的能力, 此外还包含可用于延迟切换到PLL时钟模式的PLL锁定定时器。具有内置软件可编程PLL的器件可以配置成以下两种时钟模式之一:

- PLL模式。输入时钟 (X2/CLKIN) 乘以31个可能比率中的1个。这些比率是使用PLL电路实现的。
- DIV (分频器) 模式。输入时钟由2或4分频。注意, 使用DIV模式时, 可以完全禁用PLL, 以最大程度地降低功耗。

可通过16位内存映射 (地址0058h) 时钟模式寄存器 (CLKMD) 控制软件可编程PLL。CLKMD寄存器用于定义PLL时钟模块的配置。复位后, CLKMD寄存器的初始化仅取决于CLKMD1- CLKMD3引脚状态的预定值, 如表5所示。

表5.复位时的时钟模式设置

CLKMD1	CLKMD2	CLKMD3	CLKMD 复位值	CLOCK模式
0	0	0	E007h	PLL × 15
0	0	1	9007h	PLL × 10
0	1	0	4007h	PLL × 5
1	0	0	1007h	PLL × 2
1	1	0	F007h	PLL × 1
1	1	1	0000h	1/2 (PLL 禁用)
1	0	1	F000h	1/4 (PLL 禁用)
0	1	1	-	预留 (旁路模式)

DMA控制器

5402直接内存访问 (DMA) 控制器在内存映射中的各点之间传输数据，而无需CPU的干预。DMA控制器允许数据在内部程序/数据存储器或内部外围设备 (例如McBSP) 之间来回移动。DMA具有六个独立的可编程通道，允许六个不同数据的DMA操作。

特征

DMA具有以下功能：

- DMA独立于CPU运行。
- DMA具有六个通道。DMA可以跟踪六个独立块传输数据内容。
- 对于内部访问，DMA具有比CPU更高的优先级。
- 每个通道都有独立可编程的优先级。
- 每个通道的源地址和目标地址寄存器可以通过存储器在每次读取和写入传输时建立可配置的检索。该地址可以是不变的，也可以是后递增、后递减或通过可编程值进行调整。
- 每次读取或写入传输都可以通过选定的事件来初始化。
- 在完成半块或整个块的传输后，每个DMA通道都可以向CPU发送中断。
- DMA可以执行双字传输 (两个16位字的32位传输) 。

DMA内存映射

DMA内存映射如图7所示，允许DMA传输不受MPMC、DROM和OVLY位状态的影响。

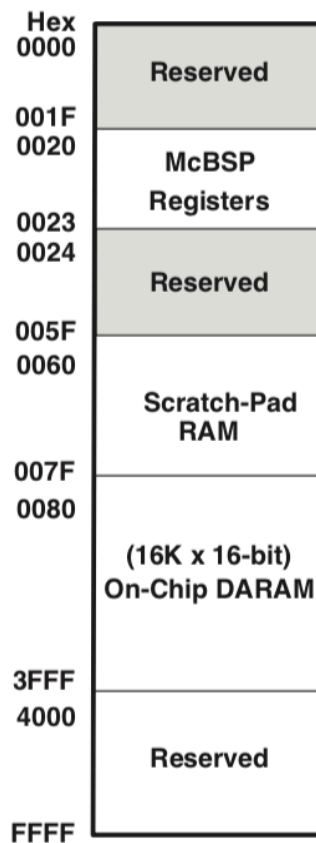


图7. 5402 DMA内存映射

DMA优先级

每个DMA通道可以独立分配高优先级或低优先级。拥有相同优先级的多个DMA通道将以循环方式被处理。

DMA源/目标地址修改

DMA提供了灵活的地址检索模式，可轻松实现数据管理方案，例如自动缓冲和循环缓冲。源地址和目标地址可以分别被检索，并且能够被后递增、后递减或以指定的检索偏移量进行后递增。

DMA在自动初始化模式下

DMA在完成块传输后可以自动重新初始化。某些DMA寄存器可以通过DMA全局重载寄存器 (DMGSA, DMGDA和DMGCR) 预载以用于下一个块传输。自动初始化允许：

- 连续操作：通常，CPU必须在完成当前块传输后立即重新初始化DMA；否则，必须重新启动DMA。但是使用全局重载寄存器，它可以在当前块传输开始后的任何时间为下一次块传输重新初始化这些值。
- 重复操作：CPU不会为每个块传输预加载新值给全局重载寄存器，而只会在第一个块传输时加载它们。

DMA传输计数

DMA通道元素计数寄存器 (DMCTR_x) 和帧计数寄存器 (DMSFC_x) 包含位字段，这些位字段表示帧数以及每帧要传输的元素数。

- 帧数。这个8位值定义了块传输中的帧总数。每次块传输的最大帧数为128 (帧计数= 0ffh)。计数器在帧传输中最后一次读取传输时递减。传输完最后一帧后，如果AUTOINIT位设置为1，则将使用DMA全局帧重载寄存器 (DMGFR) 重载所选的8位计数器。帧计数为0 (默认值则) 表示该块传输包含单个帧。
- 元素计数。这个16位值定义每帧的元素数。在读取每个元素后，此计数器递减。每帧的最大元素数是65536 (DMCTR_n = 0FFFFh)。在自动初始化模式下，一旦传输了最后一帧，计数器就会重新加载DMA全局计数重载寄存器 (DMGCR)。

双字模式下的DMA传输

双字模式允许DMA在任何检索模式下传输32位字。在双字模式下，将启动两个连续的16位传输，并且每次传输后都会自动更新源地址和目标地址。在这种模式下，每个32位字被视为一个元素。

DMA通道检索寄存器

通过DMA模式控制寄存器 (DMMCR_x) 中的SIND和DIND字段选择特定的DMA通道检索寄存器。与基本地址调整不同，DMA与帧检索DMFRI0和DMFRI1结合使用，根据元素传输是否是当前帧中的最后一个元素，DMA允许不同的调整量。常规调整值 (元素检索) 包含在元素检索寄存器DMIDX0和DMIDX1中。帧末尾的调整值 (帧检索) 由选定的DMA帧检索寄存器DMFRI0或DMFRI1确定。

DMA通道检索寄存器（续）

元素检索和帧检索影响地址调整，如下所示：

- 元素检索：对于帧中最后一次传输以外的所有元素，元素检索可以通过SIND/DIND位选择的源/目标地址寄存器（DMSRCx/DMDSTx）确定添加到DMA通道中的数量。
- 帧检索：如果传输元素是帧中的最后一个，则帧检索可以被用于地址的调整通过SIND/DIND位的选择。这在单帧和多帧传输中都会发生。

DMA中断

根据数据传输状态，DMA中断CPU的能力是可配置的，并且它由DMA通道模式控制寄存器（DMMCRn）中的IMOD和DINM位确定。可用模式如表6所示。

表6. DMA中断

模式	DINM	IMOD	中断
ABU（非减量）	1	0	仅在全缓冲
ABU（非减量）	1	1	在半缓冲和全缓冲
多帧	1	0	块传输完成时（DMCTRn = DMSEFCn [7:0] = 0）
多帧	1	1	在帧末尾和块末尾（DMCTRn = 0）
任一	0	x	没有中断产生
任一	0	x	没有中断产生

DMA控制器同步事件

与每个DMA通道关联的传输可以同步到多个事件之一。DMA通道x同步选择和帧计数（DMSFCx）寄存器的DSYN位字段将选择一个通道的同步事件。表7中显示了可能的事件和DSYN的值。

表7. DMA同步事件

DSYN值	DMA同步事件
0000b	不使用同步
0001b	McBSP0接收事件
0010b	McBSP0c传输事件
0011-0100b	预留
0101b	McBSP1接收事件
0110b	McBSP1传输事件
0111b-0110b	预留
1101b	Timer0中断
1110b	外部中断3
1111b	Timer1中断

DMA通道中断选择

DMA控制器可以为六个通道中的每个通道生成一个CPU中断。但是，通道0、1、2和3的中断源与其他中断源复用。DMA通道2和3与McBSP1的接收和发送部分共享一条中断线（IMR/IFR位10和11），而DMA通道1与定时器1共享一条中断线（IMR/IFR位7）。DMA通道0的中断源与保留的中断源共享。当5402复位时，来自这四个DMA通道的中断被取消选择。DMA通道优先级和使能控制（DMPREC）寄存器中的INTSEL位字段可用于选择这些中断，如表8所示。

表8. DMA通道中断选择

INTSEL值	IMR/IFR[6]	IMR/IFR[7]	IMR/IFR[10]	IMR/IFR[11]
00b (reset)	预留	TINT1	BRINT1	BXINT1
01b	预留	TINT1	DMAC2	DMAC3
10b	DMAC0	DMAC1	DMAC2	DMAC3
11b	预留			

内存映射寄存器

5402具有27个内存映射CPU寄存器，它们映射在数据存储空间的地址0h至1Fh中。表9给出了5402上可用的CPU内存映射寄存器（MMR）列表。该器件还具有一组与外设相关的内存映射寄存器。表10，表11和表12显示了与5402相关的其他外围MMR。

表9. CPU内存映射的寄存器

名称	地址		描述
	十进制	十六进制	
IMR	0	0	中断屏蔽寄存器
IFR	1	1	中断标志寄存器
-	2-5	2-5	保留用于测试
ST0	6	6	状态寄存器0
ST1	7	7	状态寄存器1
AL	8	8	累加器A低位字（15-0）
AH	9	9	累加器B高位字（31-16）
AG	10	A	累加器A保护位（39-32）
BL	11	B	累加器B低位字（15-0）
BH	12	C	累加器B高位字（31-16）
BG	13	D	累加器B保护位（39-32）
TREG	14	E	临时寄存器
TRN	15	F	过渡寄存器
AR0	16	10	辅助寄存器0
AR1	17	11	辅助寄存器1
AR2	18	12	辅助寄存器2
AR3	19	13	辅助寄存器3
AR4	20	14	辅助寄存器4
AR5	21	15	辅助寄存器5
AR6	22	15	辅助寄存器6
AR7	23	17	辅助寄存器7
SP	24	18	堆栈指针寄存器
BK	25	19	循环缓冲区大小寄存器
BRC	26	1A	块重复计数器
RSA	27	1B	阻止重复起始地址
REA	28	1C	阻止重复结束地址
PMST	29	1D	处理器模式状态（PMST）寄存器
XPC	30	1E	扩展程序页寄存器
-	31	1F	预留

内存映射寄存器 (续)

表10. 外围内存映射寄存器

名称	地址	描述	典型值
DRR20	20h	McBSP0数据接收寄存器2	McBSP #0
DRR10	21h	McBSP0数据接收寄存器1	McBSP #0
DXR20	22h	McBSP0数据发送寄存器2	McBSP #0
DXR10	23h	McBSP0数据发送寄存器1	McBSP #0
TIM	24h	Timer0 寄存器	Timer0
PRD	25h	Timer0周期计数器	Timer0
TCR	26h	Timer0控制计数器	Timer0
-	27h	预留	
SWWSR	28h	软件等待状态寄存器	外部总线
BSCR	29h	库开关控制寄存器	外部总线
-	2Ah	预留	
SWCR	2Bh	软件等待状态控制寄存器	外部总线
HPIC	2Ch	HPI控制寄存器	HPI
-	2Dh-2Fh	预留	
TIM1	30h	Timer1 寄存器	Timer1
PRD1	31h	Timer1周期计数器	Timer1
TCR1	32h	Timer1控制寄存器	Timer1
-	33h-37h	预留	
SPSA0	38h	McBSP0子库地址寄存器†	McBSP #0
SPSD0	39h	McBSP0子库数据寄存器‡	McBSP #0
-	3Ah-3Bh	预留	
GPIOCR	3Ch	通用I/O引脚控制寄存器	GPIO
GPIO SR	3Dh	通用I/O引脚状态寄存器	GPIO
-	3Eh-3Fh	预留	
DRR21	40h	McBSP1数据接收寄存器2	McBSP #1
DRR11	41h	McBSP1数据接收寄存器1	McBSP #1
DXR21	42h	McBSP1数据发送寄存器2	McBSP #1
DXR11	43h	McBSP1数据发送寄存器1	McBSP #1
-	44h-47h	预留	
SPSA1	48h	McBSP1子库地址寄存器†	McBSP #1
SPSD1	49h	McBSP1子库数据寄存器‡	McBSP #1
-	4Ah-53h	预留	
DMPREC	54h	DMA通道优先级和使能控制寄存器	DMA
DMSA	55h	DMA子库地址寄存器‡	DMA
DMSDI	56h	具有自动递增功能的DMA子库数据寄存器‡	DMA
DMSDN	57h	DMA子库数据寄存器‡	DMA
CLKMD	58h	时钟模式寄存器	PLL
-	59h-5Fh	预留	

† 有关McBSP控制寄存器及其子地址的详细说明, 请参见表11。

‡ 有关DMA子库寻址寄存器的详细说明, 请参见表12。

McBSP控制寄存器和子地址

使用子库寻址方案可以访问多通道缓冲串行端口 (McBSP) 的控制寄存器。这允许通过单个存储器位置访问一系列寄存器或子库寄存器。串行端口子库地址 (SPSA) 寄存器用作在子库中选择特定寄存器的指针。串行端口子库数据 (SPSD) 寄存器用于访问 (读或写) 选定的寄存器。表11显示了McBSP控制寄存器及其对应的子地址。

表11. McBSP控制寄存器和子地址

McBSP0		McBSP1		子地址	描述
名称	地址	名称	地址		
SPCR10	39h	SPCR11	49h	00h	串口控制寄存器1
SPCR20	39h	SPCR21	49h	01h	串口控制寄存器2
RCR10	39h	RCR11	49h	02h	接收控制寄存器1
RCR20	39h	RCR21	49h	03h	接收控制寄存器2
XCR10	39h	XCR11	49h	04h	发送控制寄存器1
XCR20	39h	XCR21	49h	05h	发送控制寄存器1
SRGR10	39h	SRGR11	49h	06h	采样率发生器寄存器1
SRGR20	39h	SRGR21	49h	07h	采样率发生器寄存器2
MCR10	39h	MCR11	49h	08h	多通道寄存器1
MCR20	39h	MCR21	49h	09h	多通道寄存器2
RCERA0	39h	RCERA1	49h	0Ah	接收通道使能寄存器分区A
RCERB0	39h	RCERB1	49h	0Bh	接收通道使能寄存器分区B
XCERA0	39h	XCERA1	49h	0Ch	发送通道使能寄存器分区A
XCERB0	39h	XCERB1	49h	0Dh	发送通道使能寄存器分区B
PCR0	39h	PCR1	49h	0Eh	引脚控制寄存器

DMA子库寻址寄存器

直接内存访问 (DMA) 控制器具有多个与其关联的控制寄存器。主控制寄存器 (DMPREC) 是标准的内存映射寄存器。但是，其他寄存器使用子库寻址方案进行访问。这允许通过单个存储器位置访问一组或子库寄存器。DMA子库地址 (DMSA) 寄存器用作在子库中选择特定寄存器的指针，而DMA子库数据 (DMSDN) 寄存器或具有自动增量功能的DMA子库数据寄存器 (DMSDI) 用于访问 (读或写) 选定的寄存器。

当使用DMSDI寄存器访问子存储库时，子存储库地址会自动后递增，以使后续访问影响子库中的下一个寄存器。该自动递增功能旨在高效，连续地访问多个控制寄存器。如果不需要自动递增功能，则应使用DMSDN寄存器访问子库。表12列出了DMA控制器子库寻址的寄存器及其对应的子地址。

DMA子库寻址寄存器 (续)

表12. DMA子库寻址寄存器

DMA		子地址	描述
名称	地址		
DMSRC0	56h/57h	00h	DMA通道0源地址寄存器
DMDST0	56h/57h	01h	DMA通道0目标地址寄存器
DMCTR0	56h/57h	02h	DMA通道0元素计数寄存器
DMSFC0	56h/57h	03h	DMA通道0同步选择和帧计数寄存器
DMMCR0	56h/57h	04h	DMA通道0传输模式控制寄存器
DMSRC1	56h/57h	05h	DMA通道1源地址寄存器
DMDST1	56h/57h	06h	DMA通道1目标地址寄存器
DMCTR1	56h/57h	07h	DMA通道1元素计数寄存器
DMSFC1	56h/57h	08h	DMA通道1同步选择和帧计数寄存器
DMMCR1	56h/57h	09h	DMA通道1传输模式控制寄存器
DMSRC2	56h/57h	0Ah	DMA通道2源地址寄存器
DMDST2	56h/57h	0Bh	DMA通道2目标地址寄存器
DMCTR2	56h/57h	0Ch	DMA通道2元素计数寄存器
DMSFC2	56h/57h	0Dh	DMA通道2同步选择和帧计数寄存器
DMMCR2	56h/57h	0Eh	DMA通道2传输模式控制寄存器
DMSRC3	56h/57h	0Fh	DMA通道3源地址寄存器
DMDST3	56h/57h	10h	DMA通道3目标地址寄存器
DMCTR3	56h/57h	11h	DMA通道3元素计数寄存器
DMSFC3	56h/57h	12h	DMA通道3同步选择和帧计数寄存器
DMMCR3	56h/57h	13h	DMA通道3传输模式控制寄存器
DMSRC4	56h/57h	14h	DMA通道4源地址寄存器
DMDST4	56h/57h	15h	DMA通道4目标地址寄存器
DMCTR4	56h/57h	16h	DMA通道4元素计数寄存器
DMSFC4	56h/57h	17h	DMA通道4同步选择和帧计数寄存器
DMMCR4	56h/57h	18h	DMA通道4传输模式控制寄存器
DMSRC5	56h/57h	19h	DMA通道5源地址寄存器
DMDST5	56h/57h	1Ah	DMA通道5目标地址寄存器
DMCTR5	56h/57h	1Bh	DMA通道5元素计数寄存器
DMSFC5	56h/57h	1Ch	DMA通道5同步选择和帧计数寄存器
DMMCR5	56h/57h	1Dh	DMA通道5传输模式控制寄存器
DMSRCP	56h/57h	1Eh	DMA源程序页地址 (公共通道)
DMDSTP	56h/57h	1Fh	DMA目标程序页地址 (公共通道)
DMIDX0	56h/57h	20h	DMA元素检索地址寄存器0
DMIDX1	56h/57h	21h	DMA元素检索地址寄存器1
DMFRI0	56h/57h	22h	DMA帧检索寄存器0
DMFRI1	56h/57h	23h	DMA帧检索寄存器1
DMGSA	56h/57h	24h	DMA全局源地址重载寄存器
DMGDA	56h/57h	25h	DMA全局目标地址重载寄存器
DMGCR	56h/57h	26h	DMA全局计数重载寄存器
DMGFR	56h/57h	27h	DMA全局帧计数重载寄存器0

中断

表13列出了所有内部和外部中断向量的相对位置和优先级。

表13.中断位置和优先级

名称	位置		优先级	功能
	十进制	十六进制		
RS, SINTR	0	0	1	重置 (硬件和软件重置)
NMI, SINT16	4	4	2	不可屏蔽中断
SINT17	8	8	-	软件中断 # 17
SINT18	12	0C	-	软件中断 # 18
SINT19	16	10	-	软件中断 # 19
SINT20	20	14	-	软件中断 # 20
SINT21	24	18	-	软件中断 # 21
SINT22	28	1C	-	软件中断 # 22
SINT23	32	20	-	软件中断 # 23
SINT24	36	24	-	软件中断 # 24
SINT25	40	28	-	软件中断 # 25
SINT26	44	2C	-	软件中断 # 26
SINT27	48	30	-	软件中断 # 27
SINT28	52	34	-	软件中断 # 28
SINT29	56	38	-	软件中断 # 29
SINT30	60	3C	-	软件中断 # 30
INT0, SINT0	64	40	3	外部用户中断 # 0
INT1, SINT1	68	44	4	外部用户中断 # 1
INT2, SINT2	72	48	5	外部用户中断 # 2
TINT0, SINT3	76	4C	6	Timer0中断
BRINT0, SINT4	80	50	7	McBSP #0接收中断
BXINT0, SINT5	84	54	8	McBSP #0发送中断
Reserved (DMAC0), SINT6	88	58	9	保留 (默认) 或DMA通道0中断。选择在DMPREC寄存器中进行。
TINT1 (DMAC1), SINT7	92	5C	10	Timer1中断 (默认) 或DMA通道1中断。选择在DMPREC寄存器中进行。
INT3, SINT8	96	60	11	外部用户中断 #3
HPINT, SINT9	100	64	12	HPI中断
BRINT1 (DMAC2), SINT10	104	68	13	McBSP # 1接收中断 (默认) 或DMA通道2中断。选择在DMPREC寄存器中进行。
BXINT1 (DMAC3), SINT11	108	6C	14	McBSP # 1发送中断 (默认) 或DMA通道3中断。选择在DMPREC寄存器中进行。
DMAC4, SINT12	112	70	15	DMA通道4中断
DMAC5, SINT13	116	74	16	DMA通道5中断
Reserved	120-127	78-7F	-	预留

中断 (续)

中断标志寄存器 (IFR) 和中断屏蔽寄存器 (IMR) 位安排如图8所示。

15-14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RES	DMAC5	DMAC4	BXINT1 or DMAC3	BRINT1 or DMAC2	HPINT	INT3	TINT1 or DMAC1	RES or DMAC0	BXINT0	BRINT0	TINT0	INT2	INT1	INT0

图8. IFR和IMR寄存器

表14. IFR和IMR寄存器位字段

位		功能
序号	名称	
15-14	-	保留以供将来扩展
13	DMAC5	DMA通道5中断标志/屏蔽位
12	DMAC4	DMA通道4中断标志/屏蔽位
11	BXINT1/DMAC3	该位可以配置为McBSP1发送中断标志/屏蔽位，也可以配置为DMA通道3中断标志/屏蔽位。选择在DMPREC寄存器中进行。
10	BRINT1/DMAC2	该位可以配置为McBSP1接收中断标志/屏蔽位，也可以配置为DMA通道2中断标志/屏蔽位。选择在DMPREC寄存器中进行。
9	HPINT	上位机到54x中断标志/屏蔽
8	INT3	外部中断3标志/屏蔽
7	TINT1/DMAC1	该位可以配置为timer1中断标志/屏蔽位或DMA通道1中断标志/屏蔽位。选择在DMPREC寄存器中进行。
6	DMAC0	该位可以配置为保留位或DMA通道0中断标志/屏蔽位。选择在DMPREC寄存器中进行。
5	BXINT0	McBSP0发送中断标志/屏蔽位
4	BRINT0	McBSP0接收中断标志/屏蔽位
3	TINT0	定时器0中断标志/屏蔽位
2	INT2	外部中断2标志/屏蔽位
1	INT1	外部中断1标志/屏蔽位
0	INT0	外部中断0标志/屏蔽位

支持

有关JTAG (IEEE 1149.1) 边界扫描测试功能的注意事项

边界扫描测试的初始化要求

5402使用JTAG端口进行边界扫描测试，仿真功能和出厂测试。要使用边界扫描测试，在第一次扫描之前，必须通过TRST信号的上升沿将EMU0和EMU1/OFF引脚保持为高电平。此操作选择适当的TAP控件进行边界扫描。如果在边界扫描测试期间，当EMU0或EMU1/OFF都不为高电平时，出现了TRST的上升沿，则可以选择出厂测试模式，以防止边界扫描测试完成。因此，建议在边界扫描测试期间始终将EMU0和EMU1/OFF拉高或驱动为高电平。

边界扫描描述语言 (BSDL) 模型

在网上，BSDL模型可从“simulation models”部分的5402产品文件夹中获得。

在指定温度范围内的绝对最大额定值（除非另有说明）†

电源电压I/O范围， DV_{DD}^{\ddagger}	-0.3V到4.0V
电源电压核心范围， CV_{DD}^{\ddagger}	-0.3V到2.4V
输入电压范围， V_I	-0.3V到4.5V
输出电压范围， V_O	-0.3V到4.5V
工作箱温度范围， T_C	-40°C到100°C
储存箱温度范围， T_{stg}	-55°C到150°C

† 超出“绝对最大额定值”中列出的数值可能会导致器件永久损坏。这些仅是额定数值，但是这并不暗示在这些或任何其他条件（超出“推荐操作条件”中指示的条件）下器件能够正常工作。长时间处于绝对最大额定条件下可能会影响器件的可靠性。

‡ 所有电压值均相对于 V_{SS} 。

推荐工作条件

		最小值	标称值	最大值	单位
DV_{DD}	器件电源电压，I/O§	3	3.3	3.6	V
CV_{DD}	器件电源电压，内核§	1.71	1.8	1.98	V
V_{SS}	电源电压，GND		0		V
V_{IH} 高电平输入电压 $DV_{DD} = 3.3 \pm 0.3V$	RS, INTn, NMI, BIO, BCLKR0, BCLKR1, BCLKX0, BCLKX1, HCS, HDS1, HDS2, TDI, TMS, CLKMDn	2.2		$DV_{DD} + 0.3$	V
	X2/CLKIN††	1.35		$CV_{DD} + 0.3$	
	TCK, TRST	2.5		$DV_{DD} + 0.3$	
	其它所有输入	2		$DV_{DD} + 0.3$	
V_{IL} 低电平输入电压 $DV_{DD} = 3.3 \pm 0.3V$	RS, INTn, NMI, X2/CLKIN††, BIO, BCLKR0, BCLKR1, BCLKX0, BCLKX1, HCS, HDS1, HDS2, TCK, CLKMDn	-0.3		0.6	V
	其它所有输入	-0.3		0.8	
IOH	高电平输出电流			-300	μA
IOL	低电平输出电流			1.5	mA
TC	工作箱温度			100	°C

§ 启珑微电子（Chiplon）的DSP不需要内核电源和I/O电源之间的特定电源排序。但是，系统的设计应确保如果另一个电源低于适当的工作电压，则两个电源都不能长时间通电。过度暴露于这些条件下会严重影响器件的长期可靠性。诸如总线竞争之类的系统级问题可能需要实施电源排序。在这种情况下，内核电源应同时通电或在I/O缓冲区之前通电，然后在I/O缓冲区之后断电。

†† 如果在X2/CLKIN引脚上驱动适当的电压电平，则可以使用外部时钟源对5402的所有版本进行操作。应该注意的是，X2/CLKIN引脚参考的是器件的1.8V电源（ CV_{dd} ），而不是3V I/O电源（ DV_{dd} ）。有关X2/CLKIN引脚的允许电压电平，请参考本文档的建议工作条件部分。

电气特性超出建议的工作温度范围（除非另有说明）

参数	测试条件		最小值	标称值 †	最大值	单位
V_{OH} 高电平输出电压	$I_{OH} = \text{MAX}$		2.4			V
V_{OL} 低电平输出电压	$I_{OL} = \text{MAX}$				0.4	V
I_{IZ} 高阻抗输出的输入电流	D[15:0], HD[7:0]	开启总线保持器, $DV_{DD} = \text{MAX}$, $V_I = V_{SS}$ 到 DV_{DD}	-175		175	μA
	其他所有输入	$DV_{DD} = \text{MAX}$, $V_O = V_{SS}$ 到 DV_{DD}	-5		5	
I_I 输入电流	X2/CLKIN‡	内部下拉	-40		40	μA
	TRST	内部下拉	-5		300	
	HPIENA	内部下拉	-5		300	
	TMS, TCK, TDI, HPI§	内部下拉, HPIENA = 0	-300		5	
	其他所有仅输入引脚		-5		5	
I_{DDC} 电源电流, 核心CPU		$CV_{DD} = 1.8\text{V}$, $f_{\text{clock}} = 100\text{MHz}$ ‡, $T_C = 25^\circ\text{C}$ #		45		mA
I_{DDP} 电源电流, 引脚		$DV_{DD} = 3.3\text{V}$, $f_{\text{clock}} = 100\text{MHz}$ ‡, $T_C = 25^\circ\text{C}$		30	1.5	mA
I_{DD} 电源电路, 支持	IDEL2	PLL×1模式, 输入100MHz		2		mA
	IDEL3	二分频模式, CLKIN停止		20		μA
C_i 输入电容				5		pF
C_o 输出电容				5		pF

† 除非另有说明, 否则所有值均为典型值。

‡ 如果在X2/CLKIN引脚上驱动适当的电压电平, 则可以使用外部时钟源对5402的所有版本进行操作。应该注意的是, X2/CLKIN引脚参考的是器件的1.8V电源 (CV_{dd}), 而不是3V I/O电源 (DV_{dd})。有关X2/CLKIN引脚的允许电压电平, 请参考本文档的建议工作条件部分。

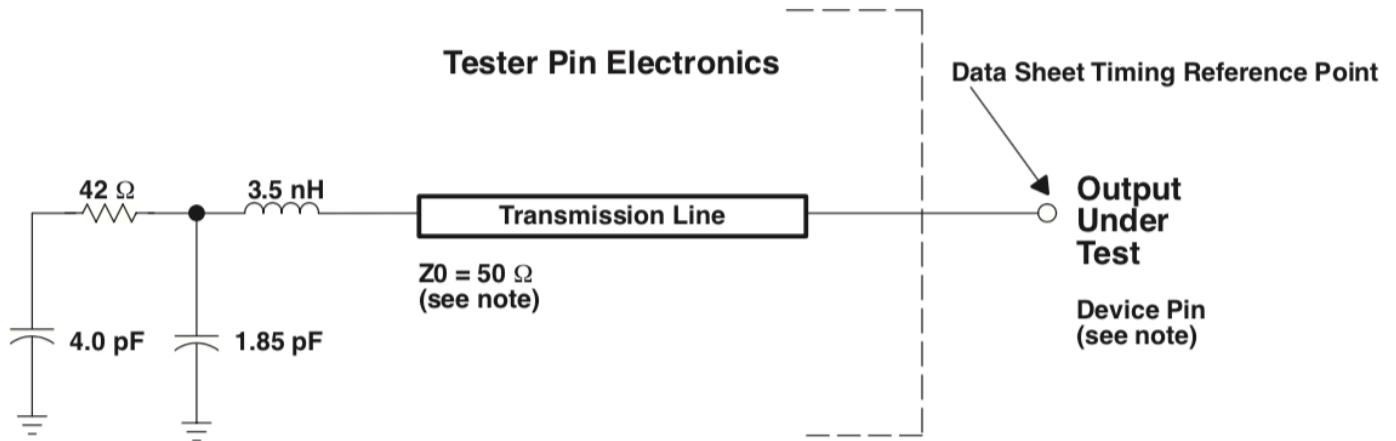
§ HPI输入信号 (HPIENA除外)。

‡ 时钟模式: PLL×1, 带外部时钟源

该值表示CPU、片上存储器和片上外围器件的电流消耗。条件包括: 从片上RAM执行程序, 使用50%的MAC和50%的NOP指令。实际工作电流随程序的执行而变化。

|| 使用以下条件获得该值: 外部存储器以每秒2000万次的速度写入, $\text{CLKOFF} = 0$, McBSP0和McBSP1的全双工操作 (分别以每秒1000万比特的速度) 和负载输出负载为15 pF。有关如何执行此计算的更多详细信息, 请参阅《TMS320C54x功耗应用报告的计算》(文献编号SPRA164)。

参数测量信息



注意：数据手册提供了器件引脚上的时序。为了进行输出时序分析，必须考虑测试引脚及其传输线的影响。延迟时间为2 ns或更长的传输线可用于产生所需的传输线效果。传输线仅用作负载。无需从数据手册时序中增加或减去传输线延迟（2 ns或更长）。

本数据手册中的输入要求是在器件引脚的输入摆率 < 4伏/纳秒（4V/ns）条件下进行测试的。

图9.测试仪引脚电子

带外部晶体的内部振荡器

通过在X1和X2/CLKIN两端连接一个晶振可以将激活内部振荡器。CLKOUT的频率是振荡器频率的倍数。乘比由CLKMD寄存器中的位设置确定。该晶体应处于基本模式下工作，并具有并联谐振功能，有效串联电阻为30，功耗为1mW。

晶体和两个负载电容组成的电路如图10所示。选择负载电容C₁和C₂时应满足以下公式。公式中的C_L是为晶体指定的负载。

$$C_L = \frac{C_1 C_2}{(C_1 + C_2)}$$

带外部晶体的内部振荡器的推荐工作条件（见图10）

	最小值	最大值	单位
f _{clock} 输入时钟频率	10	20	MHz

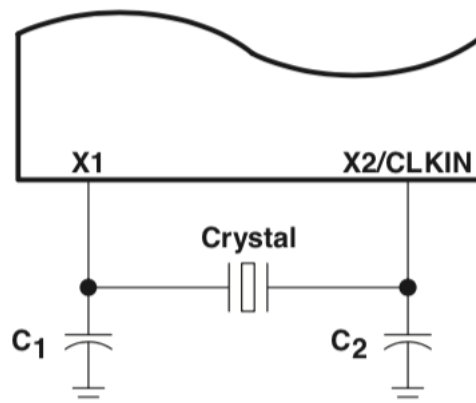


图10.带有外部晶体的内部振荡器

二分频时钟选项 (禁用PLL)

X2/CLKIN引脚上提供的参考时钟频率可以除以2以生成内部机器周期。时钟模式部分中介绍了时钟模式的选择。

当使用外部时钟源时，输入的频率必须符合时序要求表中列出的规格。

注意：如果在X2/CLKIN引脚上驱动适当的电压电平，则可以使用外部时钟源对5402的所有版本进行操作。应该注意的是，X2/CLKIN引脚参考的是器件的1.8V电源 (V_{DD})，而不是3V I/O电源 (DV_{DD})。有关X2/CLKIN引脚的允许电压电平，请参考本文档的建议工作条件部分。

时序要求 (见图11)

		最小值	最大值	单位
$t_c (CI)$	循环时间, X2/CLKIN	20	†	ns
$t_f (CI)$	下降时间, X2/CLKIN		8	ns
$t_r (CI)$	上升时间, X2/CLKIN		8	ns

† 该器件采用全静态设计，因此可以在 $t_c (CI)$ 接近 ∞ 的情况下运行。该器件的特征在于接近0 Hz的频率。

推荐工作条件下的开关特性 [$H = 0.5t_c (CO)$] † (请参见图10、图11和建议工作条件表)

参数	最小值	典型值	最大值	单位
$t_c (CO)$	循环时间, CLKOUT	10	$t_c (CI) / N$ †	ns
$t_d (CIH-CO)$	延迟时间, X2/CLKIN高电平/低电平到CLKOUT高电平/低电平	4	17	ns
$t_f (CO)$	下降时间, CLKOUT	2		ns
$t_r (CO)$	上升时间, CLKOUT	2		ns
$t_w (COL)$	脉冲持续时间, CLKOUT为低电平	H-2	H	ns
$t_w (COH)$	脉冲持续时间, CLKOUT为高电平	H-2	H	ns
t_p	过渡阶段, PLL锁定时间		30	μs

† 该器件采用全静态设计，因此可以在 $t_c (CI)$ 接近 ∞ 的情况下运行。该器件的特征在于接近0 Hz的频率。

‡ 建议将PLL时钟选项用于最大频率操作。

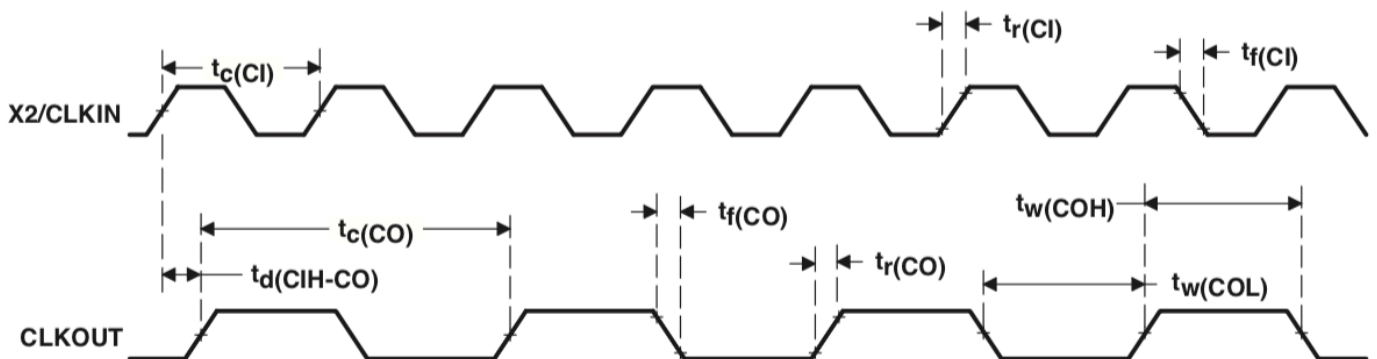


图11.外部二分频时钟时序

N分频时钟选项

X2/CLKIN引脚上提供的参考时钟频率可以乘以N以生成内部机器周期。时钟发生器部分中介绍了时钟模式和N值的选择。

使用外部时钟源时，注入的外部频率必须符合时序要求表中列出的规格。

注意：如果在X2/CLKIN引脚上驱动适当的电压电平，则可以使用外部时钟源对5402的所有版本进行操作。应该注意的是，X2/CLKIN引脚参考的是器件的1.8V电源（ CV_{dd} ），而不是3V I/O电源（ DV_{dd} ）。有关X2/CLKIN引脚的允许电压电平，请参考本文档的建议工作条件部分。

时序要求（见图12）†

		最小值	最大值	单位	
$t_c(CI)$	循环时间，X2/CLKIN	整数分频PLL乘法器N (N = 1-15)	20 †	200	ns
		PLL乘法器N = x.5	20 †	100	
		PLL乘法器N = x.25 , x.75	20 †	50	
$t_f(CI)$	下降时间，X2/CLKIN	8	ns		
$t_r(CI)$	上升时间，X2/CLKIN	8	ns		

†N = 乘数

†应选择乘数和最小X2/CLKIN周期时间，以使最终的CLKOUT周期时间在指定范围内（ $t_c(CO)$ ）

推荐工作条件下的开关特性[H = 0.5 $t_c(CO)$]（见图10和图12）

参数	最小值	典型值	最大值	单位
$t_c(CO)$	10	$t_c(CI)/N$ †	†	ns
$t_d(CI-CO)$	4	10	17	ns
$t_f(CO)$		2		ns
$t_r(CO)$		2		ns
$t_w(COL)$	H-2		H	ns
$t_w(COH)$	H-2		H	ns
t_p			30	μ s

† N = 乘数

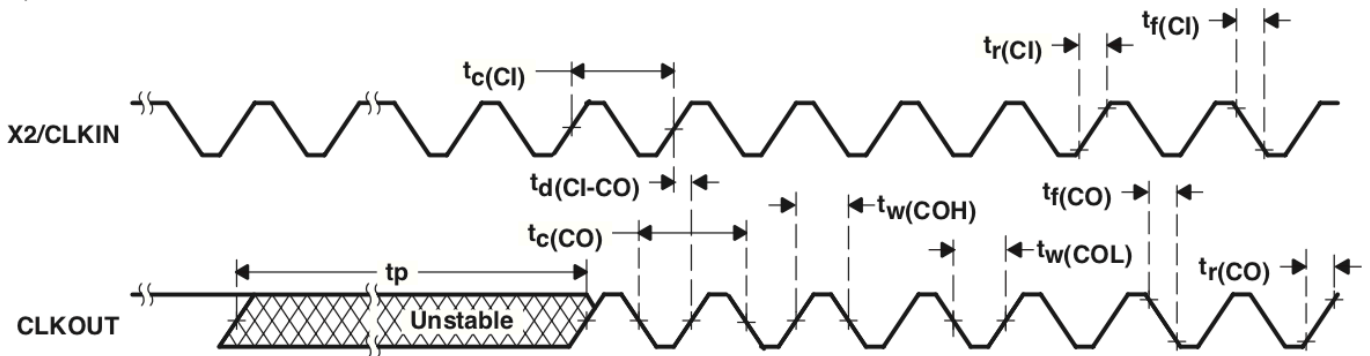


图12.外部乘一时钟时序

内存和并行I/O接口时序

内存读取时序要求 (MSTRB= 0) [H = 0.5 tc (CO)]† (请参见图13)

		最小值	最大值	单位
$t_{a(A)M}$	访问时间，从地址读取有效数据		2H-7	ns
$t_{a(MSTRBL)}$	访问时间，从MSTRB低电平读取数据		2H-8	ns
$t_{su(D)R}$	建立时间，在CLKOUT为低电平之前读取数据	6		ns
$t_{h(D)R}$	保持时间，在CLKOUT为低电平后读取数据	-2		ns
$t_{h(A-D)R}$	保持时间，地址无效后读取数据	0		ns
$t_{h(D)MSTRBH}$	保持时间，在MSTRB高电平后读取数据	0		ns

† 地址、PS和DS时序均包含在称为地址的时序中。

推荐的工作条件下的开关特性，用于内存读取 (MSTRB = 0) † (参见图13)

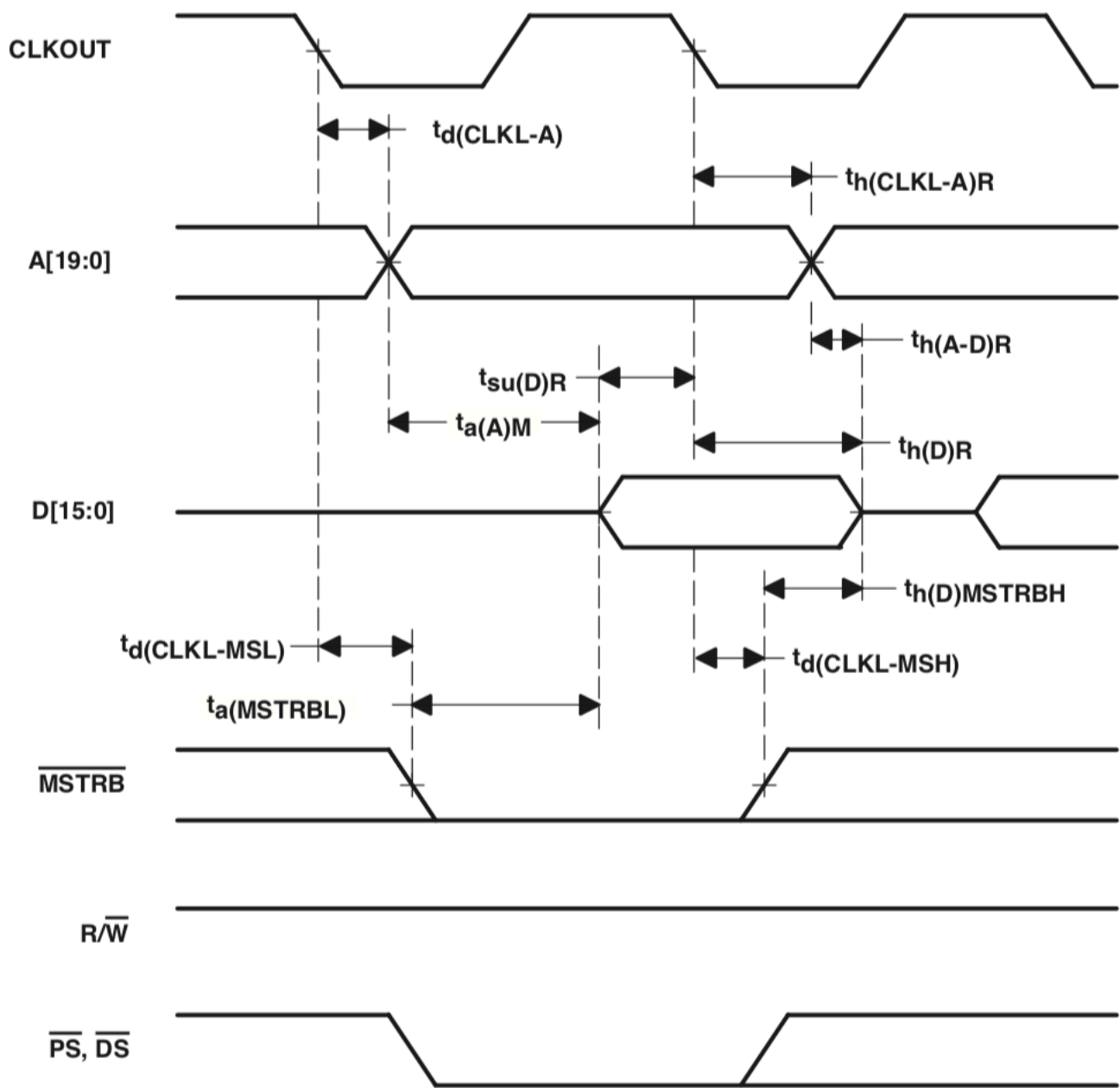
参数		最小值	最大值	单位
$t_d(CLKL-A)$	延迟时间，CLKOUT为低电平以解决地址有效‡	-2	3	ns
$t_d(CLKH-A)$	延迟时间，CLKOUT高电平 (转换) 到地址有效	-2	3	ns
$t_d(CLKL-MSL)$	延迟时间，CLKOUT低至MSTRB低电平	-1	3	ns
$t_d(CLKL-MSH)$	延迟时间，CLKOUT低至MSTRB高电平	-1	3	ns
$t_h(CLKL-A)R$	保持时间，CLKOUT为低电平后地址有效‡	-2	3	ns
$t_h(CLKH-A)R$	保持时间，地址在CLKOUT为高电平后有效§	-2	3	ns

† 地址，PS和DS时序均包含在称为地址的时序中。

‡ 在内存读取之前先进行内存读取的情况

§在内存读取之前先进行内存写入

内存和并行I/O接口时序 (续)



注A：在访问外部数据空间期间，A [19:16]始终被驱动为低电平。

图13.内存读取 (MSTRB = 0)

内存和并行I/O接口时序 (续)

内存写操作推荐工作条件下的开关特性 (MSTRB = 0) [H = 0.5tc(CO)][†] (见图14)

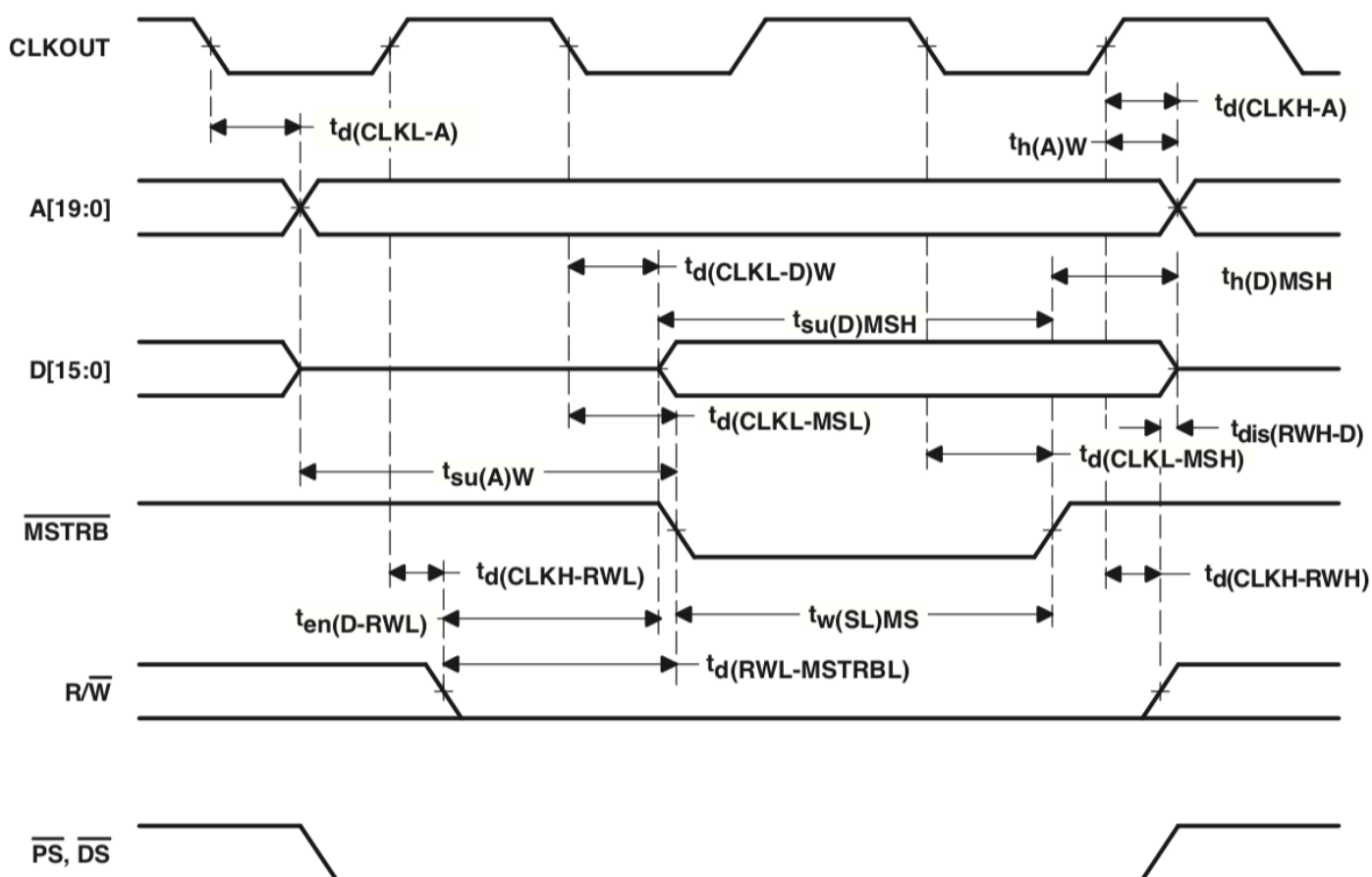
参数		最小值	最大值	单位
td(CLKH-A)	延迟时间, CLKOUT高电平到地址有效 [‡]	-2	3	ns
td(CLKH-A)	延迟时间, CLKOUT低电平到地址有效 [§]	-2	3	ns
td(CLKL-MSL)	延迟时间, CLKOUT低电平到MSTRB低电平	-1	3	ns
td(CLKL-D)W	延迟时间, CLKOUT低电平到数据有效	0	6	ns
td(CLKL-MSH)	延迟时间, CLKOUT低电平到MSTRB高电平	-1	3	ns
td(CLKH-RWL)	延迟时间, CLKOUT高电平到R/W低电平	-1	3	ns
td(CLKH-RWH)	延迟时间, CLKOUT高电平到R/W高电平	-1	3	ns
td(RWL-MSTRBL)	延迟时间, 低电平到MSTRB低电平	H - 2	H + 1	ns
th(A)W	保持时间, 在CLKOUT为高电平后地址有效 [‡]	1	3	ns
th(D)MSH	保持时间, 在MSTRB为高电平后写入数据有效 [‡]	H - 3	H + 6 [§]	ns
tW(SL)MS	脉冲持续时间, MSTRB低电平	2H - 2		ns
tsu(A)W	建立时间, MSTRB低电平之前地址有效	2H - 2		ns
tsu(D)MSH	建立时间, MSTRB高电平之前写入数据有效	2H - 6	2H + 5 [§]	ns
ten(D - RWL)	使能时间, R/W为低电平后驱动数据总线	H - 5		ns
tdis(RWH - D)	禁用时间, R/W高电平到数据总线高阻抗		0	ns

[†] 地址, PS和DS时序均包含在称为地址的时序中。

[‡] 在内存写入之前先进行内存写入的情况

[§]在内存写操作之前有一个I/O周期

内存和并行I/O接口时序 (续)



注意A：在访问外部数据空间期间，A [19:16]始终被驱动为低电平。

图14.内存写入 (MSTRB = 0)

内存和并行I/O接口时序 (续)

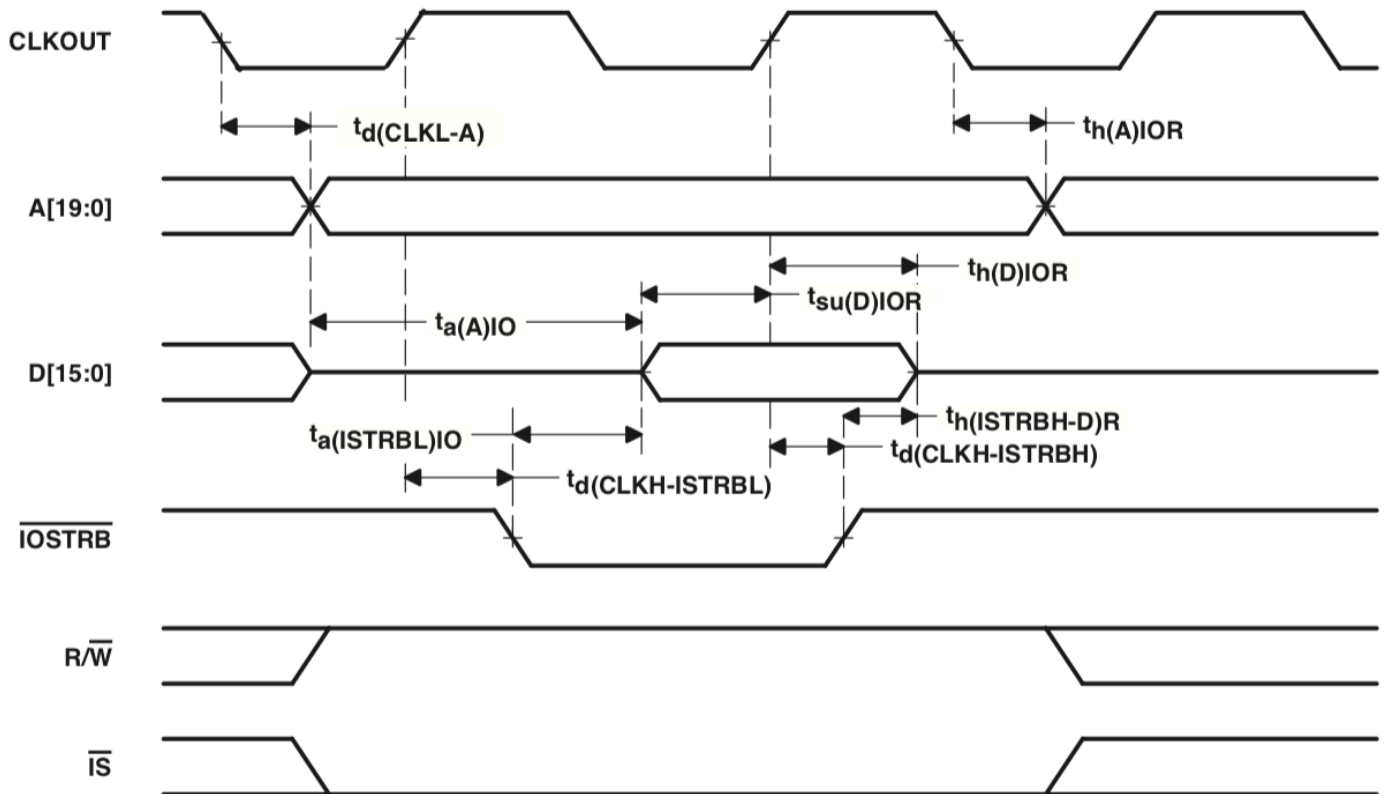
并行I/O端口读取时序要求 (IOSTR = 0) [H = 0.5 tc (CO)][†] (请参见图15)

	最小值	最大值	单位
$t_{a(A)IO}$ 访问时间, 从地址读取有效数据		3H - 7	ns
$t_{a(ISTRBL)IO}$ 访问时间, 从IOSTRB低电平读取数据		2H - 7	ns
$t_{su(D)IOR}$ 建立时间, 在CLKOUT为高电平之前读取数据	6		ns
$t_{h(D)IOR}$ 保持时间, CLKOUT为高电平后读取数据	0		ns
$t_{h(ISTRBH - D)R}$ 保持时间, 在IOSTRB高电平后读取数据	0		ns

并行I/O端口在建议工作条件下的读取 (IOSTR = 0)[†]开关特性 (见图15)

参数	最小值	最大值	单位
$t_{d(CLK - A)}$ 延迟时间, CLKOUT为低电平至地址有效	-2	3	ns
$t_{d(CLKH - ISTRBL)}$ 延迟时间, CLKOUT高电平到IOSTRB低电平	-2	3	ns
$t_{d(CLKH - ISTRBH)}$ 延迟时间, CLKOUT高电平到IOSTRB高电平	-2	3	ns
$t_{h(A)IOR}$ 保持时间, CLKOUT为低电平后的地址	0	3	ns

[†]地址和时序被包含在地址的时序中。



注意A: 在访问I/O空间期间, A[19:16]始终被驱动为低电平。

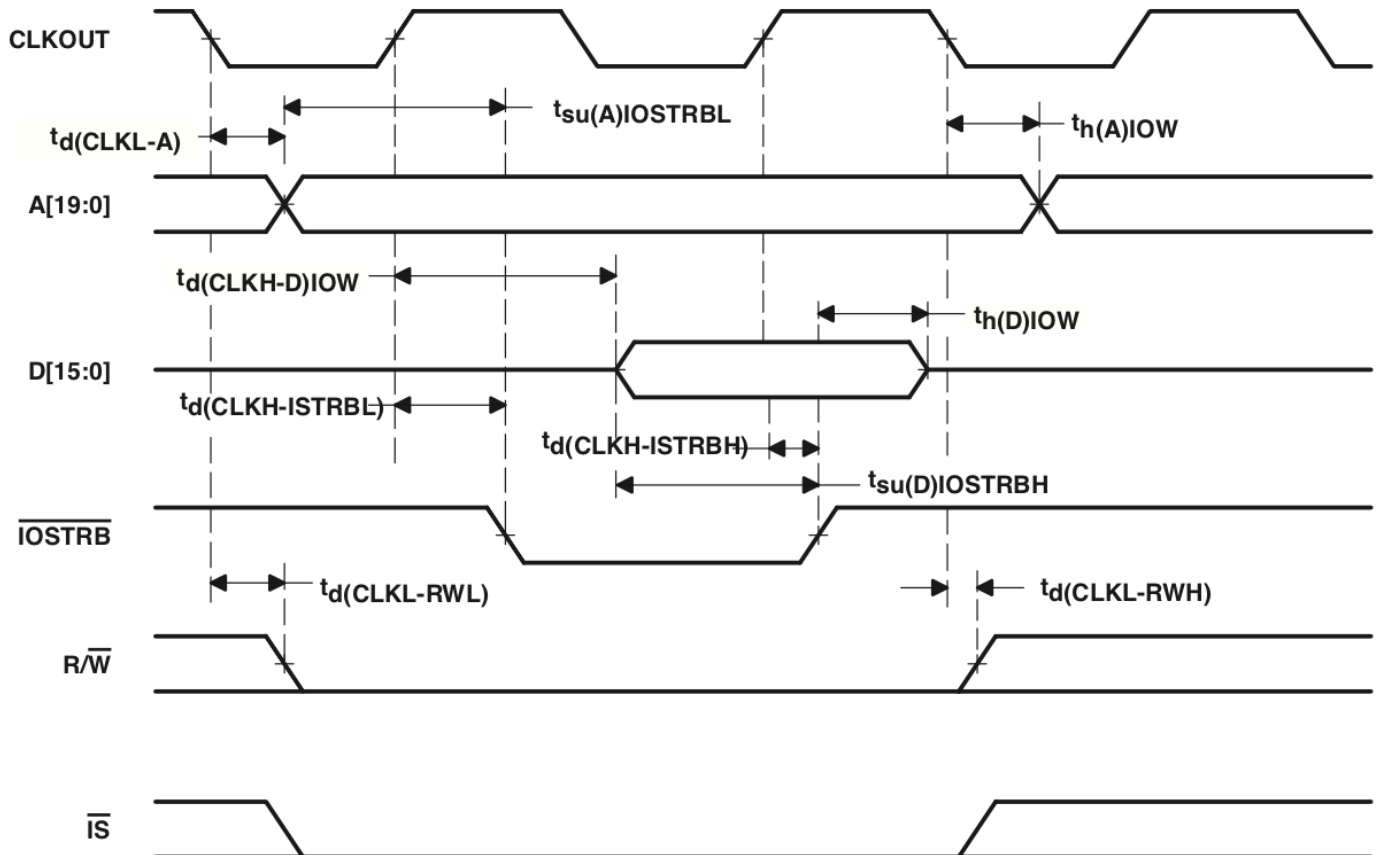
图15.并行I/O端口读取 (IOSTRB = 0)

内存和并行I/O接口时序 (续)

并行I/O端口在建议工作条件下的写操作开关特性 (IOSTRB = 0) [H = 0.5tc (CO)]† (请参见图16)

参数	最小值	最大值	单位
td(CLKL - A) 延迟时间, CLKOUT为低电平至地址有效	-2	3	ns
td(CLKH - ISTRBL) 延迟时间, CLKOUT高电平到IOSTRB低电平	-2	3	ns
td(CLKH - D)IOW 延迟时间, CLKOUT高电平到写入数据有效	H - 5	H+8	ns
td(CLKH - ISTRBH) 延迟时间, CLKOUT高电平到IOSTRB高电平	-2	3	ns
td(CLKL - RWL) 延迟时间, CLKOUT低电平到R/W低电平	-1	3	ns
td(CLKL - RWH) 延迟时间, CLKOUT低电平到R/W高电平	-1	3	ns
th(A)IOW 保持时间, CLKOUT为低电平后地址有效	0	3	ns
th(D)IOW 保持时间, 在IOSTRB高电平后写入数据	H - 3	H+7	ns
tsu(D)IOSTRBH 建立时间, 在IOSTRB高电平之前写入数据	H - 7	H+1	ns
tsu(A)IOSTRBL 建立时间, 在IOSTRB低电平之前地址有效	H - 2	H+2	ns

†地址和IS时序被包含在地址的时序中。



注意A: 在访问I/O空间期间, A[19:16]始终被驱动为低电平。

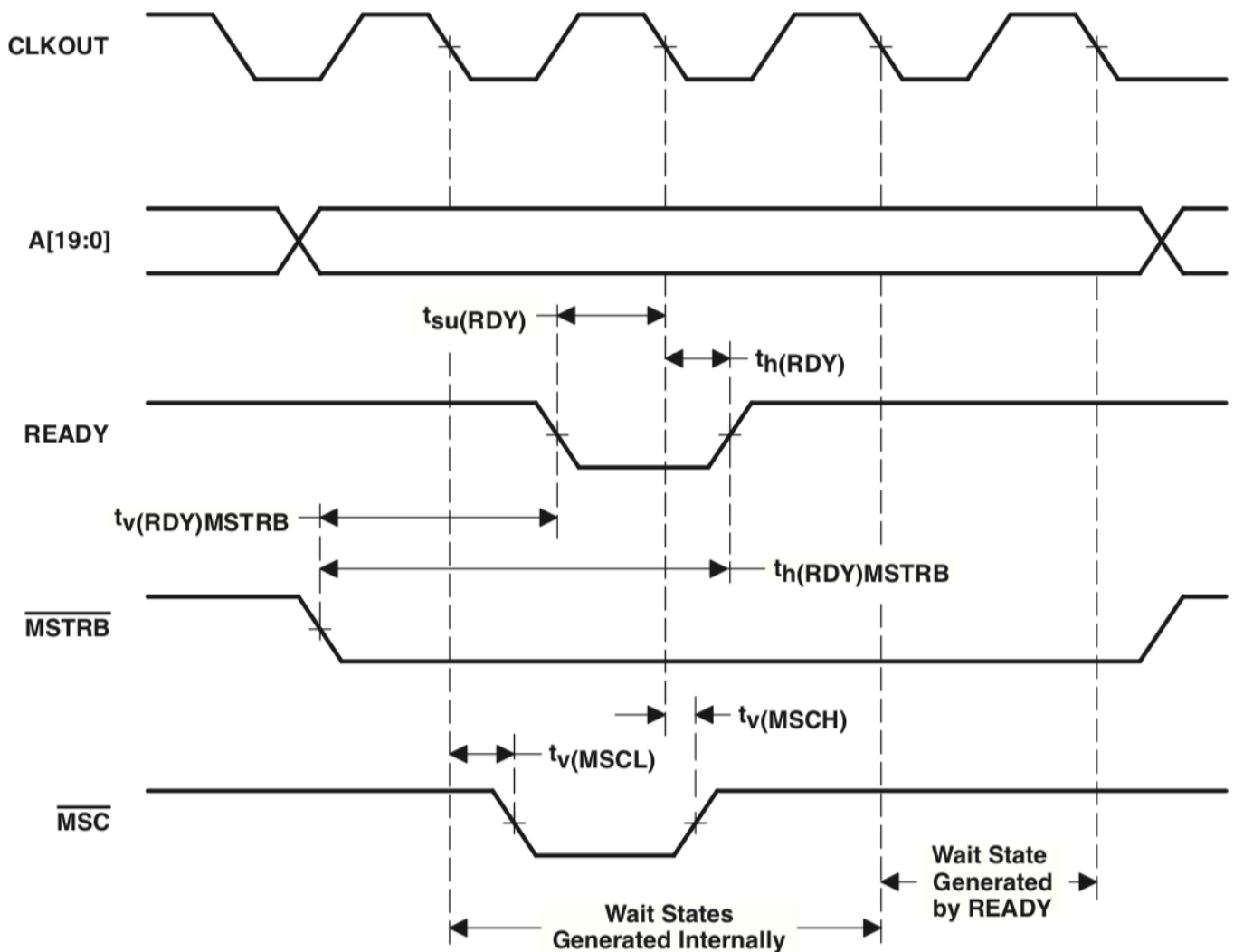
图16.并行I/O端口写入 (IOSTRB = 0)

外部生成等待状态准备时间

外部生成等待状态的时序要求[$H = 0.5t_c(CO)$][†] (请参见图17, 图18, 图19和图20)

	最小值	最大值	单位
$t_{su(RDY)}$ 建立时间, 在CLKOUT为低电平之前为READY	6		ns
$t_{h(RDY)}$ 保持时间, CLKOUT为低电平后为READY	0		ns
$t_v(RDY)MSTRB$ 有效时间, MSTRB低电平后为READY [‡]		4H - 8	ns
$t_h(RDY)MSTRB$ 保持时间, 在MSTRB低电平后为READY [‡]	4H		ns
$t_v(RDY)IOSTRB$ 有效时间, 在IOSTRB低电平后为READY		5H - 8	ns
$t_h(RDY)IOSTRB$ 保持时间, 在IOSTRB低电平后为READY	5H		ns
$t_v(MSCL)$ 有效时间, CLKOUT为低电平后, MSC为低电平	-1	3	ns
$t_v(MSCH)$ 有效时间, CLKOUT为低电平后, MSC为高电平	-1	3	ns

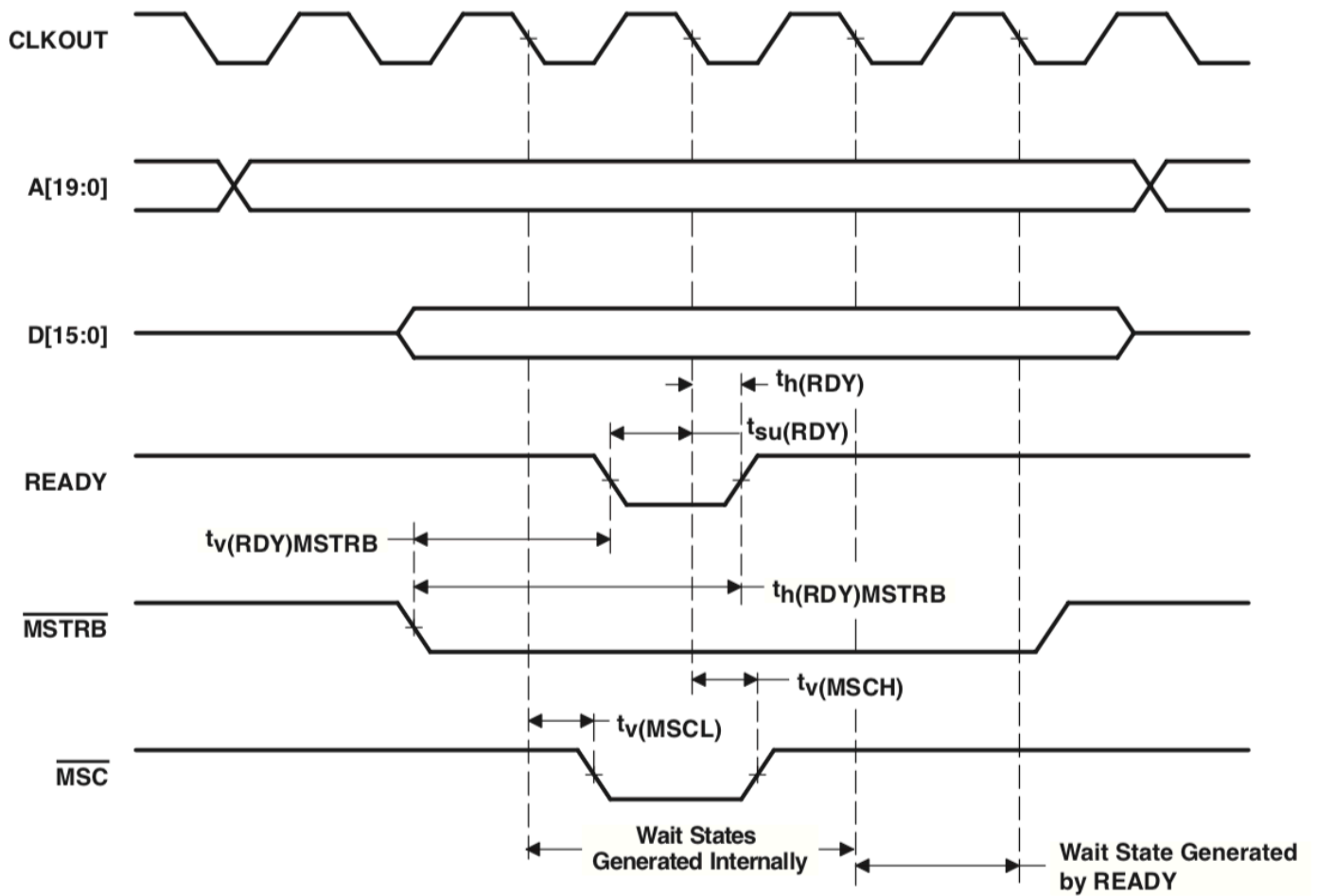
[†]硬件等待状态只能与软件等待状态结合使用才能延长总线周期。要使用READY生成等待状态, 编程必须有至少两个软件等待状态。
[‡]这些时序仅供参考。READY关键时序相对于CLKOUT时序。



注意A: 在访问外部数据空间期间, A[19:16]始终被驱动为低电平。

图17.外部生成等待状态的内存读取

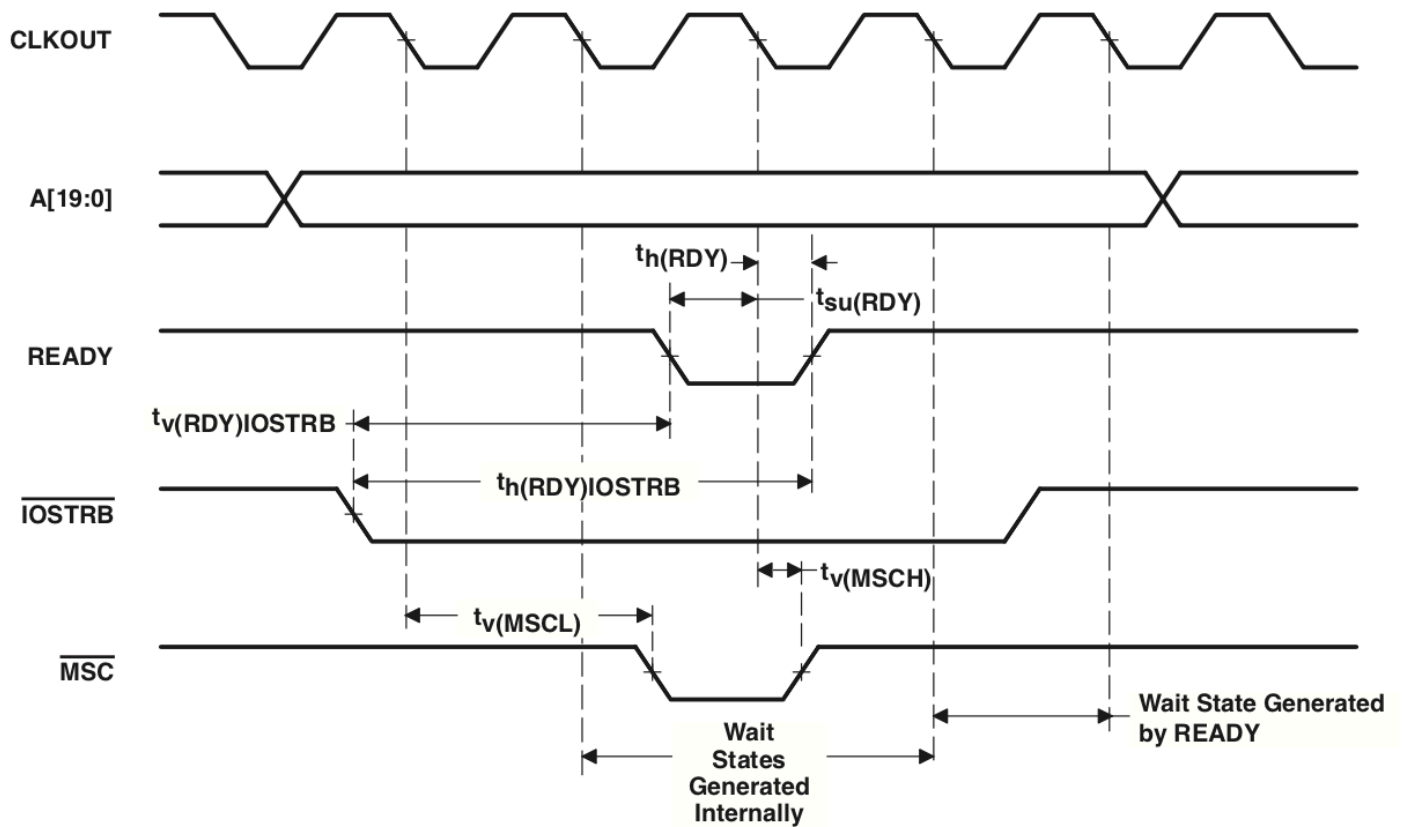
外部生成等待状态的准备时间 (续)



注意A：在访问外部数据空间期间，A[19:16]始终被驱动为低电平。

图18.外部生成等待状态内存写

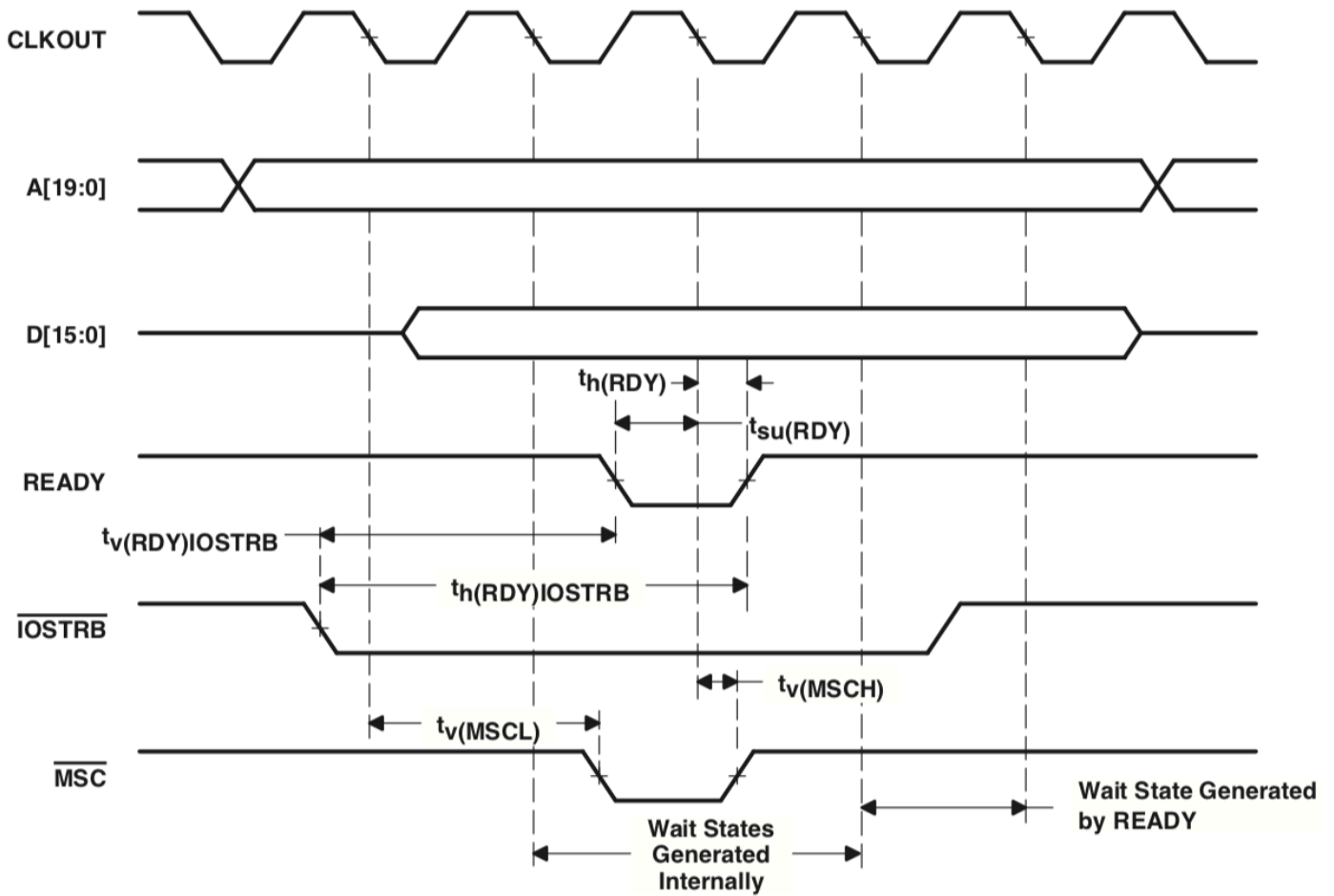
外部生成等待状态的准备时间 (续)



注意A：在访问I/O空间期间，A[19:16]始终被驱动为低电平。

图19.外部生成等待状态的I/O读

外部生成等待状态的准备时间 (续)



注意A：在访问I/O空间期间，A[19:16]始终被驱动为低电平。

图20.外部生成等待状态的I/O写

HOLD和HOLDA时序

内存控制信号和HOLDA的时序要求， $[H = 0.5tc(CO)]$ (见图21)

	最小值	最大值	单位
$t_w(\text{HOLD})$ 脉冲持续时间，HOLD低电平	$4H+7$		ns
$t_{su}(\text{HOLD})$ 建立时间，在CLKOUT为低电平之前HOLD为低电平/高电平	7		ns

在推荐工作条件下内存控制信号和的开关特性， $[H = 0.5tc(CO)]$ (见图21)

参数		最小值	最大值	单位
$t_{dis}(\text{CLKL-A})$	$t_{dis}(\text{CLKL-A})$ 禁用时间，CLKOUT低电平时地址、PS、DS、IS高阻抗		5	ns
$t_{dis}(\text{CLKL-RW})$	禁用时间，CLKOUT低电平R/W时高阻抗		5	ns
$t_{dis}(\text{CLKL-S})$	禁用时间，CLKOUT低电平时MSTRB，IOSTRB高阻抗		5	ns
$t_{en}(\text{CLKL-A})$	开启时间，CLKOUT低电平时开启地址、PS、DS、IS		$2H+5$	ns
$t_{en}(\text{CLKL-RW})$	开启时间，CLKOUT低电平时开启R/W		$2H+5$	ns
$t_{en}(\text{CLKL-S})$	开启时间，CLKOUT低电平时开启MSTRB，IOSTRB	2	$2H+5$	ns
$t_v(\text{HOLDA})$	有效时间，当CLKOUT低电平后HOLDA为低电平	-1	2	ns
	有效时间，当CLKOUT低电平后HOLDA为高电平	-1	2	ns
$t_w(\text{HOLDA})$	脉冲持续时间，HOLDA低电平持续时间	$2H-1$		ns

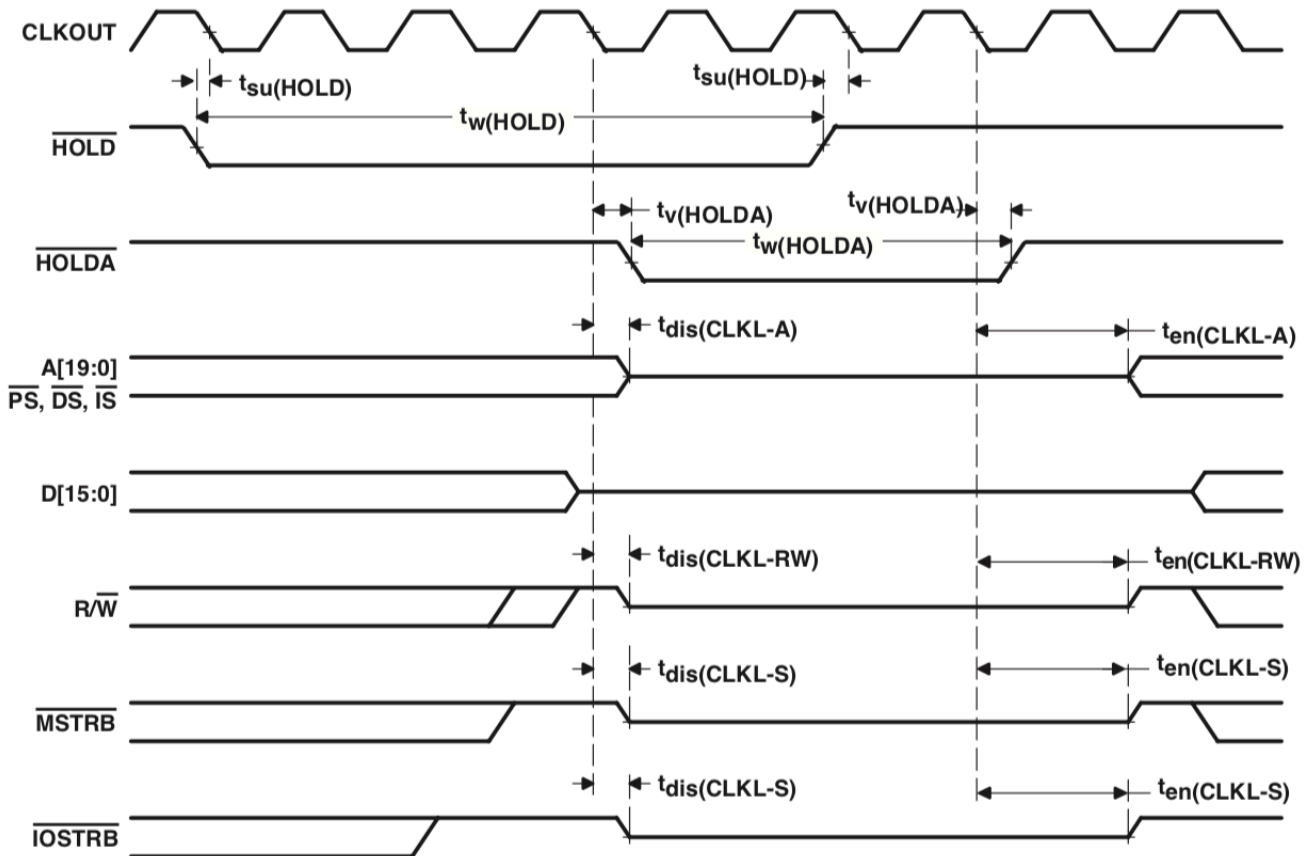


图21. 和时序 (HM = 1)

复位，BIO，中断和MP/MC时序

复位，BIO，中断和MP/MC的时序要求[$H = 0.5t_c(CO)$] (参见图22，图23和图24)

	最小值	最大值	单位
$t_{h(RS)}$ 保持时间，CLKOUT为低电平后的RS	0		ns
$t_{h(BIO)}$ 保持时间，CLKOUT为低电平后的BIO	0		ns
$t_{h(INT)}$ 保持时间，CLKOUT为低电平后的INTn，NMI [†]	0		ns
$t_{h(MPMC)}$ 保持时间，CLKOUT为低电平后的MP/MC	0		ns
$t_w(RSL)$ 脉冲持续时间，RS低电平 [‡]	4H+5		ns
$t_w(BIO)_S$ 脉冲持续时间，BIO低电平，同步	2H+2		ns
$t_w(BIO)_A$ 脉冲持续时间，BIO低电平，异步	4H		ns
$t_w(INT)_S$ 脉冲持续时间，INTn，NMI高电平（同步）	2H		ns
$t_w(INT)_A$ 脉冲持续时间，INTn，NMI高电平（异步）	4H		ns
$t_w(INT)_S$ 脉冲持续时间，INTn，NMI低电平（同步）	2H+2		ns
$t_w(INT)_A$ 脉冲持续时间，INTn，NMI低电平（异步）	4H		ns
$t_w(INT)_WKP$ 脉冲持续时间，INTn，NMI低电平使得IDLE2/IDLE3被唤醒	10		ns
$t_{su(RS)}$ 建立时间，在X2/CLKIN低电平之前RS有效 ^{††}	5		ns
$t_{su(BIO)}$ 建立时间，CLKOUT低电平前BIO有效	7	10	ns
$t_{su(INT)}$ 建立时间，CLKOUT低电平前，INTn，NMI有效	7	10	ns
$t_{su(MPMC)}$ 建立时间，CLKOUT低电平前MP/MC有效	5		ns

[†] 外部中断 (INT0-INT3, NMI) 通过双触发同步器同步到核心CPU，该触发器在CLKOUT的连续下降沿对这些输入进行采样。在与三个CLKOUT采样序列相对应的时序上，1-0-0序列被要求输入到中断引脚去。

[‡] 如果选择了PLL模式，则在上电序列或从IDLE3唤醒时，必须将RS保持低电平至少50 μ s，以确保PLL的同步和锁定。

[§] 请注意，RS可能会导致时钟频率发生变化，因此会改变H的值。

^{††} 二分频模式

复位, BIO, 中断和MP/MC时序 (续)

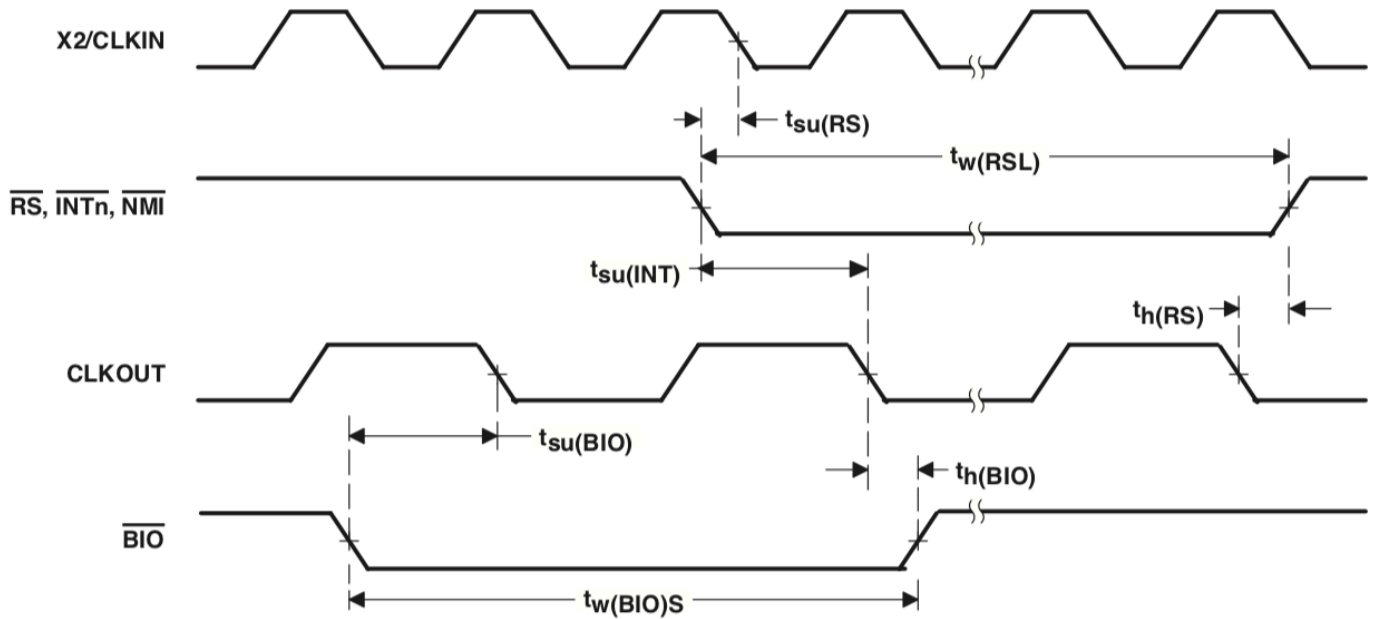


图22.复位和BIO时序

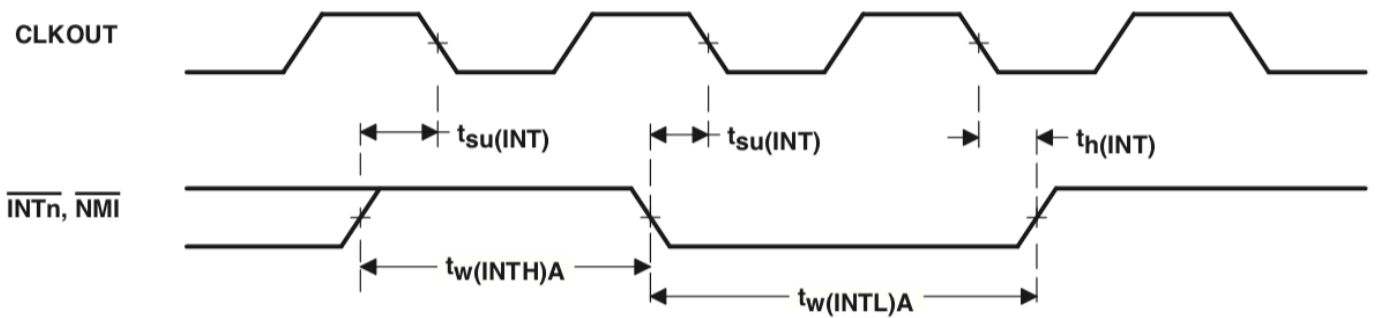


图23.中断时序

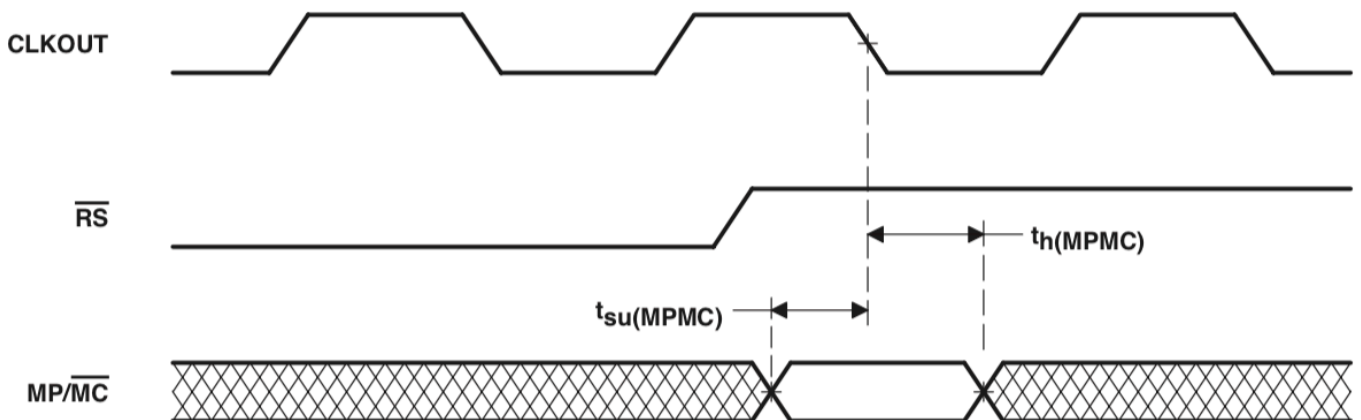


图24. MP/MC时序

指令获取 (IAQ) , 中断确认 (IACK) , 外部标志 (XF) 和TOUT时序 在推荐的工作条件下IAQ和IACK的开关特性[H = 0.5tc (CO)] (见图25)

参数	最小值	最大值	单位
td(CLKL-IAQL) 延迟时间, CLKOUT低电平至IAQ低电平	-1	3	ns
td(CLKL-IAQH) 延迟时间, CLKOUT低电平至IAQ高电平	-1	3	ns
td(A)IAQ 延迟时间, 地址有效至IAQ低电平		1	ns
t _d (CLKL-IACKL) 延迟时间, CLKOUT低电平至IACK低电平	-1	3	ns
td(CLKL-IACKH) 延迟时间, CLKOUT低电平至IACK高电平	-1	3	ns
td(A)IACK 延迟时间, 地址有效至IACK低电平		3	ns
th(A)IAQ 保持时间, 地址有效后IACK高电平	-2		ns
th(A)IACK 保持时间, 地址有效后IACK高电平	-2		ns
tw(IAQL) 脉冲持续时间, IAQ低电平	2H - 2		ns
tw(IACKL) 脉冲持续时间, IACK低电平	2H - 2		ns

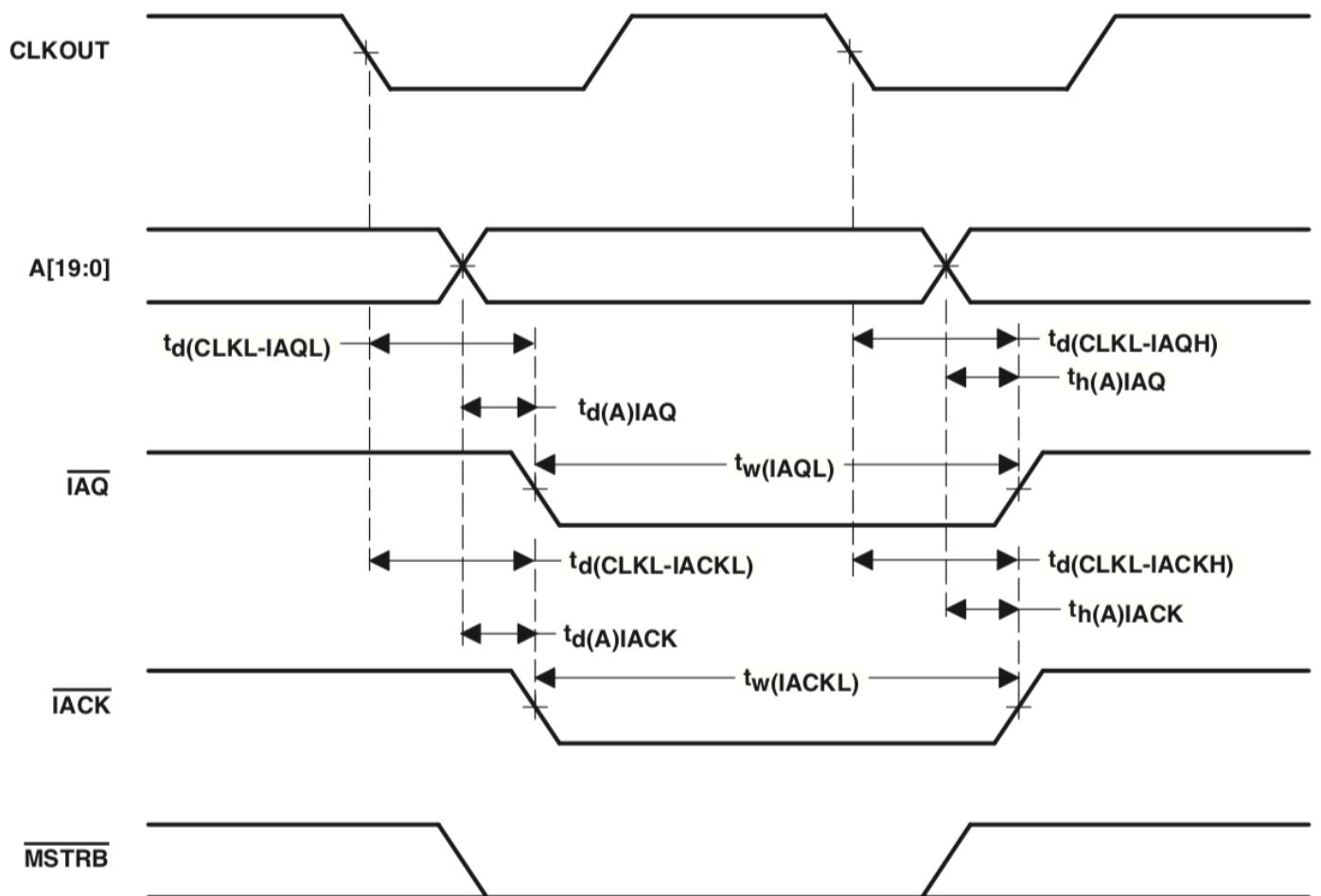


图25. IAQ和IACK时序

指令获取 (IAQ) , 中断确认 (IACK) , 外部标志 (XF) 和TOUT时序 (续)
 在推荐工作条件下XF和TOUT的开关特性[$H = 0.5t_c (CO)$] (见图26和图27)

参数		最小值	最大值	单位
td(XF)	延迟时间, CLKOUT低电平到XF高电平	-1	3	ns
	延迟时间, CLKOUT低电平到XF低电平	-1	3	
td(TOUTH)	延迟时间, CLKOUT低电平到TOUT高电平	0	4	ns
td(TOURL)	延迟时间, CLKOUT低电平到TOUT低电平	0	4	ns
tw(TOUT)	脉冲持续时间, TOUT	2H		ns

图26. XF时序

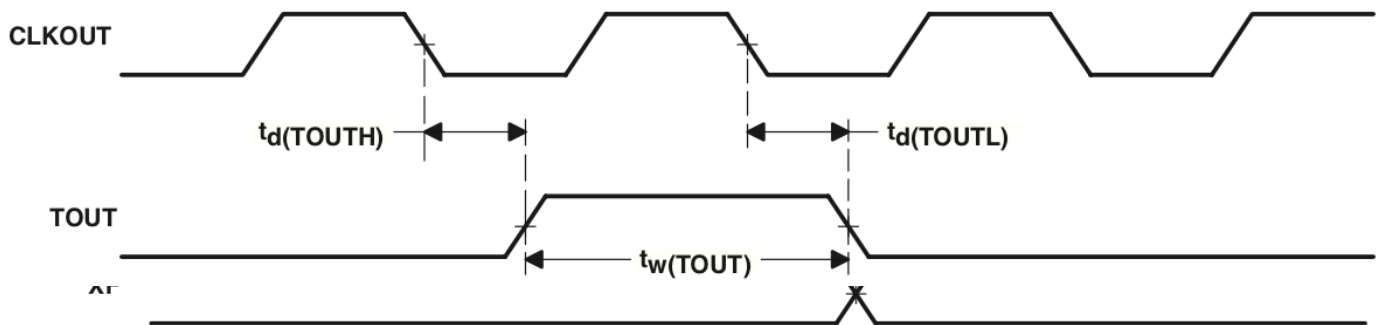


图27. TOUT时序

多通道缓冲串行端口计时

McBSP的时序要求[$H = 0.5t_c (CO)$]† (请参见图28和图29)

		最小值	最大值	单位
$t_c(\text{BCKRX})$ 周期时间, BCLKR/X	外部BCLKR/X	4H		ns
$t_w(\text{BCKRX})$ 脉冲持续时间, BCLKR/X高电平或BCLKR/X低电平	外部BCLKR/X	2H - 2		ns
$t_{su}(\text{BFRH-BCKRL})$ 建立时间, 在BCLKR为低电平之前外部BFSR为高电平	内部BCLKR	8		ns
	外部BCLKR	1		
$t_h(\text{BCKRL-BFRH})$ 保持时间, BCLKR为低电平后, 外部BFSR为高电平	内部BCLKR	0		ns
	外部BCLKR	3		
$t_{su}(\text{BDRV-BCKRL})$ 建立时间, BDR在BCLKR为低电平之前有效	内部BCLKR	5		ns
	外部BCLKR	0		
$t_h(\text{BCKRL-BDRV})$ 保持时间, BCLKR为低电平后, BDR有效	内部BCLKR	0		ns
	外部BCLKR	4		
$t_{su}(\text{BFXH-BCKXL})$ 建立时间, 在BCLKX为低电平之前外部BFSX为高电平	内部BCLKX	7		ns
	外部BCLKX	0		
$t_h(\text{BCKXL-BFXH})$ 保持时间, BCLKX为低电平后, 外部BFSX为高电平	内部BCLKX	0		ns
	外部BCLKX	3		
$t_r(\text{BCKRX})$ 上升时间, BCKR/X	外部BCLKR/X		8	ns
$t_f(\text{BCKRX})$ 下降时间, BCKR/X	外部BCLKR/X		8	ns

† CLKRP = CLKXP = FSRP = FSXP = 0。如果任何信号的极性反转, 则该信号的参考时序也会反转。

McBSP [$H = 0.5t_c (CO)$]†的开关特性 (请参见图28和图29)

参数		最小值	最大值	单位	
$t_c(\text{BCKRX})$ 周期时间, BCLKR/X	内部BCLKR/X	4H		ns	
$t_w(\text{BCKRXH})$ 脉冲持续时间, BCLKR/X高电平	内部BCLKR/X	D - 2 ‡	D+2 ‡	ns	
$t_w(\text{BCKRXL})$ 脉冲持续时间, BCLKR/X低电平	内部BCLKR/X	C - 2 ‡	C+2 ‡	ns	
$t_d(\text{BCKRH-BFRV})$ 延迟时间, BCLKR高电平到内部BFSR有效	内部BCLKR	-2	2	ns	
	外部BCLKR	3	9	ns	
$t_d(\text{BCKXH-BFXV})$ 延迟时间, BCLKX高电平到内部BFSR有效	内部BCLKX	0	4	ns	
	外部BCLKX	8	11		
$t_{dis}(\text{BCKXH-BDXHZ})$ 禁用时间, 传输的最后一个数据位之后, BCLKX高电平至BDX高阻抗	内部BCLKX	-1	4	ns	
	外部BCLKX	3	9		
$t_d(\text{BCKXH-BDXV})$ 延迟时间, BCLKX高电平到BDX有效	DXENA = 0 §	内部BCLKX	0¶	7	ns
		外部BCLKX	3	11	
$t_d(\text{BFXH-BDXV})$ 延迟时间, BFSX高电平到BDX有效 仅在数据延迟0 (XDATDLY = 00b) 模式下适用		内部BFSX	-11¶	3	ns
		外部BFSX	3	13	

† CLKRP = CLKXP = FSRP = FSXP = 0。如果任何信号的极性反转, 则该信号的参考时序也将反转。

‡ $T = \text{BCLKRX周期} = (1 + \text{CLKGDV}) * 2H$

C = BCLKRX低脉冲宽度=当CLKGDV为奇数或零时为 $T/2$; =当CLKGDV为偶数时为 $(\text{CLKGDV}/2) * 2H$

D = BCLKRX高脉冲宽度=当CLKGDV为奇数或零时为 $T/2$; =当CLKGDV为偶数时为 $(\text{CLKGDV}/2 + 1) * 2H$

§ 在CLM320VC5402上未实现McBSP的传输延迟使能 (DXENA) 和A-bis模式 (ABIS) 功能。

¶ 最小延迟时间也代表最小输出保持时间。

多通道缓冲串行端口计时 (续)

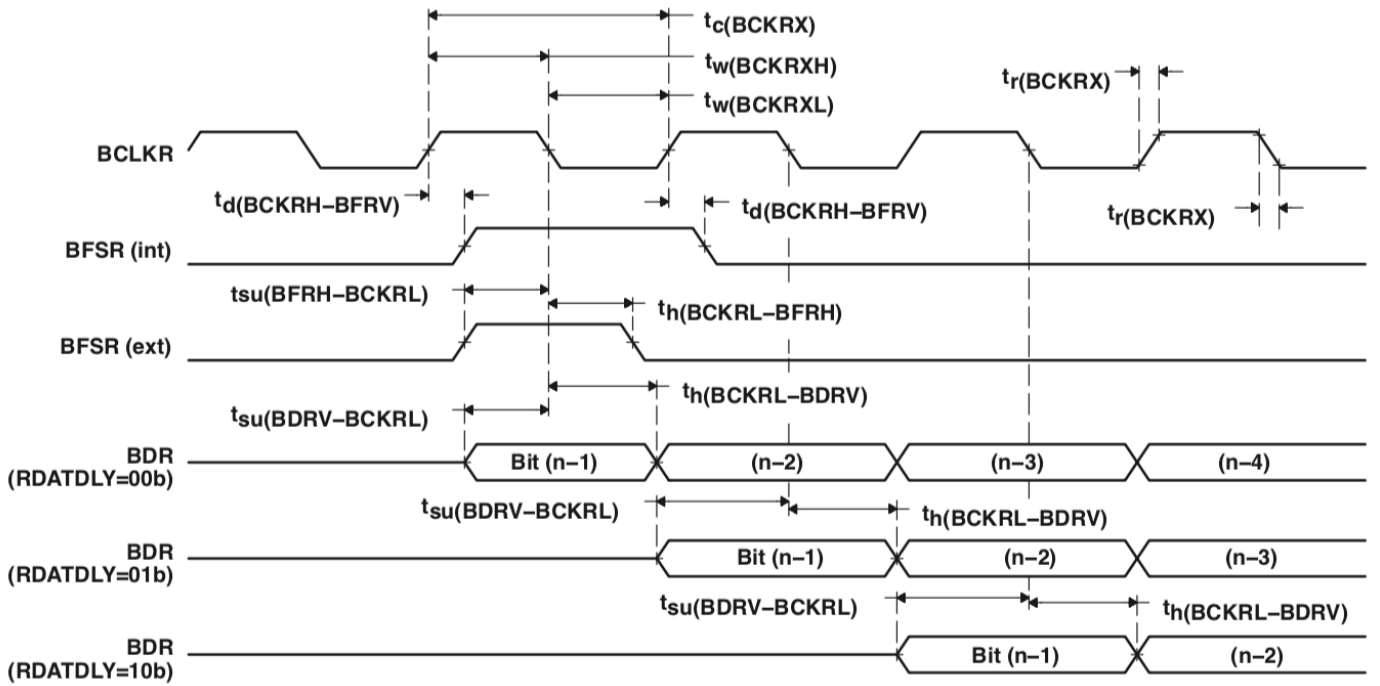


图28. McBSP接收时序

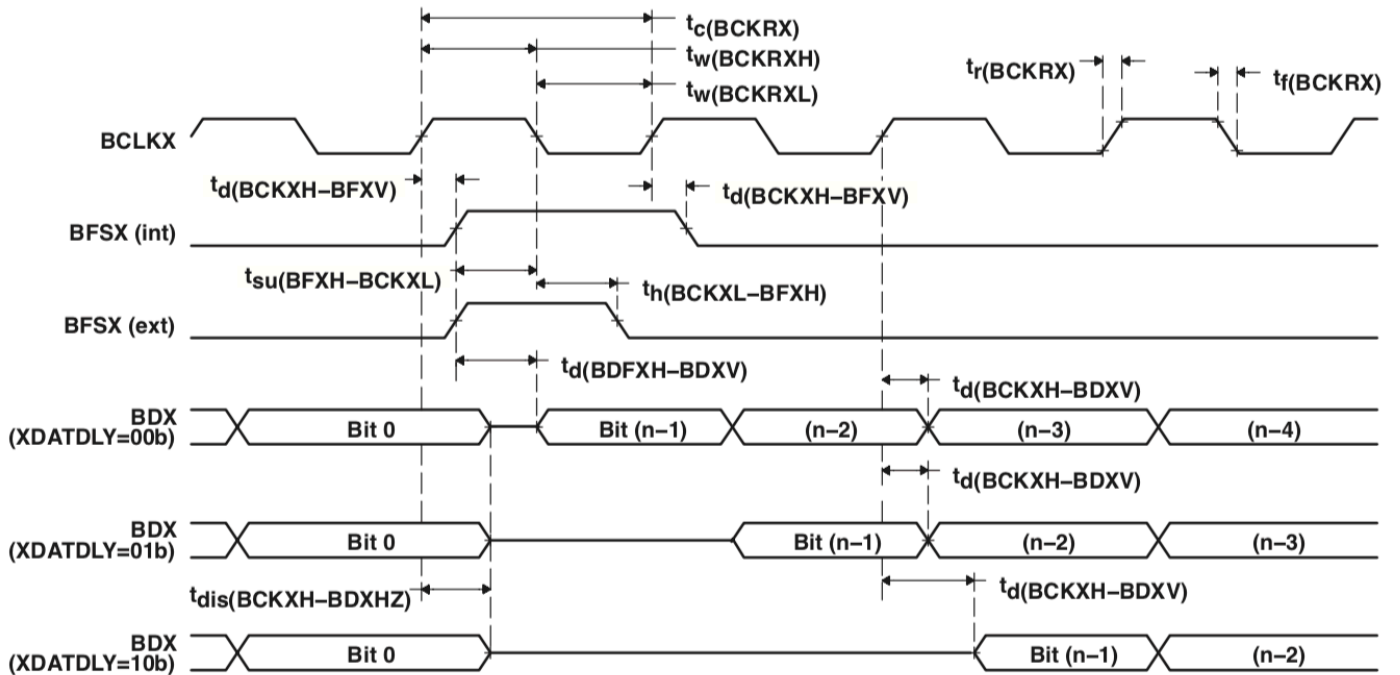


图29. McBSP传输时序

多通道缓冲串行端口计时 (续)

McBSP通用I/O的时序要求 (见图30)

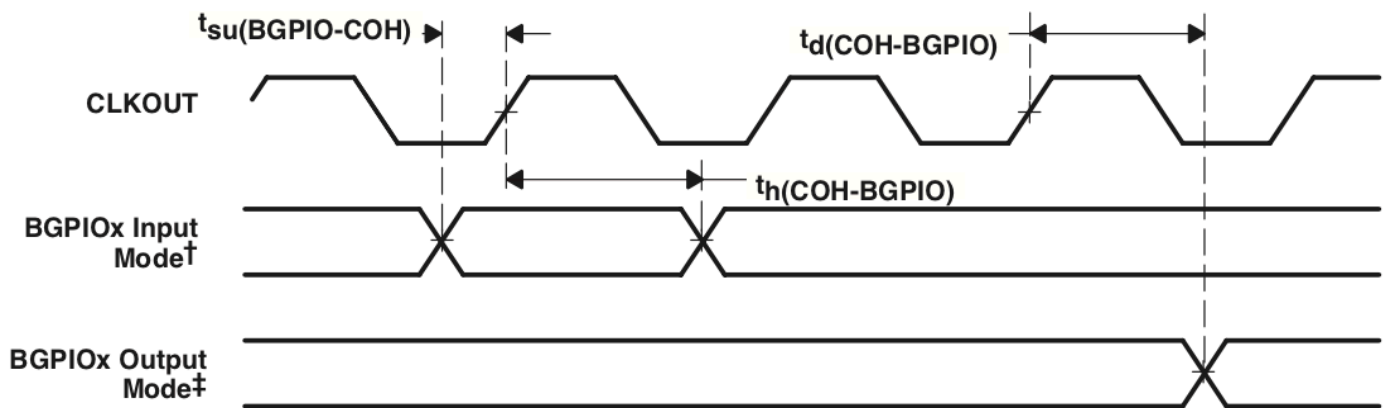
	最小值	最大值	单位
$t_{su}(BGPIO-COH)$ 建立时间, CLKOUT高电平之前的BGPIOx输入模式†	9		ns
$t_h(COH-BGPIO)$ 保持时间, CLKOUT为高电平后, BGPIOx输入模式†	0		ns

† BGPIOx配置为通用输入时, 是指BCLKRx, BFSRx, BDRx, BCLKXx或BFSXx。

McBSP通用I/O的开关特性 (见图30)

参数	最小值	最大值	单位
$t_d(COH-BGPIO)$ 延迟时间, CLKOUT高电平到BGPIOx输出模式‡	0	5	ns

‡ 当配置为通用输出时, BGPIOx是指BCLKRx, BFSRx, BCLKXx, BFSXx或BDXx。



† BGPIOx配置为通用输入时, 是指BCLKRx, BFSRx, BDRx, BCLKXx或BFSXx。

‡ 当配置为通用输出时, BGPIOx是指BCLKRx, BFSRx, BCLKXx, BFSXx或BDXx。

图30. McBSP通用I/O时序

多通道缓冲串行端口定时 (续)

McBSP作为SPI主或从电路的时序要求：[H = 0.5tc (CO)] CLKSTP = 10b, CLKXP = 0† (见图31)

参数	主电路		从电路		单位
	最小值	最大值	最小值	最大值	
$t_{su}(BDRV-BCKXL)$ 建立时间, BCLKX低电平前BDR有效	9		-12H		ns
$t_h(BCKXL-BDRV)$ 保持时间, BCLKX低电平后BDR有效	0		5+12H		ns
$t_{su}(BFXL-BCKXH)$ 建立时间, BCLKX高电平前BFSX低电平			20		ns
$t_c(BCKX)$ 周期时间, BCLKX	12H		32H		ns

† 对于所有SPI从模式, 通过设置CLKSM = CLKGDV = 1, 可以将CLKG编程为CPU时钟的1/2。

作为SPI主或从电路的McBSP的开关特性：[H = 0.5tc (CO)] CLKSTP = 10b, CLKXP = 0† (见图31)

参数	主电路‡		从电路		单位
	最小值	最大值	最小值	最大值	
$t_h(BCKXL-BFXL)$ 保持时间, BCLKX低电平后BFSX低电平§	T - 3	T+4			ns
$t_d(BFXL-BCKXH)$ 延迟时间, BCLKX高电平后BFSX低电平¶	C - 5	C+3			ns
$t_d(BCKXH-BDXV)$ 延迟时间, BCLKX高电平到BDX有效	-2	6	6H+5	10H+15	ns
$t_{dis}(BCKXL-BDXHZ)$ 禁用时间, BDX高阻抗跟随BCLKX低电平时的最后一个数据位	C - 2	C+3			ns
$t_{dis}(BFXH-BDXHZ)$ 禁用时间, BDX高阻抗跟随BFSX高电平的最后一个数据位			2H+4	6H+17	ns
$t_d(BFXL-BDXV)$ 延迟时间, BFSX低电平到BDX有效			4H - 2	8H+17	ns

† 对于所有SPI从模式, 通过设置CLKSM = CLKGDV = 1, 可以将CLKG编程为CPU时钟的1/2。

‡ T = BCLKX周期 = (1 + CLKGDV) * 2H

C = BCLKX低脉冲宽度 = 当CLKGDV为奇数或零时为T/2; = (CLKGDV/2) * 2H (当CLKGDV为偶数时)

D = BCLKX高脉冲宽度 = 当CLKGDV为奇数或零时为T/2; = (CLKGDV/2 + 1) * 2H (当CLKGDV为偶数时)

§ FSRP = FSXP = 1. 作为SPI主电路, BFSX被反相以提供低电平有效的从电路使能输出。作为从电路, 在内部使用之前, 请先将BFSX和BFSR上的低电平有效信号输入反转。

主McBSP的CLKXM = FSXM = 1, CLKRM = FSRM = 0

从McBSP的CLKXM = CLKRM = FSXM = FSRM = 0

¶ BFSX应该在时钟的上升沿之前为低电平, 以开启从电路, 然后在主时钟 (BCLKX) 的上升沿开始SPI传输。

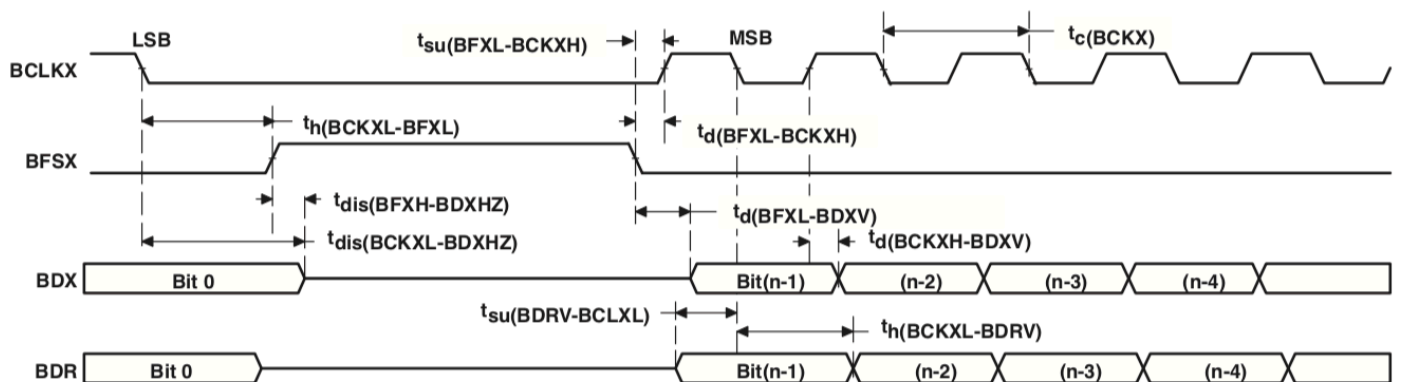


图31.作为SPI主电路或从电路的McBSP时序：CLKSTP = 10b, CLKXP = 0

多通道缓冲串行端口计时 (续)

McBSP作为SPI主或从电路的时序要求： $[H = 0.5t_c(CO)]$ CLKSTP = 11b, CLKXP = 0 † (请参见图32)

参数	主电路		从电路		单位
	最小值	最大值	最小值	最大值	
$t_{su}(BDRV-BCKXH)$ 建立时间, BCLKX高电平前BDR有效	12		2-12H		ns
$t_h(BCKXH-BDRV)$ 保持时间, BCLKX高电平后BDR有效	4		5+12H		ns
$t_{su}(BFXL-BCKXH)$ 建立时间, BCLKX高电平前BFSX低电平			10		ns
$t_c(BCKX)$ 周期时间, BCLKX	12H		32H		ns

† 对于所有SPI从模式, 通过设置CLKSM = CLKGDV = 1, 可以将CLKG编程为CPU时钟的1/2。

McBSP作为SPI主或从电路的开关特性： $[H = 0.5t_c(CO)]$ CLKSTP = 11b, CLKXP = 0 † (见图32)

参数	主电路†		从电路		单位
	最小值	最大值	最小值	最大值	
$t_h(BCKXL-BFXL)$ 保持时间, BCLKX低电平后BFSX低电平‡	C - 3	C+4			ns
$t_d(BFXL-BCKXH)$ 延迟时间, BCLKX高电平后BFSX低电平¶	T - 5	T+3			ns
$t_d(BCKXL-BDXV)$ 延迟时间, BCLKX低电平到BDX有效	-2	6	6H+5	10H+15	ns
$t_{dis}(BCKXL-BDXHZ)$ 禁用时间, BDX高阻抗跟随BCLKX低电平时的最后一个数据位	-2	4	6H+3	10H+17	ns
$t_d(BFXL-BDXV)$ 延迟时间, BFSX低电平到BDX有效	D - 2	D+4	4H - 2	8H+17	ns

† 对于所有SPI从模式, 通过设置CLKSM = CLKGDV = 1, 可以将CLKG编程为CPU时钟的1/2。

‡ T = BCLKX周期 = (1 + CLKGDV) * 2H

C = BCLKX低脉冲宽度 = 当CLKGDV为奇数或零时为T/2; = (CLKGDV/2) * 2H (当CLKGDV为偶数时)

D = BCLKX高脉冲宽度 = 当CLKGDV为奇数或零时为T/2; = (CLKGDV/2 + 1) * 2H (当CLKGDV为偶数时)

§ FSRP = FSXP = 1。作为SPI主电路, BFSX被反相以提供低电平有效的从电路使能输出。作为从电路, 在内部使用之前, 请先将BFSX和BFSR上的低电平有效信号输入反转。

主McBSP的CLKXM = FSXM = 1, CLKRM = FSRM = 0

从McBSP的CLKXM = CLKRM = FSXM = FSRM = 0

¶ BFSX应该在时钟的上升沿之前为低电平, 以开启从电路, 然后在主时钟 (BCLKX) 的上升沿开始SPI传输。

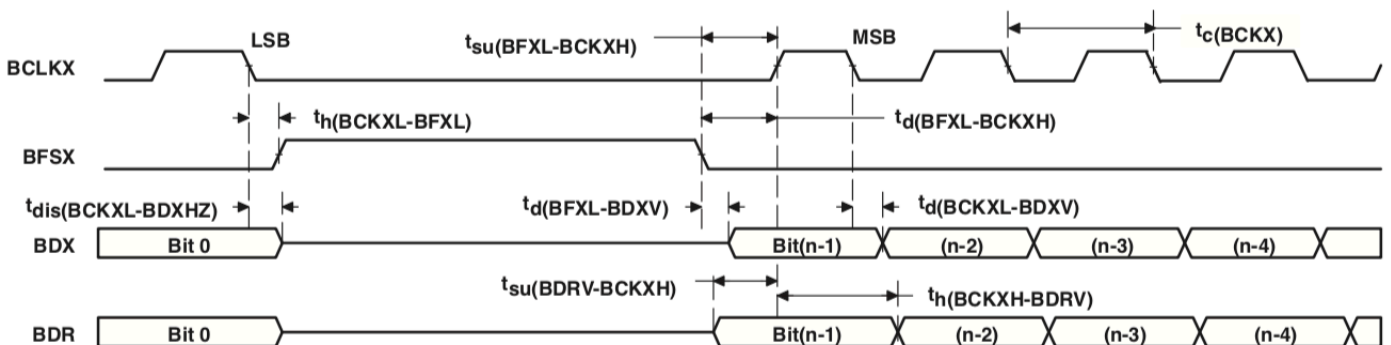


图32.作为SPI主或从电路的McBSP时序: CLKSTP = 11b, CLKXP = 0

多通道缓冲串行端口计时 (续)

McBSP作为SPI主或从电路的时序要求： $[H = 0.5t_c(CO)]$ CLKSTP = 10b, CLKXP = 1† (见图33)

参数	主电路		从电路		单位
	最小值	最大值	最小值	最大值	
$t_{su}(BDRV-BCKXH)$ 建立时间, BCLKX高电平前BDR有效	12		2-12H		ns
$t_h(BCKXH-BDRV)$ 保持时间, BCLKX高电平后BDR有效	4		5+12H		ns
$t_{su}(BFXL-BCKXL)$ 建立时间, BCLKX低电平前BFSX低电平			10		ns
$t_c(BCKX)$ 周期时间, BCLKX	12H		32H		ns

† 对于所有SPI从模式, 通过设置CLKSM = CLKGDV = 1, 可以将CLKG编程为CPU时钟的1/2。

作为SPI主或从的McBSP的开关特性： $[H = 0.5t_c(CO)]$ CLKSTP = 10b, CLKXP = 1‡ (见图33)

参数	主电路		从电路		单位
	最小值	最大值	最小值	最大值	
$t_h(BCKXH-BFXL)$ 保持时间, BCLKX高电平后BFSX低电平§	T - 3	T+4			ns
$t_d(BFXL-BCKXL)$ 延迟时间, BCLKX低电平后BFSX低电平¶	D - 5	D+3			ns
$t_d(BCKXL-BDXV)$ 延迟时间, BCLKX低电平到BDX有效	-2	6	6H+5	10H+15	ns
$t_{dis}(BCKXH-BDXHZ)$ 禁用时间, BDX高阻抗跟随BCLKX高电平时的最后一个数据位	D - 2	D+3			ns
$t_{dis}(BFXH-BDXHZ)$ 禁用时间, BDX高阻抗跟随BFSX高电平时的最后一个数据位			2H+3	6H+17	ns
$t_d(BFXL-BDXV)$ 延迟时间, BFSX低电平至BDX有效			4H - 2	8H+17	ns

† 对于所有SPI从模式, 通过设置CLKSM = CLKGDV = 1, 可以将CLKG编程为CPU时钟的1/2。

‡ T = BCLKX周期 = (1 + CLKGDV) * 2H

C = BCLKX低脉冲宽度 = 当CLKGDV为奇数或零时为T/2; = (CLKGDV/2) * 2H (当CLKGDV为偶数时)

D = BCLKX高脉冲宽度 = 当CLKGDV为奇数或零时为T/2; = (CLKGDV/2 + 1) * 2H (当CLKGDV为偶数时)

§ FSRP = FSXP = 1. 作为SPI主电路, BFSX被反相以提供低电平有效的从电路使能输出。作为从电路, 在内部使用之前, 请先将BFSX和BFSR上的低电平有效信号输入反转。

主McBSP的CLKXM = FSXM = 1, CLKRM = FSRM = 0

从McBSP的CLKXM = CLKRM = FSXM = FSRM = 0

¶ BFSX应该在时钟的上升沿之前为低电平, 以开启从电路, 然后在主时钟 (BCLKX) 的上升沿开始SPI传输。

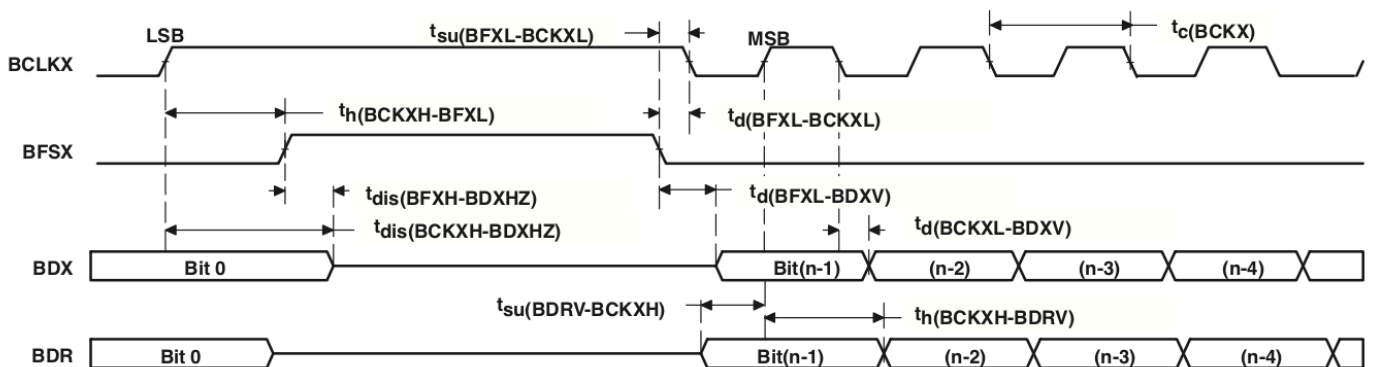


图33.作为SPI主或从的McBSP时序：CLKSTP = 10b, CLKXP = 1

多通道缓冲串行端口计时 (续)

McBSP作为SPI主或从电路的时序要求： $[H = 0.5t_c(CO)]$ CLKSTP = 11b, CLKXP = 1† (见图34)

参数	主电路		从电路		单位
	最小值	最大值	最小值	最大值	
$t_{su}(BDRV-BCKXL)$ 建立时间, BCLKX低电平前BDR有效	9		-12H		ns
$t_h(BCKXL-BDRV)$ 保持时间, BCLKX低电平后BDR有效	0		5+12H		ns
$t_{su}(BFXL-BCKXL)$ 建立时间, BCLKX低电平前BFSX低电平			10		ns
$t_c(BCKX)$ 周期时间, BCLKX	12H		32H		ns

† 对于所有SPI从模式, 通过设置CLKSM = CLKGDV = 1, 可以将CLKG编程为CPU时钟的1/2。

McBSP作为SPI主或从电路的开关特性： $[H = 0.5t_c(CO)]$ CLKSTP = 11b, CLKXP = 1† (见图34)

参数	主电路		从电路		单位
	最小值	最大值	最小值	最大值	
$t_h(BCKXH-BFXL)$ 保持时间, BCLKX高电平后BFSX低电平§	D - 3	D + 4			ns
$t_d(BFXL-BCKXL)$ 延迟时间, BCLKX低电平后BFSX低电平¶	T - 5	T + 3			ns
$t_d(BCKXH-BDXV)$ 延迟时间, BCLKX高电平到BDX有效	-2	6	6H+5	10H+15	ns
$t_{dis}(BCKXH-BDXHZ)$ 禁用时间, BDX高阻抗跟随BCLKX高电平时的最后一个数据位	-2	4	6H+3	10H+17	ns
$t_d(BFXL-BDXV)$ 延迟时间, BFSX低电平至BDX有效	C - 2	C + 4	4H - 2	8H+17	ns

† 对于所有SPI从模式, 通过设置CLKSM = CLKGDV = 1, 可以将CLKG编程为CPU时钟的1/2。

‡ T = BCLKX周期 = (1 + CLKGDV) * 2H

C = BCLKX低脉冲宽度 = 当CLKGDV为奇数或零时为T/2; = (CLKGDV/2) * 2H (当CLKGDV为偶数时)

D = BCLKX高脉冲宽度 = 当CLKGDV为奇数或零时为T/2; = (CLKGDV/2 + 1) * 2H (当CLKGDV为偶数时)

§ FSRP = FSXP = 1. 作为SPI主电路, BFSX被反相以提供低电平有效的从电路使能输出。作为从电路, 在内部使用之前, 请先将BFSX和BFSR上的低电平有效信号输入反转。

主McBSP的CLKXM = FSXM = 1, CLKRM = FSRM = 0

从McBSP的CLKXM = CLKRM = FSXM = FSRM = 0

¶ BFSX应该在时钟的上升沿之前为低电平, 以开启从电路, 然后在主时钟 (BCLKX) 的上升沿开始SPI传输。

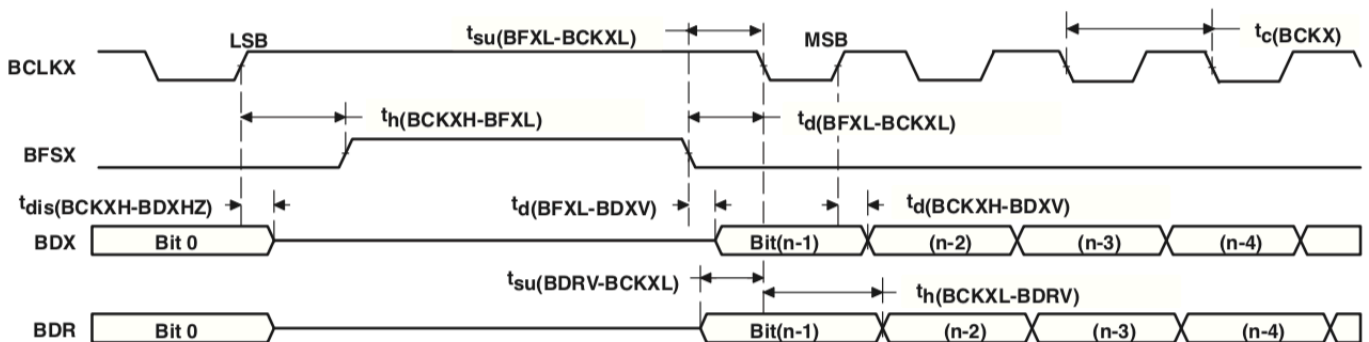


图34.作为SPI主或从电路的McBSP时序：CLKSTP = 11b, CLKXP = 1

HPI8时序

在推荐的工作条件下的开关特性†‡§¶[H = 0.5tc (CO)] (请参见图35, 图36, 图37和图38)

参数		最小值	最大值	单位
t _{en} (DSL-HD) 开启时间, HD由DS低电平驱动		2	16	
t _d (DSL-HDV1) 延迟时间, DS低电平至HDx有效, 对一次HPI读操作的第一个字节	情况1a: 当DMAC在16位模式下处于激活状态并且t _w (DSH) < 18H时, 进行内存访问		18H+16 - t _w (DSH)	ns
	情况1b: 当DMAC在16位模式下处于激活状态且t _w (DSH) ≥ 18H时, 进行内存访问		16	
	情况1c: 当DMAC在32位模式下处于激活状态并且t _w (DSH) < 26H时, 进行内存访问		26H+16 - t _w (DSH)	
	情况1d: 当DMAC在32位模式下处于激活状态并且t _w (DSH) ≥ 26H时, 进行内存访问		16	
	情况2a: 当DMAC处于非激活状态并且t _w (DSH) < 10H时, 进行内存访问		10H+16 - t _w (DSH)	
	情况2b: DMAC处于非激活状态并且t _w (DSH) ≥ 10H时进行内存访问		16	
	情况3: 寄存器访问		16	
t _d (DSL-HDV2) 延迟时间, DS低至HDx有效, 对一次HPI读操作的第二个字节			16	ns
t _h (DSH-HDV) _R 保持时间, HDx在DS高后有效, 对于一次HPI读操作		3	5	ns
t _v (HYH-HDV) 有效时间, HRDY高电平后HDx有效			9	
t _d (DSH-HYL) 延迟时间, DS高电平到HRDY低电平 (见注1)			16	ns
t _d (DSH-HYH) 延迟时间, DS高电平到HRDY高电平	情况1a: 当DMAC在16位模式下处于激活状态时, 进行内存访问		18H+16	ns
	情况1b: 当DMAC在32位模式下处于激活状态时, 进行内存访问		26H+16	
	情况2: DMAC处于非激活状态时进行内存访问		10H+16	
	情况3: 对HPIC寄存器的写入访问 (请参见注释2)		6H+16	
t _d (HCS-HRDY) 延迟时间, 低/高电平到HRDY低/高电平			16	ns
t _d (COH-HYH) 延迟时间, CLKOUT高电平到HRDY高电平			3	ns
t _d (COH-HTX) 延迟时间, CLKOUT高电平到电平变化			5	ns
t _d (COH-GPIO) 延迟时间, CLKOUT为高电平, HDx输出改变。HDx被配置为通用输出。			6	ns

注意: 1.当HCS输入为高电平时, 无论DS时序如何, HRDY输出始终为高电平。

2.当向HPIC寄存器的DSPINT位或HINT位写入1时, 该时序适用。对HPIC的所有其他写入都是异步发生的, 并且不会导致HRDY无效。

† DS表示, 和的逻辑或。

‡ HDx指的是HPI任何数据总线引脚 (HD0, HD1, HD2等)。

§ DMAC代表直接内存访问 (DMA) 控制器。HPI8与DMAC共享内部DMA总线, 因此HPI8访问时间受DMAC活动影响。

¶ GPIO指HD引脚当将它们配置为通用输入/输出时。

HPI8时序 (续)

时序要求†‡§ (请参见图35, 图36, 图37和图38)

	最小值	最大值	单位
$t_{su(HBV-DSL)}$ 设置时间, HBIL和HAD在DS低电平之前或HAS低电平之前有效† #	5		ns
$t_h(DSL-HBV)$ 保持时间, HBIL和HAD在DS低电平之后或HAS低电平之后有效† #	5		ns
$t_{su(HSL-DSL)}$ 建立时间, DS低电平之前HAS低电平	10		ns
$t_w(DSL)$ 脉冲持续时间, DS低电平	20		ns
$t_w(DSH)$ 脉冲持续时间, DS高电平	10		ns
$t_{su(HDV-DSH)}$ 设置时间, HDx在DS高电平、HPI写入之前有效	2		ns
$t_h(DSH-HDV)^\ddagger$ 保持时间, DS高电平、HPI写入之后HDx有效	3		ns
$t_{su}(GPIO-COH)$ 建立时间, HDx输入在CLKOUT高电平之前有效, HDx配置为通用输入	6		ns
$t_h(GPIO-COH)$ 保持时间, HDx输入在CLKOUT为高电平后有效, HDx配置为通用输入	0		ns

† DS表示HCS, HDS1和HDS2的逻辑或。

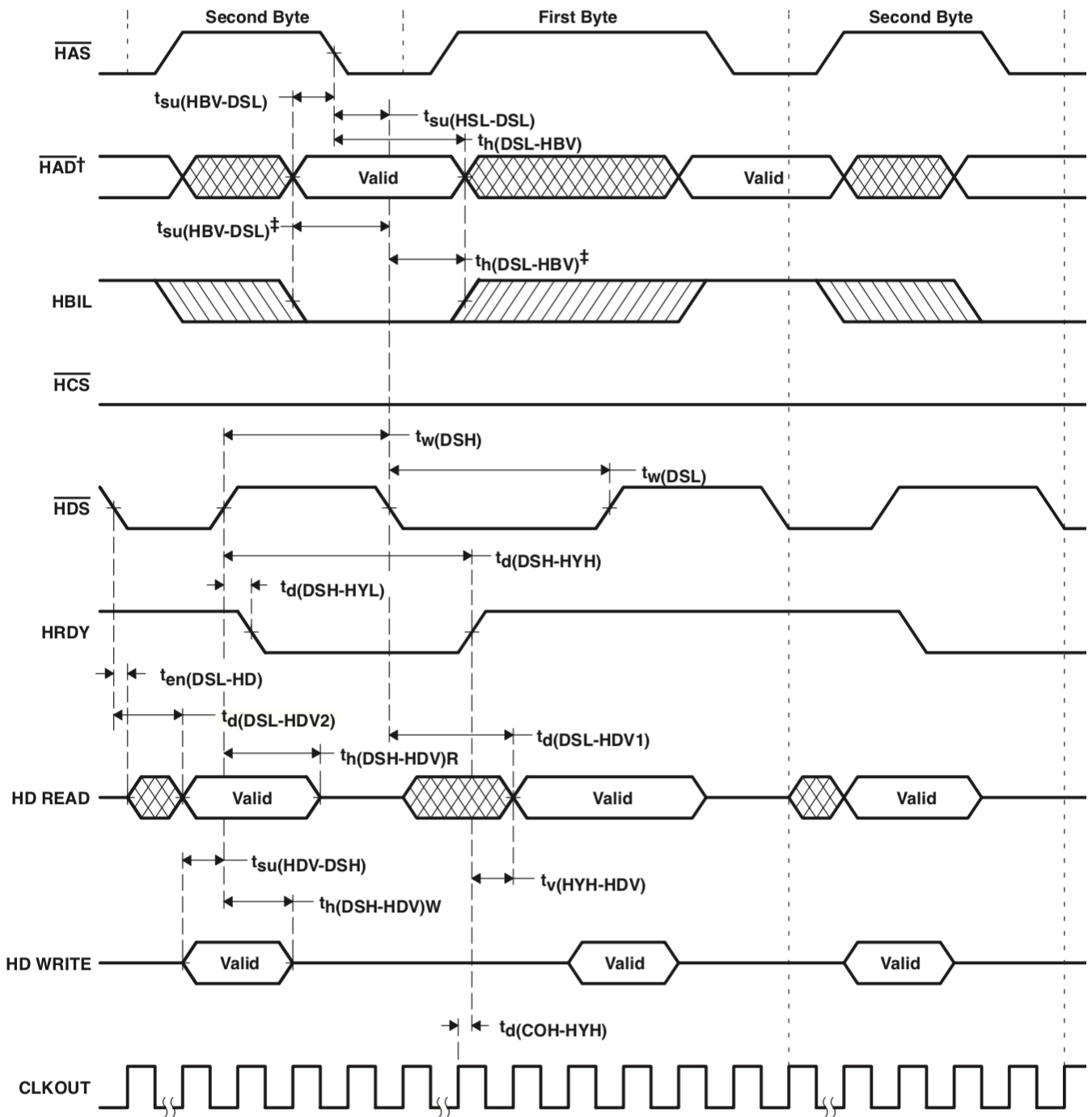
‡ HDx指的是HPI任何数据总线引脚 (HD0, HD1, HD2等)。

§ GPIO指HD引脚当将它们配置为通用输入/输出时。

†† HAD是指HCNTL0, HCNTL1和

当使用HAS信号锁存控制信号时, 此时间指的是HAS信号的下降沿。当不使用HAS (始终为高) 时, 此时序指的是DS的下降沿。

HPI8时序 (续)



† HAD是指HCNTL0, HCNTL1和
 ‡ 不使用HAS时 (HAS始终为高)

图35.使用HDS控制访问 (HCS始终为低)

HPI8时序 (续)

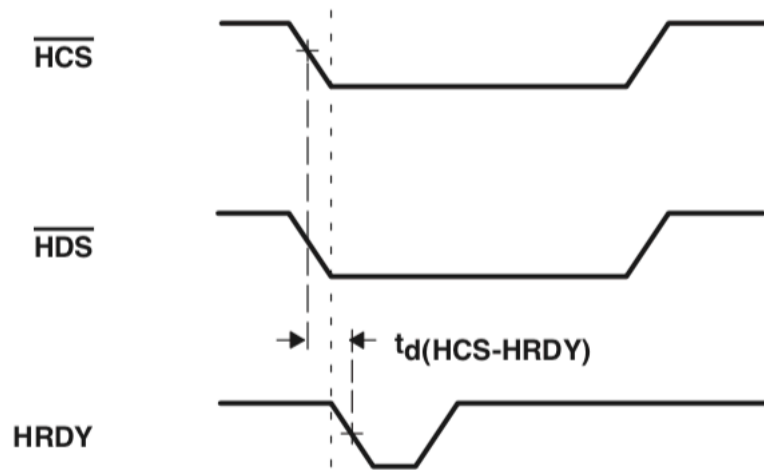


图36. 使用控制地址

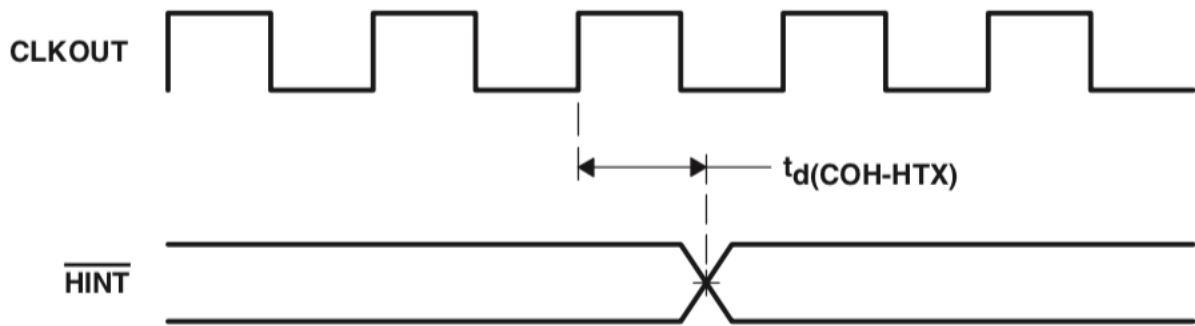
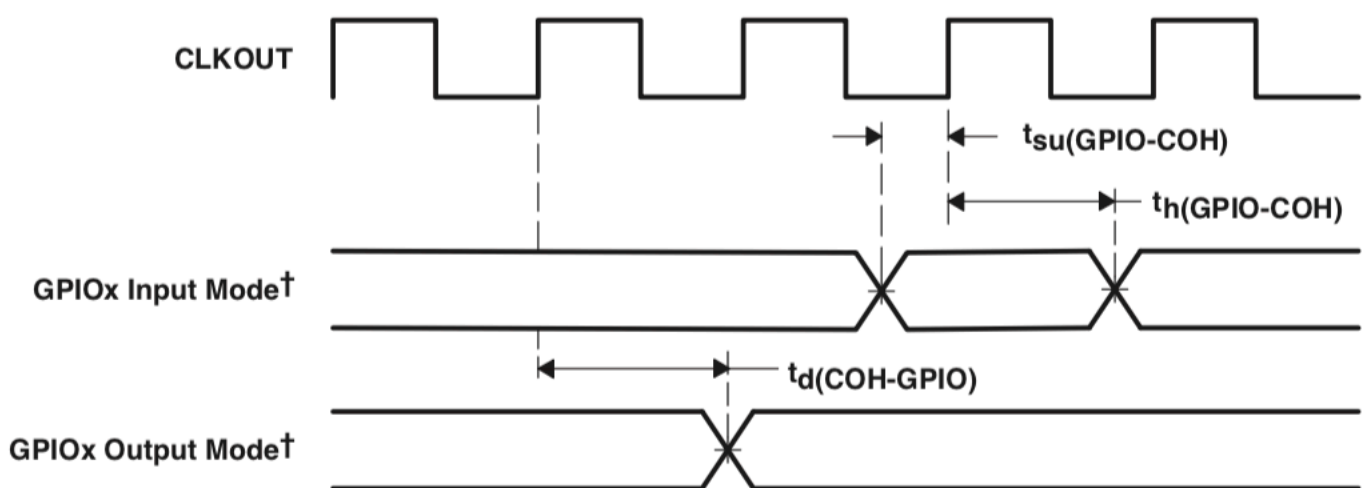


图37. 时序



†当将HD总线配置为通用输入/输出 (I/O) 时，GPIOx指的是HD0，HD1，HD2，... HD7。

图38. GPIOx†时序

机械数据

以下包装信息反映了可用于指定设备的最新发布数据。此数据如有更改，恕不另行通知，并且不对本文档进行修订。

封装热阻特性

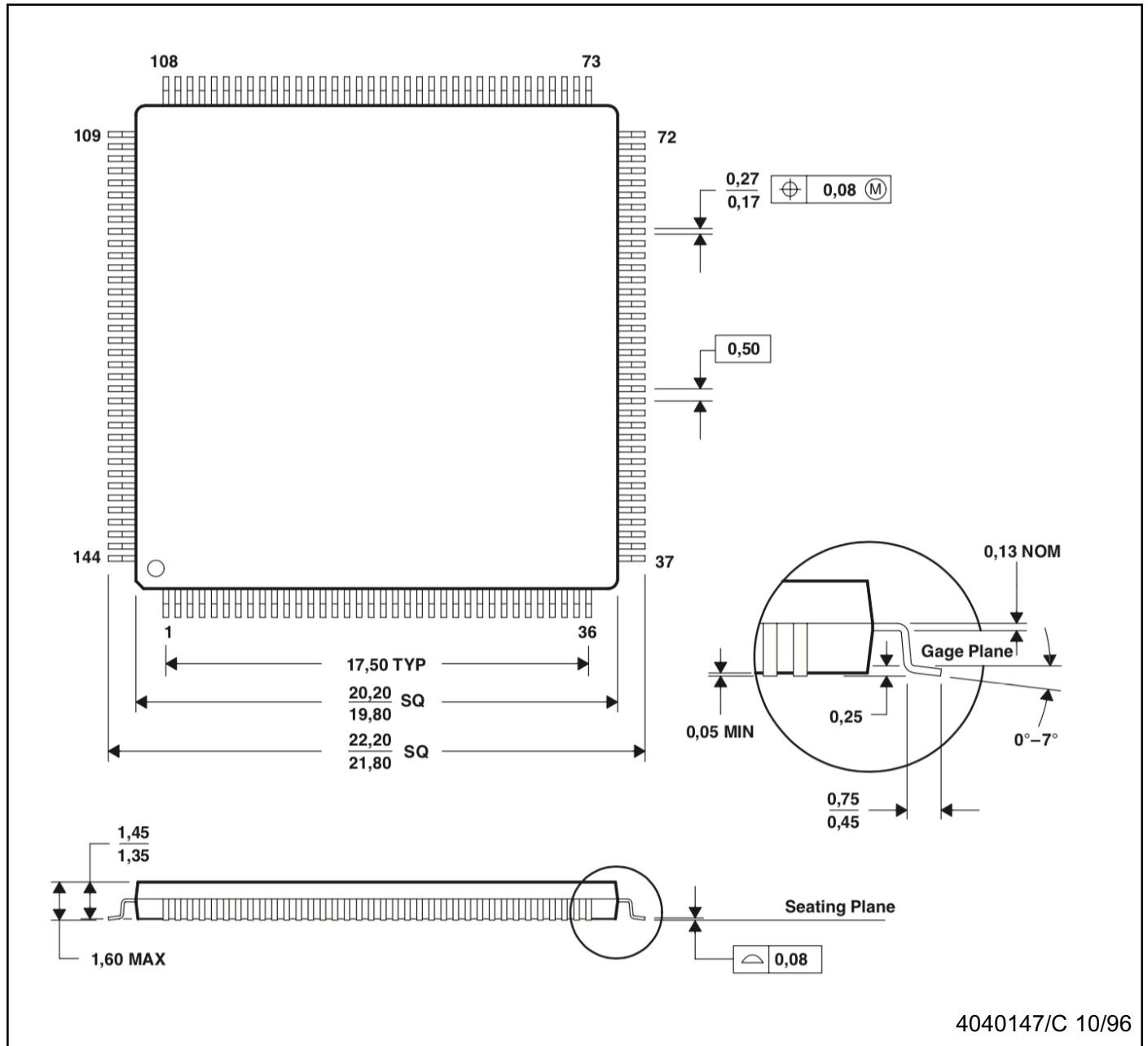
表1提供了器件上使用的推荐封装类型的预期热阻特性。

表1.热阻特性

参数	PGE 封装	GGU封装	单位
$R_{\theta JA}$	56	38	°C/W
$R_{\theta JC}$	5	5	°C/W

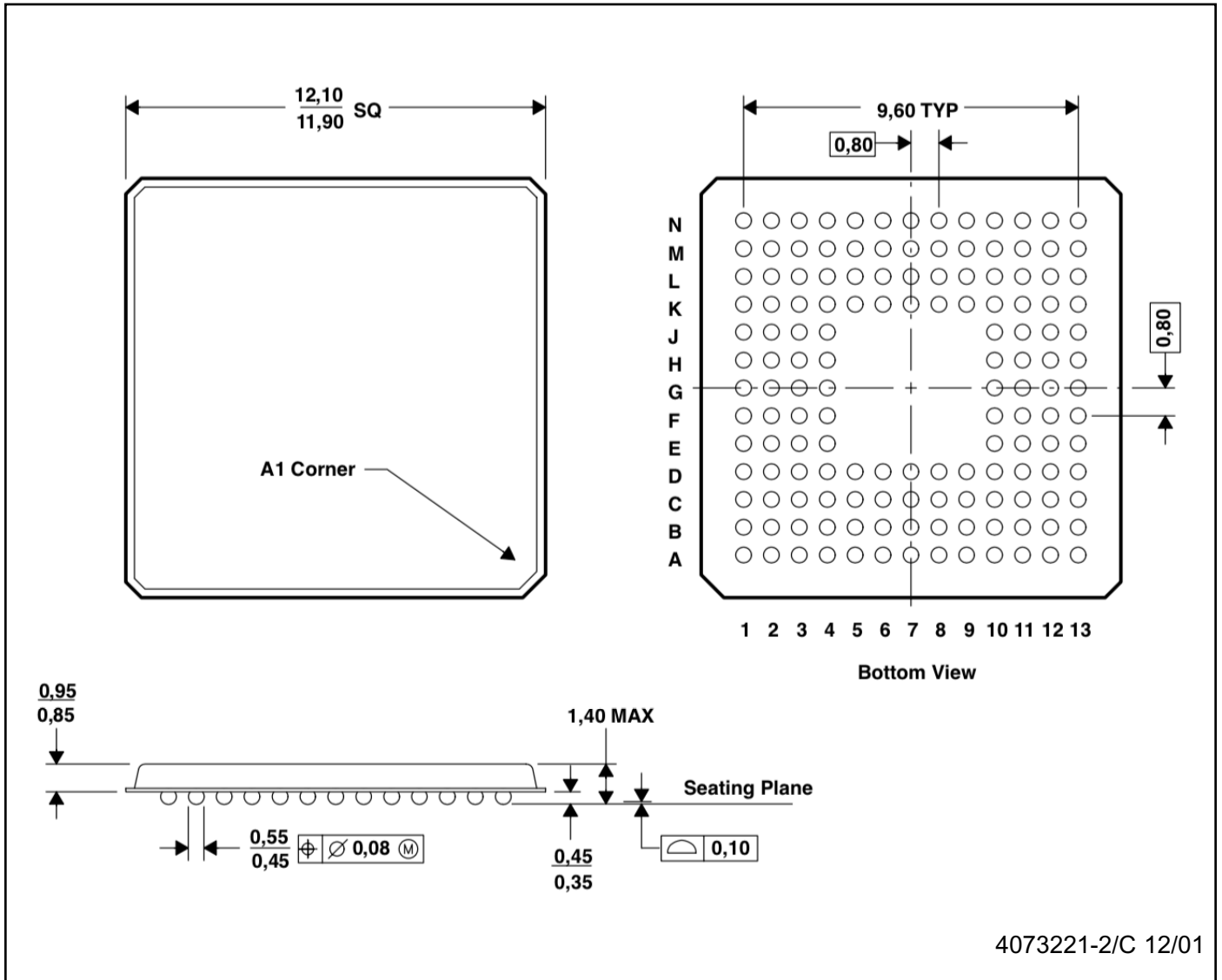
订购信息

可订购器件	状态 (1)	封装类型	封装图	引脚	封装数量	环境规范	铅/球表面处理	MSL峰值温度	工作温度 (°C)
CLM320VC5 402GGU100	ACTIVE	BGA MICROS TAR	GGU	144	160	绿色 (RoHS 无 铅)	SNPB	Level-3-2 20C-168 HR	-40~+100
CLM320VC5 402PGE100	ACTIVE	LQFP	PGE	144	60	绿色 (RoHS 无 铅)	CU NIPDAU	Level-2-2 60C-1 YEAR	-40~+100

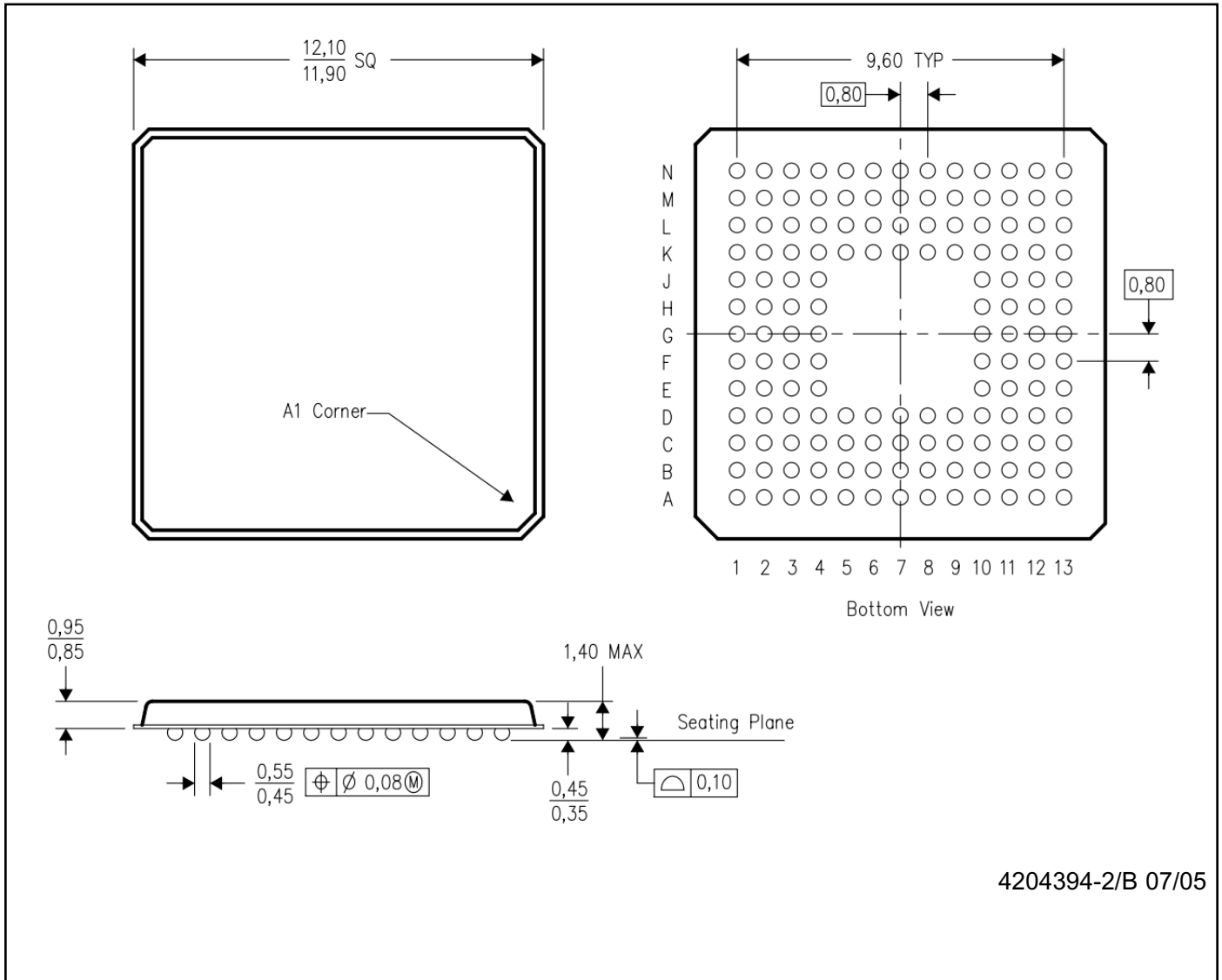


注意：A.所有线性尺寸均以毫米为单位。
 B.本图纸如有更改，恕不另行通知。
 C.属于JEDEC MS-026

4040147/C 10/96



注意：A.所有线性尺寸均以毫米为单位。
 B.本图纸如有更改，恕不另行通知。
 C. MicroStar BGATM配置



- 注意：A.所有线性尺寸均以毫米为单位。
 B.本图纸如有更改，恕不另行通知。
 C. Micro Star BGA配置
 D. 这是无铅焊球设计

X-ON Electronics

Largest Supplier of Electrical and Electronic Components

Click to view similar products for Digital Signal Processors & Controllers - DSP, DSC category:

Click to view products by CHIPLON manufacturer:

Other Similar products are found below :

[0W888-002-XTP](#) [DSPIC33EP512MU810T-E/BG](#) [AD21489WBCPZ402](#) [ISL68221IRAZ](#) [dsPIC33CDVL64MC106-E/M8](#) [ISL69224IRAZ](#)
[DSPIC33CK64MP102-E/M6](#) [CLM320VC5402PGE100](#) [CLM320F28335PGFA](#) [TMS320DM8168SCYGA2](#) [OMAPL132EZWTA2R](#)
[TMS320F28335ZJZQR](#) [dsPIC33FJ16GS504-E/ML](#) [DSPIC33CK1024MP705-E/PT](#) [DSPIC33CK1024MP708-E/PT](#) [DSPIC33CK1024MP710-](#)
[E/PT](#) [MC56F8027VLHR](#) [TYCOF2812PGFA](#) [DSPIC33EP128GP502-E/SS](#) [dsPIC33EP16GS502-EMM](#) [DSPIC33EP512MC504-EML](#)
[DSPIC33EP64MC502-E/MM](#) [dsPIC33EV256GM002-ESO](#) [ADSP-2187NBSTZ-320](#) [ADSP-2185MKSTZ-300](#) [TMS320DM6433ZDU7](#)
[MC56F8245VLD](#) [SM32C6713BGDPA20EP](#) [DSPIC33FJ64GP710-I/PF](#) [DSPIC33FJ32MC204-H/PT](#) [DSPIC33FJ256MC510-I/PF](#)
[DSPIC33FJ256GP510A-I/PT](#) [DSPIC33FJ06GS102-I/MM](#) [DSPIC33EP512MU810-I/BG](#) [DSPIC33EP32MC502-I/SP](#) [DSPIC33EP32GS202-](#)
[I/M6](#) [DSPIC33EP16GS506-I/PT](#) [DSPIC33EP16GS202-I/M6](#) [DSPIC33FJ64GS610-50I/PT](#) [DSPIC33FJ64GS610-50I/PF](#) [DSPIC33FJ64GS606-](#)
[50I/PT](#) [DSPIC33FJ32MC202-I/SP](#) [DSPIC33FJ32GP202-E/MM](#) [DSPIC33FJ256MC710-I/PF](#) [DSPIC33FJ256GP710A-I/PF](#)
[DSPIC33FJ256GP510A-I/PF](#) [DSPIC33FJ128GP802-I/MM](#) [DSPIC33EV32GM006-I/PT](#) [DSPIC33EP16GS504-I/PT](#) [DSPIC30F4013-20I/ML](#)