



CS1237 用户手册

24-bit Sigma-Delta ADC

Rev 1.1

通讯地址：深圳市南山区蛇口南海大道 1079 号花园城数码大厦 A 座 9 楼

邮政编码：518067

公司电话：+(86 755)86169257

传 真：+(86 755)86169057

公司网站：www.chipsea.com

微 信 号：芯海科技

微信二维码：



版本历史

| 历史版本 | 修改内容 | 版本日期 |
|---------|--|------------|
| REV 1.0 | 初始版本 | 2014-3-26 |
| REV 1.1 | <ol style="list-style-type: none">1. 更正格式2. 修改差分输入阻抗参数3. 修改 P-P 噪声参数4. 修改共模输入范围参数 | 2014-10-17 |

目 录

| | |
|---|-----------|
| 版本历史 | 2 |
| 目 录 | 3 |
| 1 芯片功能说明 | 5 |
| 1.1 芯片主要功能特性 | 5 |
| 1.2 芯片应用场合 | 5 |
| 1.3 芯片基本结构功能描述 | 6 |
| 1.4 芯片绝对最大极限值 | 7 |
| 1.5 CS1237 数字逻辑特性 | 7 |
| 1.6 CS1237 电气特性 | 8 |
| 1.7 芯片引脚 | 9 |
| 2 芯片功能模块描述 | 10 |
| 2.1 模拟输入前端 | 10 |
| 2.2 温度传感器 | 10 |
| 2.3 低噪声 PGA 放大器 | 11 |
| 2.4 时钟信号源 | 12 |
| 2.5 复位和断电(POR&power down) | 12 |
| 2.6 SPI 串口通信 | 13 |
| 2.6.1 建立时间 | 13 |
| 2.6.2 ADC 数据输出速率 | 14 |
| 2.6.3 数据格式 | 14 |
| 2.6.4 数据准备/数据输入输出($\overline{DRDY}/DOUT$) | 14 |
| 2.6.5 串行时钟输入(SCLK) | 14 |
| 2.6.6 数据发送 | 15 |
| 2.6.7 功能配置 | 16 |
| 2.6.7.1 SPI 命令字 | 16 |
| 2.6.7.2 SPI 寄存器 | 17 |
| 2.6.8 Power down 模式 | 18 |
| 3 芯片的封装 | 19 |

图目录

| | |
|-----------------------------------|----|
| 图 1 CS1237 原理框图 | 6 |
| 图 2 CS1237 芯片引脚图 | 9 |
| 图 3 模拟输入结构图 | 10 |
| 图 4 PGA 结构图 | 11 |
| 图 5 CS1237 数据建立过程 1 | 13 |
| 图 6 CS1237 数据建立过程 2 | 13 |
| 图 7 CS1237 读取数据时序图 1 | 15 |
| 图 8 CS1237 读取数据时序图 2 | 15 |
| 图 9 功能配置时序图 | 16 |
| 图 10 CS1237 PowerDown 模式示意图 | 18 |
| 图 11 芯片 SOP8 封装尺寸信息 | 19 |

表目录

| | |
|---------------------------------------|----|
| 表 1 CS1237 极限值 | 7 |
| 表 2 CS1237 数字逻辑特性 | 7 |
| 表 3 CS1237 电气特性 (VDD = 5V、3.3V) | 8 |
| 表 4 CS1237 电源电气特性 (VDD = 5V) | 8 |
| 表 5 CS1237 电源电气特性 (VDD = 3.3V) | 8 |
| 表 6 PIN 脚说明 | 9 |
| 表 7 输出速率设置 | 14 |
| 表 8 理想输出码和输入信号 ⁽¹⁾ | 14 |
| 表 9 读取数据时序表 | 15 |
| 表 10 CS1237 命令字说明表 | 16 |
| 表 11 Config 寄存器说明表 | 17 |

1 芯片功能说明

CS1237 是一款高精度、低功耗模数转换芯片，一路差分输入通道，内置温度传感器和高精度振荡器。

CS1237 的 PGA 可选：1、2、64、128，默认为 128。

CS1237 正常模式下的 ADC 数据输出速率可选：10Hz、40Hz、640Hz、1.28kHz，默认为 10Hz；

MCU 可以通过 2 线的 SPI 接口 $SCLK$ 、 $\overline{DRDY}/DOUT$ 与 CS1237 进行通信，对其进行配置，例如通道选择、PGA 选择、输出速率选择等。

1.1 芯片主要功能特性

- 内置晶振
- 集成温度传感器
- 带 Power down 功能
- 2 线 SPI 接口，最快速率为 1.1MHz

ADC 功能特性：

- 24 位无失码
- PGA 放大倍数可选：1、2、64、128
- 1 路 24 位无失码的差分输入，在 PGA=128 时 ENOB 为 20 位(5V)\19.5 位(3.3V)
- P-P 噪声：PGA=128、10Hz：180nV；
- INL 小于 0.0015%
- 输出速率可选：10Hz、40Hz、640Hz、1.28kHz
- 带内短功能

1.2 芯片应用场合

- 工业过程控制
- 电子秤
- 液体/气体化学分析
- 血液计
- 智能变换器
- 便携式设备

1.3 芯片基本结构功能描述

CS1237 是一款高精度、低功耗 Sigma-Delta 模数转换芯片，内置一路 Sigma-Delta ADC，一路差分输入通道和一路温度传感器，ADC 采用两阶 sigma delta 调制器，通过低噪声仪用放大器结构实现 PGA 放大，放大倍数可选：1、2、64、128。在 PGA=128 时，有效分辨率可达 20 位(工作在 5V)。

CS1237 内置 RC 振荡器，无需外置晶振。

CS1237 可以通过 $\overline{DRDY}/DOUT$ 和 SCLK 进行多种功能模式的配置，例如用作温度检测、PGA 选择、ADC 数据输出速率选择等等。

CS1237 具有 Power down 模式。

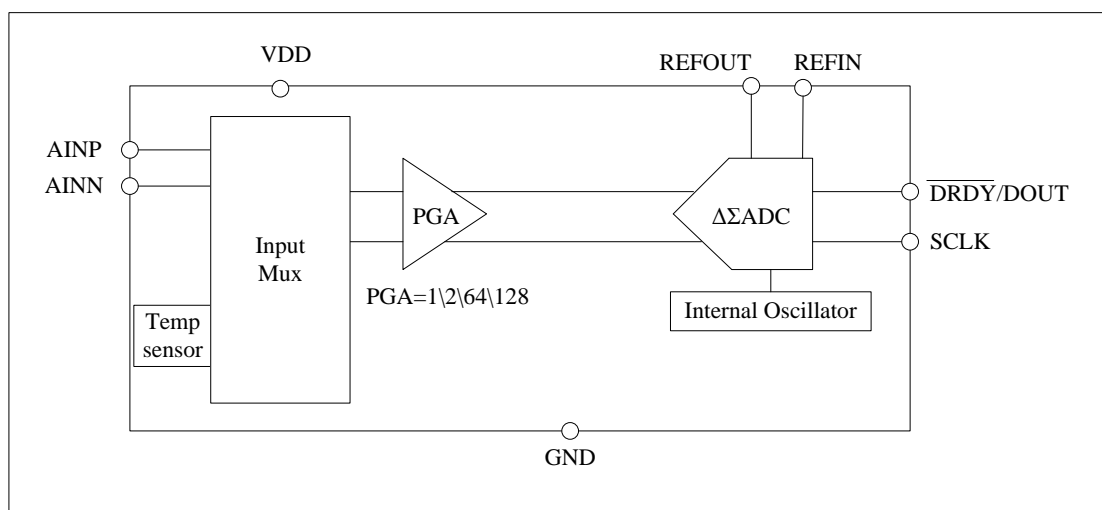


图1 CS1237 原理框图

1.4 芯片绝对最大极限值

表1 CS1237 极限值

| 名称 | 符号 | 最小 | 最大 | 单位 |
|----------|-----|------|----------|----|
| 电源电压 | VDD | -0.3 | 6 | V |
| 电源瞬间电流 | | | 100 | mA |
| 电源恒定电流 | | | 10 | mA |
| 数字管脚输入电压 | | -0.3 | DVDD+0.3 | V |
| 数字输出管脚电压 | | -0.3 | DVDD+0.3 | V |
| 节温 | | | 150 | °C |
| 工作温度 | | -40 | 85 | °C |
| 储存温度 | | -60 | 150 | °C |
| 芯片管脚焊接温度 | | | 240 | °C |

1.5 CS1237 数字逻辑特性

表2 CS1237 数字逻辑特性

| 参数 | 最小 | 典型 | 最大 | 单位 | 条件说明 |
|-----------------|----------|----|----------|-----|----------------------|
| V _{IH} | 0.7×DVDD | | DVDD+0.1 | V | |
| V _{IL} | DGND | | 0.3×DVDD | V | |
| V _{OH} | DVDD-0.4 | | DVDD | V | I _{oh} =1mA |
| V _{OL} | DGND | | 0.2×DVDD | V | I _{oL} =1mA |
| I _{IH} | | | 10 | μA | V _I =DVDD |
| I _{IL} | -10 | | | μA | V _I =DGND |
| 串口时钟SCLK工作频率 | | | 1.1 | MHz | |

1.6 CS1237 电气特性

所有的参数测试在环境温度-40~85℃、内置基准的条件下测试，除非有其它注明。

表3 CS1237 电气特性 (VDD = 5V、3.3V)

| 参数 | 条件 | 最小值 | 典型值 | 最大值 | 单位 |
|--------------------|--------------|--|------------------------|-----------|---------|
| 模拟输入 | | | | | |
| 满幅输入电压 (AINP-AINN) | | | $\pm 0.5V_{REF}/PGA$ | | V |
| 共模输入电压 | PGA=1, 2 | AGND-0.1 | | AVDD+0.1 | V |
| | PGA=64, 128 | AGND+0.75 | | AVDD-0.75 | V |
| 差分输入阻抗 | PGA=1、2 | | 190 | | MΩ |
| | PGA=64、128 | | 28 | | MΩ |
| 系统性能 | | | | | |
| 分辨率 | 无失码 | | 24 | | Bits |
| AD速率 | | | 10 | 1280 | Hz |
| 建立时间 | 全建立 | 3: ADC输出速率为10\40Hz、 4: ADC输出速率为640\1280Hz | | | 转换周期 |
| P-P噪声 | PGA=128、10Hz | | 180 | | nv |
| 有效精度 | PGA=128、10Hz | | 20 (5V) 19.5 (3.3V) | | Bit |
| 积分线性度 | PGA=128 | | ± 15 | | ppm |
| 失调误差 | PGA=128 | | ± 1.4 | | μV |
| 失调误差漂移 | PGA=128 | | 20 | | nv/°C |
| 增益误差 | PGA=128 | | ± 0.5 | | % |
| 增益误差漂移 | PGA=128 | | 8 | | ppm/°C |
| 参考电压输入 | | | | | |
| 参考电压输入 | REFIN | 1.5 | VDD | VDD+0.1 | V |
| 参考电压输出 | | | | | |
| 参考电压输出 | REFOUT | | VDD | | V |
| 时钟 | | | | | |
| 内部振荡器频率 | | | 5.2 | | MHz |
| 内置时钟温漂 | | | 250 | | ppm/°C |
| 温度传感器 | | | | | |
| 温度测量误差 | TempError | | ± 3 | | °C |

表4 CS1237 电源电气特性 (VDD = 5V)

| 参数 | 条件 | 最小值 | 典型值 | 最大值 | 单位 |
|------|------------|------------|------|-----|---------|
| 电源电压 | VDD | 4.5 | 5 | 5.5 | V |
| 工作电流 | 正常模式 | PGA=1、2 | 1.57 | | mA |
| | | PGA=64、128 | 2.34 | | mA |
| | Power down | | 0.1 | 0.1 | μA |

表5 CS1237 电源电气特性 (VDD = 3.3V)

| 参数 | 条件 | 最小值 | 典型值 | 最大值 | 单位 |
|------|------------|------------|------|-----|---------|
| 电源电压 | VDD | 3 | 3.3 | 3.6 | V |
| 工作电流 | 正常模式 | PGA=1、2 | 1.26 | | mA |
| | | PGA=64、128 | 2.11 | | mA |
| | Power down | | 0.1 | | μA |

1.7 芯片引脚

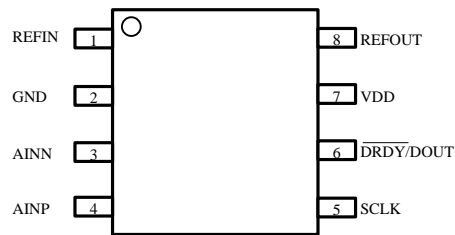


图2 CS1237 芯片引脚图

表6 PIN 脚说明

| 序号 | 引脚名称 | 输入/输出 | 说明 |
|----|------------------------|-------|---------------|
| 1 | REFIN | AI | 基准源输入 |
| 2 | GND | P | 芯片地 |
| 3 | AINN | AI | 通道负输入 |
| 4 | AINP | AI | 通道正输入 |
| 5 | SCLK | DI | SPI 输入接口 |
| 6 | $\overline{DRDY}/DOUT$ | DI/DO | SPI 数据输入\输出接口 |
| 7 | VDD | P | 电源 |
| 8 | REFOUT | AO | 基准源输出 |

注：REFOUT 即是传感器激励源输出（输出值为 VDD）。

2 芯片功能模块描述

2.1 模拟输入前端

CS1237 中有 1 路 ADC，集成了 1 路差分输入，信号输入可以是差分输入信号 AINP、AINN，也可以是温度传感器的输出信号，输入信号的切换由寄存器(ch_sel[1:0])控制，其基本结构如下图所示：

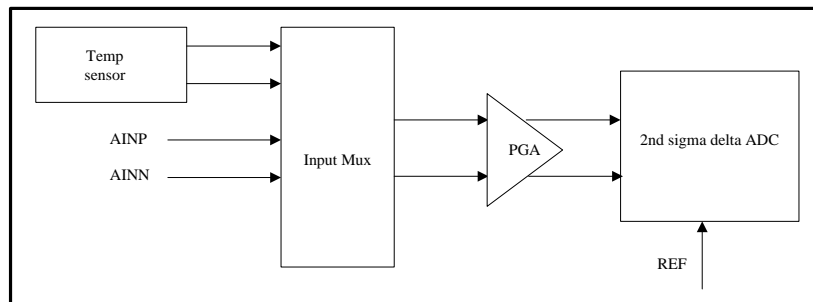


图3 模拟输入结构图

CS1237 的 PGA 可配：1、2、64、128，由寄存器(pga_sel[1:0])控制；

基准电压可以由外部输入也可是内部输出，如果要使用外部基准电压，要先关闭内部基准，内部基准控制由寄存器(refo_off)控制。

2.2 温度传感器

芯片内部提供温度测量功能。当 ch_sel[1:0]=2'b10 时，ADC 模拟信号输入接到内部温度传感器，其它的模拟输入信号无效。ADC 通过测量内部温度传感器输出的电压差来推导出实际的温度值。当 ch_sel[1:0]=2'b10 时，ADC 只支持 PGA=1。温度传感器需要进行单点校正。校正方法：在某个温度点 A 下，使用温度传感器进行测量得到码值 Ya。

那么其他温度点 B 对应的温度= $Yb*(273.15+A)/Ya-273.15$

A 温度单位是摄氏度。Ya 是 A 点对应温度码值。Yb 是 B 点对应温度码值。

2.3 低噪声 PGA 放大器

CS1237 提供了一个低噪声，低漂移的 PGA 放大器与桥式传感器差分输出连接，其基本结构图如下图所示，前置抗 EMI 滤波器电路 $R=450\Omega$ ， $C=18\text{pF}$ 实现 20M 高频滤波。低噪声 PGA 放大器通过 R_{F1} ， R_1 ， R_{F2} 实现 64 倍放大，并和后级开关电容 PGA 组成 64 和 128 的 PGA 放大。通过 $\text{pga_sel}[1:0]$ 来配置 1、2、64、128 等不同的 PGA。当使用 $\text{PGA}=1, 2$ 时，64 倍低噪声 PGA 放大器会被关断以节省功耗。当使用低噪声 PGA 放大器时，输入范围在 $\text{GND}+0.75\text{V}$ 到 $\text{VDD}-0.75\text{V}$ 之间，超出这个范围，会导致实际性能下降。在 CAP 端口处接一个内置 45pF 电容，与内置 2k 电阻 R_{INT} 组成一个低通滤波，用作低噪声 PGA 放大器的输出信号的高频滤波，同时该低通滤波器也可以作为 ADC 的抗混叠滤波器。

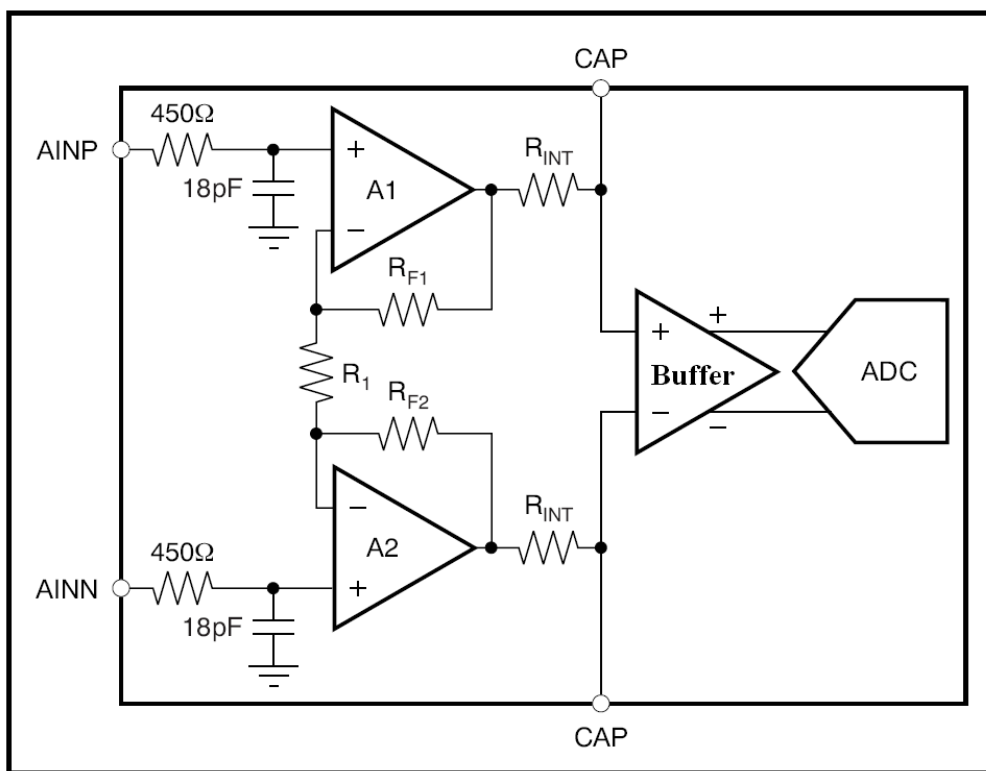


图4 PGA 结构图

CS1237 内置 Buffer，当 $\text{PGA}=1, 2$ 时，CS1237 使用 Buffer 来减少由于 ADC 差分输入阻抗低带来的问题，例如建立时间不足，增益误差偏大等等，当 $\text{PGA}=64, 128$ 时，CS1237 也使用 Buffer 来减少由于低噪声 PGA 经过 $R_{\text{INT}}=2\text{K}$ ， $C_{\text{INT}}=0.1\mu\text{F}$ 的低通滤波后带来的建立误差，增益误差以及内码漂移的现象。

2.4 时钟信号源

CS1237 使用内置晶振来提供系统所需要的时钟频率，典型值为 5.2MHz。

2.5 复位和断电(POR&power down)

当芯片上电时，内置上电复位电路会产生复位信号，使芯片自动复位。

当 SCLK 从低电平变高电平并保持在高电平超过 100 μ s，CS1237 即进入 PowerDown 模式，此时功耗低于 0.1 μ A。当 SCLK 重新回到低电平时，芯片会重新进入正常工作状态。

当系统由 Power down 重新进入正常工作模式时，此时所有功能配置为 PowerDown 之前的状态，不需要进行功能配置。

2.6 SPI 串口通信

CS1237 中采用 2 线 SPI 串行通信，通过 SCLK 和 $\overline{DRDY}/DOUT$ 可以实现数据的接收以及功能配置。

2.6.1 建立时间

在 ADC 数据输出速率为 10Hz 或 40Hz 时，数字部分需要有 3 个数据转换周期满足模拟输入信号的建立和滤波器的建立时间要求；ADC 数据输出速率为 640Hz 或 1280Hz 时，数字部分需要有 4 个数据转换周期满足模拟输入信号的建立和滤波器的建立时间要求。

CS1237 整个建立过程如下图所示：

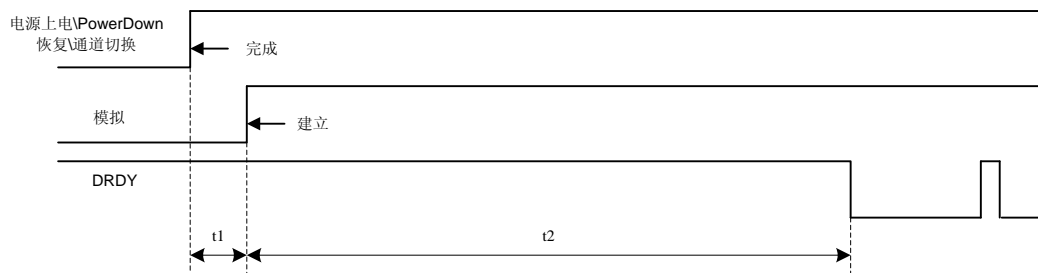


图5 CS1237 数据建立过程 1



图6 CS1237 数据建立过程 2

| 参数 | 描述 ⁽¹⁾ | 最小值 | 典型值 | 最大值 | 单位 |
|----|--------------------------------------|------------|------------|-----|----|
| t1 | 电源上电\PowerDown 恢复\通道切换之后模拟所需的建立时间 | | 2 | | ms |
| t3 | PGA 切换\速率切换之后模拟所需的建立时间 | | 0.8 | | μs |
| t2 | 建立时间 ($\overline{DRDY}/DOUT$ 保持高电平) | 10\40Hz | 300\75 | | ms |
| | | 640\1280Hz | 6.25\3.125 | | ms |

2.6.2 ADC 数据输出速率

CS1237 数据输出速率可以通过寄存器 speed_sel[1:0]配置。

表7 输出速率设置

| SPEED_SEL[1:0] | ADC 输出速率 (Hz) |
|----------------|---------------|
| 00 | 10 |
| 01 | 40 |
| 10 | 640 |
| 11 | 1280 |

2.6.3 数据格式

CS1237 输出的数据为 24 位的 2 进制补码，最高位（MSB）最先输出。最小有效位（LSB）为 $(0.5V_{REF}/Gain)/(2^{23}-1)$ 。正值满幅输出码为 7FFFFFFH，负值满幅输出码为 800000H。下表为不同模拟输入信号对应的理想输出码。

表8 理想输出码和输入信号⁽¹⁾

| 输入信号 V_{IN} (AINP-AINN) | 理想输出 |
|---------------------------------|----------|
| $\geq +0.5V_{REF}/Gain$ | 7FFFFFFH |
| $(+0.5V_{REF}/Gain)/(2^{23}-1)$ | 000001H |
| 0 | 000000H |
| $(-0.5V_{REF}/Gain)/(2^{23}-1)$ | FFFFFFFH |
| $\leq -0.5V_{REF}/Gain$ | 800000H |

(1) 不考虑噪声，INL，失调误差和增益误差的影响

2.6.4 数据准备/数据输入输出($\overline{DRDY}/DOUT$)

$\overline{DRDY}/DOUT$ 引脚有 4 个用途。第一，当输出为低时，表示新的数据已经转换完成；第二，作为数据输出引脚，当数据准备好后，在第 1 个 SCLK 的上升沿后， $\overline{DRDY}/DOUT$ 输出转换数据的最高位（MSB）。在每一个 SCLK 的上升沿，数据会自动移 1 位。在 24 个 SCLK 后将所有的 24 位数据读出，如果这时暂停 SCLK 的发送， $\overline{DRDY}/DOUT$ 会保持着最后一位的数据，直到下一个数据准备好之前拉高，此后当 $\overline{DRDY}/DOUT$ 被再次拉低，表示新的数据已经转换完成，可进行下一个数据读取；第三，在第 25、26 个 SCLK 时，输出寄存器状态更新标志；第四，作为寄存器数据写入或读出引脚，当需要配置寄存器或读取寄存器值时，SPI 需要发送 46 个 SCLK，根据 $\overline{DRDY}/DOUT$ 输入的命令字，判断是写寄存器操作还是读寄存器操作。

2.6.5 串行时钟输入(SCLK)

串行时钟输入 SCLK 是一个数字引脚。这个信号应保证是一个干净的信号，毛刺或慢速的上升沿都会可能导致读取错误数据或误入错误状态。因此，应保证 SCLK 的上升和下降时间都小于 50ns。

2.6.6 数据发送

CS1237 可以持续的转换模拟输入信号，当将 $\overline{DRDY}/DOUT$ 拉低后，表明数据已经准备好接受，输入的的第一个 SCLK 来就可以将输出的最高位读出，在 24 个 SCLK 后将所有的 24 位数据读出，如果这时暂停 SCLK 的发送， $\overline{DRDY}/DOUT$ 会保持着最后一位的数据，直到其被拉高，第 25 和 26 个 SCLK 输出配置寄存器是否有写操作标志，第 25 个 SCLK 对应的 $\overline{DRDY}/DOUT$ 为 1 时表明配置寄存器 Config 被写入了新的值，第 26 个 SCLK 对应的 $\overline{DRDY}/DOUT$ 为芯片扩展保留位，目前输出一直为 0，通过第 27 个 SCLK 可以将 $\overline{DRDY}/DOUT$ 拉高，此后当 $\overline{DRDY}/DOUT$ 被再次拉低，表示新的数据已经准备好接受，进行下一个数据的转换。其基本时序如图所示：

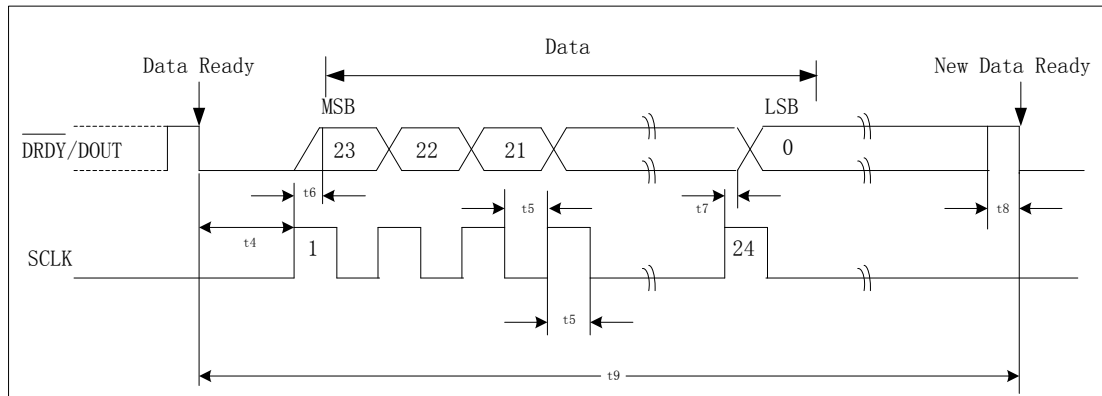


图7 CS1237 读取数据时序图 1

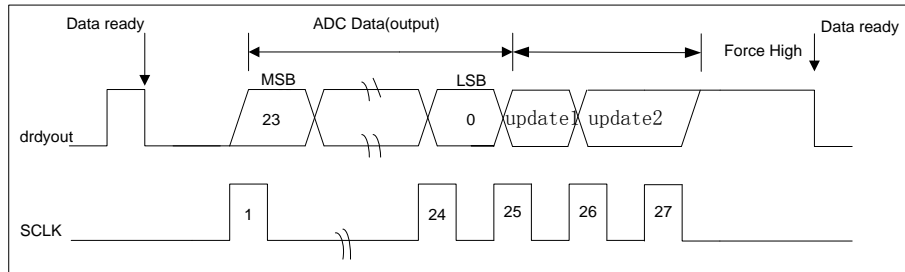


图8 CS1237 读取数据时序图 2

表9 读取数据时序表

| SYMBOL | DESCRIPTION | MIN | TYP | MAX | UNITS |
|--------|---------------------------------------|--------|-------|---------|-------|
| t4 | $\overline{DRDY}/DOUT$ 变低后到第一个SCLK上升沿 | 0 | | | ns |
| t5 | SCLK 高电平或低电平脉宽 | 455 | | | ns |
| t6 | SCLK上升沿到新数据位有效(传输延迟) | 455 | | | ns |
| t7 | SCLK上升沿到旧数据位有效(保持时间) | 227.5 | | 455 | ns |
| t8 | 数据更新，不允许读之前的数据 | | 26.13 | | μs |
| t9 | 转换时间 (1/data rate) | 10Hz | | 100 | ms |
| | | 40Hz | | 25 | ms |
| | | 640Hz | | 1.5625 | ms |
| | | 1280Hz | | 0.78125 | ms |

2.6.7 功能配置

CS1237 可以通过 SCLK 和 $\overline{DRDY}/DOUT$ 可以进行不同功能的配置，功能配置时序图如下图所示：

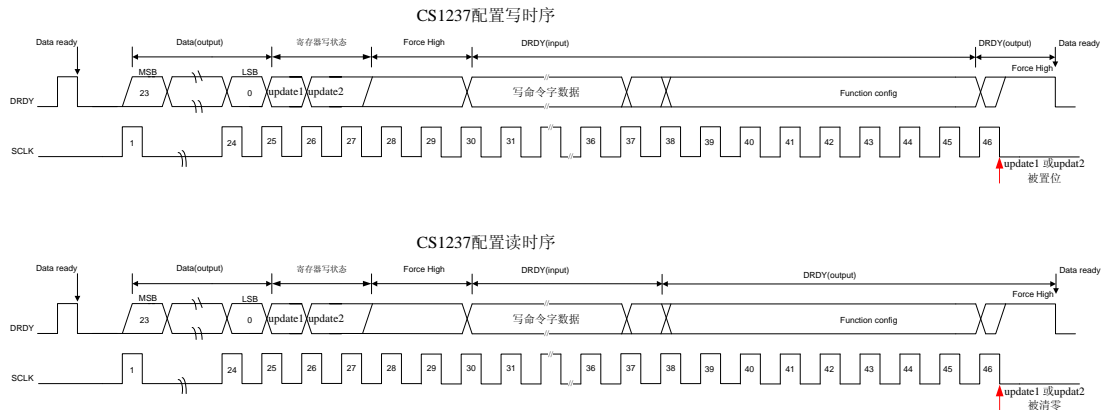


图9 功能配置时序图

功能配置过程简述，在 $\overline{DRDY}/DOUT$ 由高变低之后：

1. 第 1 个到第 24 个 SCLK，读取 ADC 数据。如果不需要配置寄存器或者读取寄存器，可以省略下面的步骤。
2. 第 25 个到第 26 个 SCLK，读取寄存器写操作状态。
3. 第 27 个 SCLK，把 $\overline{DRDY}/DOUT$ 输出拉高。
4. 第 28 个到第 29 个 SCLK，切换 $\overline{DRDY}/DOUT$ 为输入。
5. 第 30 个到第 36 个 SCLK，输入寄存器写或读命令字数据(高位先输入)。
6. 第 37 个 SCLK，切换 $\overline{DRDY}/DOUT$ 的方向(如果是写寄存器， $\overline{DRDY}/DOUT$ 为输入；如果是读寄存器， $\overline{DRDY}/DOUT$ 为输出)。
7. 第 38 个到第 45 个 SCLK，输入寄存器配置数据或输出寄存器配置数据(高位先输入/输出)。
8. 第 46 个 SCLK，切换 $\overline{DRDY}/DOUT$ 为输出，并把 $\overline{DRDY}/DOUT$ 拉高。
update1/ update2 被置位或清零。

2.6.7.1 SPI 命令字

CS1237 有 2 个命令字，命令字的长度为 7bits，命令字描述如下：

表10 CS1237 命令字说明表

| 命令名称 | 命令字节 | 描述 |
|--------|------|---------------|
| 写配置寄存器 | 0x65 | 写配置寄存器 Config |
| 读配置寄存器 | 0x56 | 读配置寄存器 Config |

2.6.7.2 SPI 寄存器

CS1237 有一组寄存器 Config。

Config 寄存器

| 寄存器 | R/W | 描述 | 复位值 |
|-----|-----|-------|------|
| 描述 | 保留位 | 配置寄存器 | 0x0C |

| 配置位 | B7 | B6 | B5 | B4 |
|-----|--------|----------|------------|----|
| 描述 | 保留位 | REF 输出开关 | ADC 输出速率选择 | |
| 配置位 | B3 | B2 | B1 | B0 |
| 描述 | PGA 选择 | | 通道选择 | |

表11 Config 寄存器说明表

| Bits | 描述 | | | | | | | | | | | |
|----------------|------------------|--|----------------|----|----|----------------|----|----------------|----|-----------------|----|------------------|
| [7] | - | 芯片保留使用位。默认为 0，写入时写 0，不要写 1 | | | | | | | | | | |
| [6] | REFO_OFF | REF 输出开关： 默认 REF 输出开启 1=关闭 REF 输出。 0=REF 正常输出。 | | | | | | | | | | |
| [5:4] | SPEED_SEL | ADC 输出速率选择： 默认为 10Hz <table border="1"> <thead> <tr> <th>SPEED_SEL[1:0]</th> <th>描述</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>ADC 输出速率为 10Hz</td> </tr> <tr> <td>01</td> <td>ADC 输出速率为 40Hz</td> </tr> <tr> <td>10</td> <td>ADC 输出速率为 640Hz</td> </tr> <tr> <td>11</td> <td>ADC 输出速率为 1280Hz</td> </tr> </tbody> </table> | SPEED_SEL[1:0] | 描述 | 00 | ADC 输出速率为 10Hz | 01 | ADC 输出速率为 40Hz | 10 | ADC 输出速率为 640Hz | 11 | ADC 输出速率为 1280Hz |
| SPEED_SEL[1:0] | 描述 | | | | | | | | | | | |
| 00 | ADC 输出速率为 10Hz | | | | | | | | | | | |
| 01 | ADC 输出速率为 40Hz | | | | | | | | | | | |
| 10 | ADC 输出速率为 640Hz | | | | | | | | | | | |
| 11 | ADC 输出速率为 1280Hz | | | | | | | | | | | |
| [3:2] | PGA_SEL | PGA 选择： 默认 PGA 为 128，在测温模式下 PGA_SEL=00 <table border="1"> <thead> <tr> <th>PGA_SEL[1:0]</th> <th>描述</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>1</td> </tr> <tr> <td>01</td> <td>2</td> </tr> <tr> <td>10</td> <td>64</td> </tr> <tr> <td>11</td> <td>128</td> </tr> </tbody> </table> | PGA_SEL[1:0] | 描述 | 00 | 1 | 01 | 2 | 10 | 64 | 11 | 128 |
| PGA_SEL[1:0] | 描述 | | | | | | | | | | | |
| 00 | 1 | | | | | | | | | | | |
| 01 | 2 | | | | | | | | | | | |
| 10 | 64 | | | | | | | | | | | |
| 11 | 128 | | | | | | | | | | | |
| [1:0] | CH_SEL[1:0] | 通道选择： 默认通道为通道 A <table border="1"> <thead> <tr> <th>CH_SEL[1:0]</th> <th>描述</th> </tr> </thead> <tbody> <tr> <td>00</td> <td>通道 A</td> </tr> <tr> <td>01</td> <td>芯片保留使用位</td> </tr> <tr> <td>10</td> <td>温度</td> </tr> <tr> <td>11</td> <td>内短</td> </tr> </tbody> </table> | CH_SEL[1:0] | 描述 | 00 | 通道 A | 01 | 芯片保留使用位 | 10 | 温度 | 11 | 内短 |
| CH_SEL[1:0] | 描述 | | | | | | | | | | | |
| 00 | 通道 A | | | | | | | | | | | |
| 01 | 芯片保留使用位 | | | | | | | | | | | |
| 10 | 温度 | | | | | | | | | | | |
| 11 | 内短 | | | | | | | | | | | |

2.6.8 Power down 模式

当 SCLK 从低电平变高电平并保持在高电平超过 100 μ s，CS1237 即进入 PowerDown 模式，这时会关掉芯片所有电路，功耗接近 0。当 SCLK 重新回到低电平时，芯片会重新进入正常工作状态。

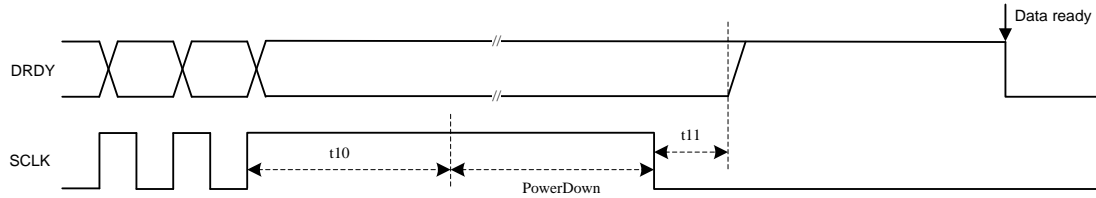


图10 CS1237 PowerDown 模式示意图

| symbol | 描述 | 最小值 | 典型值 | 最大值 |
|--------|-----------------|-------------|-----|-----|
| t10 | SCLK高电平保持时间 | 100 μ s | | |
| t11 | SCLK下降之后低电平保持时间 | 10 μ s | | |

3 芯片的封装

CS1237 采用 SOP8 封装。

| 标注 | 尺寸 | 最小 (mm) | 最大 (mm) | 标注 | 尺寸 | 最小 (mm) | 最大 (mm) |
|----|----|---------|---------|----|----|---------|---------|
| A | | 4.95 | 5.15 | C3 | | 0.05 | 0.20 |
| A1 | | 0.37 | 0.47 | C4 | | 0.20TYP | |
| A2 | | 1.27TYP | | D | | 1.05TYP | |
| A3 | | 0.41TYP | | D1 | | 0.40 | 0.60 |
| B | | 5.80 | 6.20 | R1 | | 0.07TYP | |
| B1 | | 3.00 | 4.00 | R2 | | 0.07TYP | |
| B2 | | 5.0TYP | | θ1 | | 17° TYP | |
| C | | 1.30 | 1.50 | θ2 | | 13° TYP | |
| C1 | | 0.55 | 0.65 | θ3 | | 4° TYP | |
| C2 | | 0.55 | 0.65 | θ4 | | 12° TYP | |

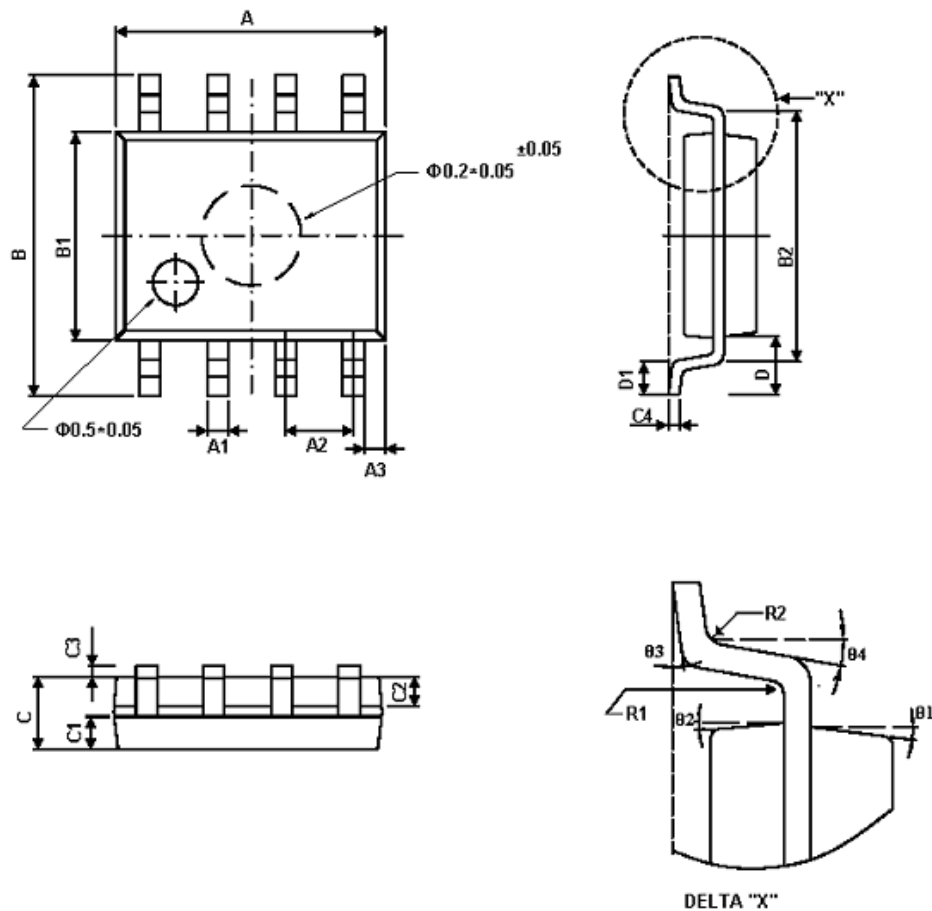


图11 芯片 SOP8 封装尺寸信息

X-ON Electronics

Largest Supplier of Electrical and Electronic Components

Click to view similar products for [Analog to Digital Converters - ADC category](#):

Click to view products by [CHIPSEA manufacturer](#):

Other Similar products are found below :

[ADC0804LCD](#) [ADC0808](#) [MCP37211-200I/TE](#) [MCP33141-10T-E/MS](#) [MCP33141D-05T-E/MS](#) [MCP33151D-05T-E/MS](#) [MCP3202T-CI/MS](#)
[MCP33141D-10T-E/MS](#) [MCP33151-10T-E/MS](#) [ADS1282HPW](#) [ADS8322Y/2K](#) [AD9235BCPZRL7-40](#) [HT7135ARWZ](#) [HT7316ARQZ](#)
[MCP3422A0-E/MS](#) [MCP3426A2-E/MC](#) [MCP3426A3-E/MC](#) [MCP3427-E/MF](#) [TLC0820ACN](#) [TLC2543IN](#) [TLV2543IDW](#) [ADS5231IPAG](#)
[ADS7042IDCUR](#) [ADS7807U](#) [ADS7891IPFBT](#) [ADS8328IBPW](#) [AMC1204BDWR](#) [ADS8881CDGSR](#) [ADS8405IPFBT](#) [ADS8405IBPFBT](#)
[ADS7959QDBTRQ1](#) [ADS7883SDBVT](#) [ADS5120CGHK](#) [MCP3426A0-E/MS](#) [MCP3423-E/UN](#) [MCP3422A0-E/MC](#) [MAX11102AUB+](#)
[MAX11629EEE+](#) [MAX11190ATE+T](#) [TLV1570CDW](#) [TLC3574IDWR](#) [TLC0838CDWR](#) [AD7988-1BRMZ-RL7](#) [ADC08060CIMTX/NOPB](#)
[ADC12130CIWM/NOPB](#) [MAX11634EEE+T](#) [MAX11270EUG+](#) [MAX11628EEE+](#) [MAX11618EEE+](#) [MCP3426A1-EMC](#)