



复旦微电子

FM33LG0xxA

低功耗 MCU 芯片

产品说明书

2022.04



WPS PDF 编辑 试用

本资料是为了让用户根据用途选择合适的上海复旦微电子集团股份有限公司（以下简称复旦微电子）的产品而提供的参考资料，不保证本资料中不含任何瑕疵，不转让属于复旦微电子或者第三者所有的知识产权以及其他权利的许可。

在使用本资料所记载的信息最终做出有关信息和产品是否适用的判断前，请您务必将所有信息作为一个整体系统来进行评价。

采购方对于选择与使用本文描述的复旦微电子的产品和服务全权负责，复旦微电子不承担采购方选择与使用本文描述的产品和服务的责任。除非以书面形式明确地认可，复旦微电子的产品不推荐、不授权、不担保用于包括军事、航空、航天、救生及生命维持系统在内的，由于失效或故障可能导致人身伤亡、严重的财产或环境损失的产品或系统中。

未经复旦微电子的许可，不得翻印或者复制全部或部分本资料的内容。

今后日常的产品更新会在适当的时候发布，恕不另行通知。在购买本资料所记载的产品时，请预先向复旦微电子在当地的销售办事处确认最新信息，并请您通过各种方式关注复旦微电子公布的信息，包括复旦微电子的网站(<http://www.fmsm.com/>)。

如果您需要了解有关本资料所记载的信息或产品的详情，请与上海复旦微电子集团股份有限公司在当地的销售办事处联系。

商标

上海复旦微电子集团股份有限公司的公司名称、徽标以及“复旦”徽标均为上海复旦微电子集团股份有限公司及其分公司在中国的商标或注册商标。

上海复旦微电子集团股份有限公司在中国发布，版权所有。

章节列表

章节列表	3
表目录	23
图目录	26
1 产品综述	33
1.1 概述	33
1.2 芯片结构框图	36
1.3 产品型号列表	37
1.4 产品特性对照表	38
2 引脚和封装	39
2.1 封装和引脚排列	39
2.1.1 LQFP80 封装图 (FM33LG0x8A)	39
2.1.2 LQFP64 封装图 (FM33LG0x6A)	40
2.1.3 LQFP48 封装图 (FM33LG0x5A)	41
2.1.4 引脚功能定义 (FM33LG0xxA)	43
2.1.5 封装尺寸图	50
2.2 焊接安装说明	55
2.3 MSL 等级	57
2.4 热阻特性	58
3 电参数	59
3.1 参数说明	59
3.2 参数测试条件	59
3.2.1 供电方案	59
3.3 极限参数	61
3.4 性能参数	62
3.4.1 典型工作条件	62
3.4.2 功耗参数	62
3.4.3 复位和电源监控	64
3.4.4 高精度基准源	65
3.4.5 低功耗模式唤醒时间	67
3.4.6 外部时钟源特性	68
3.4.7 内部时钟源特性	70
3.4.8 PLL 特性	71
3.4.9 ADC 特性	72
3.4.10 DAC 特性	78
3.4.11 温度传感器	81
3.4.12 运算放大器特性	83
3.4.13 模拟比较器特性	85
3.4.14 Flash 存储器特性	86
3.4.15 GPIO 特性	87
3.4.16 LCD 特性	89
3.4.17 VBAT 测量特性	90
4 总线与存储	91
4.1 系统总线	91
4.2 存储空间分配	92
4.2.1 概述	92

4.2.2	外设模块寄存器地址分配.....	95
4.3	RAM.....	97
4.3.1	概述.....	97
4.4	FLASH.....	98
4.4.1	概述.....	98
4.4.2	特殊信息扇区说明.....	98
4.4.3	指令 Prefetch	103
4.4.4	Flash 编程.....	103
4.4.5	Data Flash.....	108
4.4.6	Flash 的内容保护.....	109
4.5	寄存器.....	112
4.5.1	Flash 读取控制寄存器 (FLS_RDCR)	112
4.5.2	预取指控制寄存器 (FLS_PFCR)	113
4.5.3	用户配置字寄存器 (FLS_OPTBR)	113
4.5.4	ACLOCK 寄存器 1 (FLS_ACLOCK1)	114
4.5.5	ACLOCK 寄存器 2 (FLS_ACLOCK2)	115
4.5.6	Flash 擦写控制寄存器 (FLS_EPCR)	115
4.5.7	Flash Key 输入寄存器 (FLS_KEY)	116
4.5.8	Flash 中断使能寄存器 (FLS_IER)	116
4.5.9	Flash 标志寄存器 (FLS_ISR)	117
5	电源管理单元 (PMU)	119
5.1	芯片工作电源.....	119
5.1.1	电源域划分.....	119
5.1.2	电源结构图.....	120
5.1.3	ADC 和基准电压的独立供电.....	120
5.1.4	片内快速基准源 (AVREF)	121
5.1.5	片内高精度基准源 (VREF1p2)	121
5.1.6	VREFP 产生 (VREFP_VREG)	121
5.2	功耗模式.....	122
5.2.1	概述.....	122
5.2.2	功耗模式与系统频率.....	123
5.2.3	Active 模式.....	124
5.2.4	LP Active 模式.....	124
5.2.5	LP Run 模式.....	125
5.2.6	SLEEP 模式.....	125
5.2.7	DEEPSLEEP 模式.....	126
5.2.8	VBAT 模式.....	127
5.3	唤醒源.....	128
5.3.1	VREF1p2 延迟唤醒功能.....	129
5.4	休眠唤醒后的时钟控制.....	130
5.5	寄存器.....	131
5.5.1	低功耗控制寄存器 (PMU_CR)	131
5.5.2	唤醒时间控制寄存器 (PMU_WKTR)	132
5.5.3	唤醒源标志查询寄存器 (PMU_WKFR)	133
5.5.4	PMU 中断使能寄存器 (PMU_IER)	134
5.5.5	PMU 中断标志寄存器 (PMU_ISR)	135
5.5.6	ULPBG 调校寄存器 (PMU_ULPB_TR)	135
5.5.7	VREFP 控制寄存器 (PMU_VREFP_CR)	136
5.5.8	VREFP 配置寄存器 (PMU_VREFP_CFGR)	136
5.5.9	VREFP 状态标志寄存器 (PMU_VREFP_ISR)	137
5.5.10	VREFP 调校寄存器 (PMU_VREFP_TR)	138
6	高精度基准源 (VREF1P2)	139

6.1	概述	139
6.2	基准电压的应用	139
6.3	温度传感器	139
6.4	输出缓冲器	140
6.5	芯片休眠	140
6.6	寄存器	141
6.6.1	VREF1p2 控制寄存器 (VREF_CR)	141
6.6.2	VREF1p2 配置寄存器 (VREF_CFGR)	141
6.6.3	VREF1p2 标志寄存器 (VREF_ISR)	142
6.6.4	VREF1p2 中断使能寄存器 (VREF_IER)	143
6.6.5	模拟 BUFFER 控制寄存器 (VREF_BUFCR)	143
7	VREFP 基准电压 (VREFP_VREG)	145
7.1	概述	145
7.2	功能描述	145
7.2.1	概述	145
7.2.2	时钟和复位	150
7.2.3	参考电压	150
7.2.4	输出电压	150
7.2.5	工作模式	151
7.2.6	中断和标志	152
7.3	寄存器	153
8	备份电源域 (VAO DOMAIN)	154
8.1	概述	154
8.2	结构框图	155
8.3	电源切换	155
8.4	复位	155
8.5	低频晶体振荡电路 (XTLF)	156
8.5.1	概述	156
8.5.2	工作方式	156
8.5.3	停振检测	156
8.6	实时时钟 (RTCB)	157
8.7	IO	157
8.7.1	使用 PH15 输入实现 tamper 检测	157
8.8	寄存器	159
8.8.1	VAO 复位控制寄存器 (VAO_RSTCR)	159
8.8.2	XTLF 控制寄存器 (VAO_XTLFCR)	160
8.8.3	XTLF 振荡强度寄存器 (VAO_XTLFPR)	160
8.8.4	停振检测中断使能寄存器 (VAO_FDIER)	161
8.8.5	停振检测中断标志寄存器 (VAO_FDISR)	162
8.8.6	VAO IO 输入使能寄存器 (VAO_INEN)	162
8.8.7	VAO IO 上拉使能寄存器 (VAO_PUEN)	163
8.8.8	VAO IO 开漏使能寄存器 (VAO_ODEN)	163
8.8.9	VAO IO 功能选择寄存器 (VAO_FCR)	164
8.8.10	VAO IO 输出数据寄存器 (VAO_DOR)	164
8.8.11	VAO IO 输入数据寄存器 (VAO_DIR)	165
8.8.12	VAO IO 输入低阈值配置寄存器 (VAO_VILR)	165
9	跨电源域接口 (CDIF)	167
9.1	概述	167
9.2	总线地址	167
9.3	时钟和复位	167
9.4	寄存器 (CPU DOMAIN)	168

9.4.1	接口控制寄存器 (CDIF_CR)	168
9.4.2	接口预分频寄存器 (CDIF_PRSC)	168
10	处理器 (CPU)	170
10.1	概述	170
10.1.1	处理器配置	170
10.2	内核寄存器	171
10.3	异常和中断	172
10.3.1	中断向量表	172
10.3.2	中断优先级	173
10.3.3	错误处理	173
10.3.4	锁定 (Lockup)	174
10.4	MPU	174
10.4.1	MPU 寄存器	175
10.5	调试特性	179
10.5.1	调试功能引脚	179
10.5.2	调试状态下的看门狗控制	179
10.5.3	DEBUG 的复位	179
11	复位管理单元 (RMU)	180
11.1	概述	180
11.2	模块框图	181
11.3	VDD 上下电复位	182
11.4	软件复位	183
11.5	NRST 引脚复位	183
11.6	寄存器	184
11.6.1	PDR 配置寄存器 (RMU_PDRCR)	184
11.6.2	BOR 配置寄存器 (RMU_BORCR)	185
11.6.3	复位配置寄存器 (RMU_LKPCR)	185
11.6.4	软件复位寄存器 (RMU_SOFTRST)	186
11.6.5	复位标志寄存器 (RMU_RSTFR)	186
11.6.6	外设复位使能寄存器 (RMU_PRSTEN)	187
11.6.7	AHB 外设复位寄存器 (RMU_AHBRSTCR)	187
11.6.8	APB1 外设复位寄存器 (RMU_APBRSTCR1)	188
11.6.9	APB2 外设复位寄存器 (RMU_APBRSTCR2)	190
12	独立看门狗 (IWDT)	192
12.1	概述	192
12.2	结构框图	192
12.3	IWDT 功能描述	192
12.4	IWDT 窗口功能	193
12.5	IWDT 冻结	194
12.6	寄存器	195
12.6.1	IWDT 清除寄存器 (IWDT_SERV)	195
12.6.2	IWDT 配置寄存器 (IWDT_CR)	195
12.6.3	IWDT 计数值寄存器 (IWDT_CNT)	196
12.6.4	IWDT 窗口寄存器 (IWDT_WIN)	197
12.6.5	IWDT 中断使能寄存器 (IWDT_IER)	197
12.6.6	IWDT 中断标志寄存器 (IWDT_ISR)	197
13	窗口看门狗 (WWDT)	199
13.1	功能描述	199
13.2	结构框图	199
13.3	WWDT 工作方式	200

13.4	寄存器	202
13.4.1	WWDT 控制寄存器 (WWDT_CR)	202
13.4.2	WWDT 配置寄存器 (WWDT_CFGR)	202
13.4.3	WWDT 计数寄存器 (WWDT_CNT)	203
13.4.4	WWDT 中断使能寄存器 (WWDT_IER)	203
13.4.5	WWDT 中断标志寄存器 (WWDT_ISR)	204
13.4.6	WWDT 预分频寄存器 (WWDT_PSC)	204
14	时钟管理单元 (CMU)	206
14.1	概述	206
14.2	时钟架构	207
14.2.1	时钟树	207
14.2.2	SYSCLK 切换说明	208
14.2.3	时钟安全性	208
14.2.4	主要时钟说明	208
14.2.5	外设模块的总线时钟和工作时钟	209
14.2.6	休眠模式下的外设时钟	210
14.2.7	LSCLK 切换逻辑	211
14.3	高频 RC 振荡器(RCHF)	212
14.3.1	概述	212
14.3.2	软件使用指南	212
14.4	低频 RC 振荡器(RCLF)	213
14.4.1	概述	213
14.5	低功耗 RC 振荡器(RCLP)	214
14.5.1	概述	214
14.5.2	软件使用指南	214
14.6	高频晶体振荡电路(XTHF)	215
14.6.1	概述	215
14.6.2	工作方式	215
14.6.3	停振检测 (HFDET)	215
14.7	锁相环(PLL)	216
14.7.1	概述	216
14.7.2	软件应用指南	216
14.8	时钟校准	217
14.9	低功耗模式下的时钟源	218
14.10	休眠唤醒的时钟处理	218
14.11	寄存器	219
14.11.1	系统时钟配置寄存器 (CMU_SYSCLKCR)	220
14.11.2	RCHF 时钟控制寄存器 (CMU_RCHCR)	221
14.11.3	RCHF 调校寄存器 (CMU_RCHFTR)	222
14.11.4	PLL 控制寄存器 (CMU_PLLCR)	222
14.11.5	RCLP 控制寄存器 (CMU_RCLPCR)	223
14.11.6	RCLP 调校寄存器 (CMU_RCLPTR)	224
14.11.7	LSCLK 选择寄存器 (CMU_LSCLKSEL)	224
14.11.8	XTHF 控制寄存器 (CMU_XTHFCR)	225
14.11.9	RCLF 控制寄存器 (CMU_RCLFCR)	225
14.11.10	RCLF 调校寄存器 (CMU_RCLFTR)	226
14.11.11	CMU 中断使能寄存器 (CMU_IER)	226
14.11.12	CMU 中断标志寄存器 (CMU_ISR)	227
14.11.13	外设总线时钟控制寄存器 1 (CMU_PCLKCR1)	228
14.11.14	外设总线时钟控制寄存器 2 (CMU_PCLKCR2)	228
14.11.15	外设总线时钟控制寄存器 3 (CMU_PCLKCR3)	229
14.11.16	外设总线时钟控制寄存器 4 (CMU_PCLKCR4)	230

14.11.17	外设工作时钟配置寄存器 1 (CMU_OPCCR1)	231
14.11.18	外设工作时钟配置寄存器 2 (CMU_OPCCR2)	232
14.11.19	外设工作时钟配置寄存器 3 (CMU_OPCCR3)	233
14.11.20	AHB Master 控制寄存器 (CMU_AHBMCRCR)	234
14.11.21	时钟校准控制寄存器 (CMU_CCCR)	235
14.11.22	时钟校准配置寄存器 (CMU_CCFR)	235
14.11.23	时钟校准计数值寄存器 (CMU_CCNR)	236
14.11.24	时钟校准中断标志寄存器 (CMU_CCISR)	237
15	电源电压监测 (SVD)	238
15.1	概述	238
15.2	结构框图	238
15.3	引脚定义	239
15.4	功能描述	239
15.5	间歇使能模式	241
15.6	外部电源检测	241
15.7	电源检测阈值	242
15.8	寄存器	246
15.8.1	SVD 配置寄存器 (SVD_CFGR)	246
15.8.2	SVD 控制寄存器 (SVD_CR)	247
15.8.3	SVD 中断使能寄存器 (SVD_IER)	247
15.8.4	SVD 状态和标志寄存器 (SVD_ISR)	248
15.8.5	SVD 参考电压选择寄存器 (SVD_VSR)	248
16	AES 硬件运算单元 (AES)	250
16.1	功能描述	250
16.2	工作模式	250
16.3	AES 数据流处理模式	251
16.3.1	ECB 模式	251
16.3.2	CBC 模式	252
16.3.3	暂停模式	254
16.3.4	CTR 模式	255
16.3.5	CTR 模式下的暂停模式	256
16.3.6	GCM 模式	256
16.3.7	MultH 模块	259
16.3.8	推荐的 GCM 流程	260
16.4	数据类型	261
16.5	工作流程	262
16.5.1	模式 1: 加密	262
16.5.2	模式 2: 密钥扩展	263
16.5.3	模式 3: 解密	264
16.5.4	模式 4: 密钥扩展+解密	264
16.5.5	使用 MultH 模块	265
16.6	DMA 接口	266
16.6.1	MultH 模块与 DMA 间接口	267
16.7	错误标志	267
16.8	寄存器	268
16.8.1	AES 控制寄存器 (AES_CR)	268
16.8.2	AES 中断使能寄存器 (AES_IER)	270
16.8.3	AES 中断标志寄存器 (AES_ISR)	271
16.8.4	AES 数据输入寄存器 (AES_DIR)	271
16.8.5	AES 数据输出寄存器 (AES_DOR)	272
16.8.6	AES 密钥寄存器 (AES_KEYx)	272

16.8.7	AES 初始向量寄存器 (AES_IVRx)	273
16.8.8	AES MultH 参数寄存器 (AES_Hx)	273
17	随机数发生器 (TRNG)	274
17.1	概述	274
17.2	功能描述	275
17.2.1	随机数产生	275
17.2.2	工作时钟	275
17.2.3	随机数读取	276
17.2.4	CRC 运算	276
17.3	寄存器	277
17.3.1	随机数控制寄存器 (RNG_CR)	277
17.3.2	随机数/CRC 结果输出寄存器 (RNG_DOR)	277
17.3.3	RNG 标志寄存器 (RNG_SR)	278
17.3.4	CRC 控制寄存器 (RNG_CRCCR)	278
17.3.5	CRC 输入数据寄存器 (RNG_CRCDIR)	279
17.3.6	CRC 标志寄存器 (RNG_CRCSR)	279
18	运算放大器 (OPA1)	281
18.1	概述	281
18.2	结构框图	282
18.3	引脚定义	283
18.4	功能描述	283
18.4.1	时钟和复位	283
18.4.2	Standalone 模式 (non-inverting amplifier)	284
18.4.3	Standalone 模式 (inverting amplifier)	285
18.4.4	Buffer 模式	285
18.4.5	同相 PGA 模式	286
18.4.6	反相 PGA 模式	288
18.4.7	Offset 校准	290
18.4.8	低功耗模式	291
18.4.9	休眠模式下的 OPA	292
18.5	寄存器	293
18.5.1	OPA1 控制寄存器 (OPA1_CR)	293
18.5.2	OPA1 校准寄存器 (OPA1_CALR)	294
18.5.3	OPA1 校准输出寄存器 (OPA1_COR)	295
19	模拟比较器 (COMPARATOR)	297
19.1	概述	297
19.2	结构框图	298
19.3	功能描述	299
19.3.1	基本功能	299
19.3.2	内部比较基准选择和产生	299
19.3.3	时钟和复位	300
19.3.4	引脚和内部信号连接	300
19.3.5	窗口功能	301
19.3.6	功耗和速度模式	302
19.3.1	比较器中断	303
19.3.2	比较器输出和触发输出	303
19.3.3	输出数字滤波	305
19.4	寄存器	306
19.4.1	COMP1 控制寄存器 (COMP1_CR)	306
19.4.2	COMP2 控制寄存器 (COMP2_CR)	307
19.4.3	COMP3 控制寄存器 (COMP3_CR)	309

19.4.4	COMP 中断配置寄存器 (COMP_ICR)	310
19.4.5	COMP 中断标志寄存器 (COMP_IF)	311
19.4.6	COMP 缓冲器控制寄存器 (COMP_BUFCR)	311
20	除法/开方运算加速器 (DIVAS)	313
20.1	概述	313
20.2	时钟和复位	313
20.3	硬件除法工作流程	313
20.4	硬件开方工作流程	314
20.5	寄存器	315
20.5.1	操作数寄存器	315
20.5.2	除数寄存器	315
20.5.3	商寄存器	316
20.5.4	余数寄存器	316
20.5.5	根寄存器	317
20.5.6	状态标志寄存器	317
20.5.7	控制寄存器	318
21	双线串行总线 (I²C)	319
21.1	概述	319
21.2	结构框图	319
21.3	引脚定义和上拉电阻范围	320
21.4	时钟和复位	324
21.5	接口时序	325
21.5.1	接口时序图	325
21.5.2	接口时序描述	326
21.6	I ² C 工作模式	328
21.7	I ² C 从机地址格式	329
21.8	I ² C 初始化	330
21.8.1	IO 配置	330
21.8.2	主机波特率配置	330
21.8.3	从机的输入模拟滤波和输出延迟	331
21.9	I ² C 主机功能	332
21.9.1	7bit 寻址	332
21.9.2	10bit 寻址	337
21.9.3	DMA	340
21.9.4	SCL 延展 (Slave Clock Stretching)	344
21.9.5	超时机制	344
21.9.6	可编程时序	344
21.10	I ² C 从机功能	346
21.10.1	从机寻址	346
21.10.2	从机发送数据	346
21.10.3	从机接收数据	347
21.10.4	从机低功耗接收唤醒	349
21.10.5	DMA	349
21.10.6	从机时序	353
21.11	寄存器	354
21.11.1	I2C 主机配置寄存器 (I2C_MSPCFGR)	354
21.11.2	I2C 主机控制寄存器 (I2C_MSPCR)	355
21.11.3	I2C 主机中断使能寄存器 (I2C_MSPIER)	356
21.11.4	I2C 主机中断标志寄存器 (I2C_MSPISR)	357
21.11.5	I2C 主机状态寄存器 (I2C_MSPSR)	357
21.11.6	I2C 主机波特率设置寄存器 (I2C_MSPBGR)	358
21.11.7	I2C 主机收发缓冲寄存器 (I2C_MSPBUF)	359

21.11.8	I2C 主机时序控制寄存器 (I2C_MSPTCR)	359
21.11.9	I2C 主机超时寄存器 (I2C_MSPTOR)	360
21.11.10	I2C 从机控制寄存器 (I2C_SSPCR)	360
21.11.11	I2C 从机中断使能寄存器 (I2C_SSPIER)	361
21.11.12	I2C 从机中断标志寄存器 (I2C_SSPISR)	362
21.11.13	I2C 从机状态寄存器 (I2C_SSPSR)	363
21.11.14	I2C 从机收发缓冲寄存器 (I2C_SSPBUF)	364
21.11.15	I2C 从机地址寄存器 (I2C_SSPADR)	364
22	通用异步收发传输器 (UART)	366
22.1	概述	366
22.2	结构框图	367
22.3	引脚定义	368
22.4	UART 类型区分	369
22.5	UART 字符描述	369
22.6	功能描述	371
22.6.1	时钟和复位	371
22.6.2	位接收采样	371
22.6.3	数据发送	372
22.6.4	数据接收	374
22.6.5	低功耗休眠唤醒 (UART0/1)	375
22.6.6	使用 DMA 进行 UART 收发	375
22.6.7	DMA 模式下的发送完成中断	376
22.7	波特率发生	376
22.7.1	波特率发生	376
22.7.1	波特率自适应	377
22.8	红外调制	378
22.9	接收超时	379
22.10	发送延迟	379
22.11	寄存器	380
22.11.1	红外调制寄存器 (UART_IRCR)	381
22.11.2	UARTx 控制状态寄存器 (UARTx_CSR)	382
22.11.3	UARTx 中断使能寄存器 (UARTx_IER)	383
22.11.4	UARTx 中断标志寄存器 (UARTx_ISR)	384
22.11.5	UARTx 超时和延迟寄存器 (UARTx_TODR)	385
22.11.6	UARTx 接收缓冲寄存器 (UARTx_RXBUF)	385
22.11.7	UARTx 发送缓冲寄存器 (UARTx_TXBUF)	386
22.11.8	UARTx 波特率产生寄存器 (UARTx_BGR)	386
23	低功耗 UART (LPUART)	388
23.1	概述	388
23.2	结构框图	389
23.3	引脚定义	390
23.4	时钟和复位	390
23.5	字符描述	391
23.6	功能描述	393
23.6.1	位接收采样和发送	393
23.6.2	接收流程	394
23.6.3	发送流程	394
23.6.4	使用 DMA 进行 LPUART 收发	394
23.6.5	休眠模式下的数据接收唤醒	395
23.6.6	LPRUN 模式下的数据 DMA 收发	395
23.6.7	DMA 模式下的发送完成中断	395

23.7	寄存器	397
23.7.1	LPUARTx 控制状态寄存器 (LPUARTx_CSR)	398
23.7.2	LPUARTx 中断使能寄存器 (LPUARTx_IER)	399
23.7.3	LPUARTx 中断标志寄存器 (LPUARTx_ISR)	400
23.7.4	LPUARTx 波特率调制寄存器 (LPUARTx_BMR)	400
23.7.5	LPUARTx 接收数据寄存器 (LPUARTx_RXBUF)	401
23.7.6	LPUARTx 发送数据寄存器 (LPUARTx_TXBUF)	402
23.7.7	LPUARTx 数据匹配寄存器 (LPUARTx_DMR)	402
24	串行外设接口 (SPI)	404
24.1	概述	404
24.2	结构框图	404
24.3	引脚定义	406
24.4	时钟和复位	406
24.5	接口时序	406
24.5.1	CPHA=0	406
24.5.2	CPHA=1	407
24.5.1	4 线半双工模式 (主机)	407
24.6	功能描述	409
24.6.1	I/O 配置	409
24.6.2	全双工数据通信	410
24.6.3	TX-ONLY 模式	411
24.6.4	RX-ONLY 模式	412
24.6.5	主机 SSN 控制	412
24.6.6	数据冲突	413
24.6.7	使用 DMA 进行 SPI 收发	413
24.7	寄存器	415
24.7.1	SPI 控制寄存器 1 (SPIx_CR1)	416
24.7.2	SPI 控制寄存器 2 (SPIx_CR2)	417
24.7.3	SPI 控制寄存器 3 (SPIx_CR3)	418
24.7.4	SPI 中断控制寄存器 (SPIx_IER)	419
24.7.5	SPI 中断标志寄存器 (SPIx_ISR)	419
24.7.6	SPI 发送缓存寄存器 (SPIx_TXBUF)	420
24.7.7	SPI 接收缓存寄存器 (SPIx_RXBUF)	420
25	智能卡接口 (ISO7816)	422
25.1	概述	422
25.2	结构框图	422
25.3	时钟和复位	423
25.4	接口时序	423
25.5	功能描述	424
25.5.1	数据接收	424
25.5.2	数据发送	424
25.5.3	使用 DMA 进行 7816 收发	426
25.6	寄存器	427
25.6.1	U7816 控制寄存器 (U7816_CR)	427
25.6.2	U7816 帧格式控制寄存器 (U7816_FFR)	428
25.6.3	U7816 额外保护时间寄存器 (U7816_EGTR)	429
25.6.4	U7816 工作时钟分频寄存器 (U7816_PSC)	429
25.6.5	U7816 波特率寄存器 (U7816_BGR)	430
25.6.6	U7816 数据接收缓冲寄存器 (U7816_RXBUF)	430
25.6.7	U7816 数据发送缓冲寄存器 (U7816_TXBUF)	431
25.6.8	U7816 中断使能寄存器 (U7816_IER)	431
25.6.9	U7816 状态标志寄存器 (U7816_ISR)	432

26	控制器区域网络 (CAN)	434
26.1	概述	434
26.2	结构框图	434
26.3	引脚定义	435
26.4	功能描述	435
26.4.1	时钟和复位	435
26.4.2	Bit timing	435
26.4.3	Bit stream processor	436
26.4.4	控制器工作模式	436
26.4.5	消息帧存储和消息帧结构 (Message storage and structure)	437
26.4.6	消息滤波器 (Acceptance Filter)	439
26.4.7	错误管理	439
26.5	编程模型	443
26.5.1	寄存器配置	443
26.5.2	消息传输	443
26.6	寄存器	445
26.6.1	CAN 控制寄存器 (CAN_CR)	446
26.6.2	CAN 模式选择寄存器 (CAN_MSR)	447
26.6.3	CAN 波特率预分频寄存器 (CAN_BRPR)	447
26.6.4	CAN 位时序寄存器 (CAN_BTR)	448
26.6.5	CAN 错误计数寄存器 (CAN_ECR)	448
26.6.6	CAN 错误状态寄存器 (CAN_ESR)	449
26.6.7	CAN 状态标志寄存器 (CAN_SR)	450
26.6.8	CAN 中断标志寄存器 (CAN_ISR)	451
26.6.9	CAN 中断使能寄存器 (CAN_IER)	452
26.6.10	CAN 中断清除寄存器 (CAN_ICR)	453
26.6.11	CAN 发送 FIFO ID 寄存器 (CAN_TXFIDR)	453
26.6.12	CAN 发送 FIFO DLC 寄存器 (CAN_TXFDLCR)	454
26.6.13	CAN 发送 FIFO DataWord1 寄存器 (CAN_TXFDW1R)	454
26.6.14	CAN 发送 FIFO DataWord2 寄存器 (CAN_TXFDW2R)	455
26.6.15	CAN 高优先级发送缓冲 ID 寄存器 (CAN_HPBDIDR)	455
26.6.16	CAN 高优先级发送缓冲 DLC 寄存器 (CAN_HPBDLCR)	456
26.6.17	CAN 高优先级发送缓冲 DataWord1 寄存器 (CAN_HPBDW1R)	456
26.6.18	CAN 高优先级发送缓冲 DataWord2 寄存器 (CAN_HPBDW2R)	457
26.6.19	CAN 接收 FIFO ID 寄存器 (CAN_RXFIDR)	457
26.6.20	CAN 接收 FIFO DLC 寄存器 (CAN_RXFDLCR)	458
26.6.21	CAN 接收 FIFO DataWord1 寄存器 (CAN_RXFDW1R)	458
26.6.22	CAN 接收 FIFO DataWord2 寄存器 (CAN_RXFDW2R)	459
26.6.23	CAN 接收滤波寄存器 (CAN_AFR)	459
26.6.24	CAN 接收滤波掩码寄存器 x (CAN_AFMRx)	460
26.6.25	CAN 接收滤波 ID 寄存器 x (CAN_AFIRx)	461
27	直接存储访问控制器 (DMA)	462
27.1	概述	462
27.2	工作原理	463
27.3	结构框图	464
27.4	工作流程	464
27.5	访问带宽	466
27.6	通道控制	467
27.6.1	DMA 请求映射	467
27.6.2	通道优先级	468
27.6.3	传输方向定义	468
27.6.4	循环模式	468

27.7	寄存器	469
27.7.1	DMA 全局控制寄存器 (DMA_GCR)	469
27.7.2	通道 x 控制寄存器 (DMA_CHxCR)	470
27.7.3	通道 x 存储器指针寄存器 (DMA_CHxMAD)	471
27.7.4	通道 7 控制寄存器 (DMA_CH7CR)	472
27.7.5	通道 7 Flash 指针寄存器 (DMA_CH7FLSAD)	473
27.7.6	通道 7 RAM 指针寄存器 (DMA_CH7RAMAD)	473
27.7.7	DMA 状态标志寄存器 (DMA_ISR)	474
28	循环冗余校验 (CRC)	475
28.1	概述	475
28.2	软件配置过程	476
28.3	GOLDEN 数据	477
28.4	DMA 接口	477
28.5	FLASH 数据完整性校验	478
28.6	寄存器	479
28.6.1	CRC 数据寄存器 (CRC_DR)	479
28.6.2	CRC 控制状态寄存器 (CRC_CR)	479
28.6.3	CRC LFSR 寄存器 (CRC_LFSR)	481
28.6.4	CRC 输出异或寄存器 (CRC_XOR)	481
28.6.5	CRC 多项式寄存器 (CRC_POLY)	481
29	高级定时器 (ATIM)	483
29.1	概述	483
29.2	主要特性	483
29.3	结构框图	484
29.4	功能描述	485
29.4.1	定时单元	485
29.4.2	定时器工作模式	487
29.4.3	重复计数器	494
29.4.4	Preload 寄存器	495
29.4.5	计数器工作时钟	496
29.4.6	内部触发信号 (ITRx)	501
29.4.7	捕捉/比较通道	502
29.4.8	输入捕捉模式	504
29.4.9	软件 Force 输出	506
29.4.10	输出比较模式	507
29.4.11	PWM 输出	508
29.4.12	互补输出和死区插入	510
29.4.13	刹车功能	511
29.4.14	互补输出通道信号状态逻辑表	513
29.4.15	6-step PWM 输出	514
29.4.16	单脉冲输出	515
29.4.17	外部事件清除 OCxREF	517
29.4.18	编码器接口模式 (encoder interface)	518
29.4.19	TIM 从机模式	520
29.4.20	DMA 访问	523
29.4.21	DMA Burst	524
29.4.22	输入异或功能	525
29.4.23	霍尔传感器接口	525
29.4.24	Debug 模式	526
29.5	寄存器	527
29.5.1	ATIM 控制寄存器 1 (ATIM_CR1)	527
29.5.2	ATIM 控制寄存器 2 (ATIM_CR2)	529

29.5.3	ATIM 从机模式控制寄存器 (ATIM_SMCR)	530
29.5.4	ATIM DMA 和中断使能寄存器 (ATIM_DIER)	532
29.5.5	ATIM 状态寄存器 (ATIM_ISR)	533
29.5.6	ATIM 事件产生寄存器 (ATIM_EGR)	535
29.5.7	ATIM 捕捉/比较模式寄存器 1 (ATIM_CCMR1)	535
29.5.8	ATIM 捕捉/比较模式寄存器 2 (ATIM_CCMR2)	538
29.5.9	ATIM 捕捉/比较使能寄存器 (ATIM_CCER)	540
29.5.10	ATIM 计数器寄存器 (ATIM_CNT)	541
29.5.11	ATIM 预分频寄存器 (ATIM_PSC)	541
29.5.12	ATIM 自动重载寄存器 (ATIM_ARR)	542
29.5.13	ATIM 重复计数寄存器 (ATIM_RCR)	542
29.5.14	ATIM 捕捉/比较寄存器 1 (ATIM_CCR1)	543
29.5.15	ATIM 捕捉/比较寄存器 2 (ATIM_CCR2)	544
29.5.16	ATIM 捕捉/比较寄存器 3 (ATIM_CCR3)	544
29.5.17	ATIM 捕捉/比较寄存器 4 (ATIM_CCR4)	545
29.5.18	ATIM 刹车和死区控制寄存器 (ATIM_BDTR)	545
29.5.19	ATIM DMA 控制寄存器 (ATIM_DCR)	547
29.5.20	ATIM DMA 访问寄存器 (ATIM_DMAR)	548
29.5.21	ATIM 刹车输入控制寄存器 (ATIM_BKCR)	548
30	通用定时器 (GPTIM0,1,2)	550
30.1	概述	550
30.2	主要特性	550
30.3	结构框图	551
30.4	功能描述	552
30.4.1	定时单元	552
30.4.2	定时器工作模式	554
30.4.3	计数器工作时钟	561
30.4.4	内部触发信号 (ITRx) 的捕捉	567
30.4.5	捕捉/比较通道	568
30.4.6	输入捕捉模式	569
30.4.7	软件 Force 输出	571
30.4.8	输出比较模式	571
30.4.9	PWM 模式	572
30.4.10	单脉冲输出	573
30.4.11	外部事件清除 OCxREF	575
30.4.12	编码器接口模式 (encoder interface)	575
30.4.13	GPTIM 从机模式	576
30.4.14	DMA 访问	579
30.4.15	DMA Burst	580
30.4.16	输入异或功能	580
30.4.17	Debug 模式	580
30.5	寄存器	581
30.5.1	GPTIMx 控制寄存器 1 (GPTIMx_CR1)	583
30.5.2	GPTIMx 控制寄存器 2 (GPTIMx_CR2)	584
30.5.3	GPTIMx 从机模式控制寄存器 (GPTIMx_SMCR)	585
30.5.4	GPTIMx DMA 和中断使能寄存器 (GPTIMx_DIER)	587
30.5.5	GPTIMx 状态寄存器 (GPTIMx_ISR)	588
30.5.6	GPTIMx 事件产生寄存器 (GPTIMx_EGR)	589
30.5.7	GPTIMx 捕捉/比较模式寄存器 1 (GPTIMx_CCMR1)	590
30.5.8	GPTIMx 捕捉/比较模式寄存器 2 (GPTIMx_CCMR2)	592
30.5.9	GPTIMx 捕捉/比较使能寄存器 (GPTIMx_CCER)	595
30.5.10	GPTIMx 计数器寄存器 (GPTIMx_CNT)	596

30.5.11	GPTIMx 预分频寄存器 (GPTIMx_PSC)	596
30.5.12	GPTIMx 自动重载寄存器 (GPTIMx_ARR)	597
30.5.13	GPTIMx 捕捉/比较寄存器 1 (GPTIMx_CCR1)	597
30.5.14	GPTIMx 捕捉/比较寄存器 2 (GPTIMx_CCR2)	598
30.5.15	GPTIMx 捕捉/比较寄存器 3 (GPTIMx_CCR3)	598
30.5.16	GPTIMx 捕捉/比较寄存器 4 (GPTIMx_CCR4)	599
30.5.17	GPTIMx DMA 控制寄存器 (GPTIMx_DCR)	599
30.5.18	GPTIMx DMA 访问寄存器 (GPTIMx_DMAR)	600
30.5.19	GPTIMx ITR 选择寄存器 (GPTIMx_ITRSEL)	601
31	32 位基本定时器 (BSTIM32)	603
31.1	概述	603
31.2	主要特性	603
31.3	结构框图	603
31.4	功能描述	604
31.4.1	定时单元	604
31.4.2	定时器工作模式	606
31.4.3	计数器工作时钟	608
31.4.4	Debug 模式	609
31.5	寄存器	610
31.5.1	BSTIM32 控制寄存器 1 (BSTIM32_CR1)	610
31.5.2	BSTIM32 控制寄存器 2 (BSTIM32_CR2)	611
31.5.3	BSTIM32 中断使能寄存器 (BSTIM32_IER)	611
31.5.4	BSTIM32 中断标志寄存器 (BSTIM32_ISR)	612
31.5.5	BSTIM32 事件产生寄存器 (BSTIM32_EGR)	613
31.5.6	BSTIM32 计数器寄存器 (BSTIM32_CNT)	613
31.5.7	BSTIM32 预分频寄存器 (BSTIM_PSC)	614
31.5.8	BSTIM32 自动重载寄存器 (BSTIM32_ARR)	614
32	16 位基本定时器 (BSTIM16)	615
32.1	概述	615
32.2	主要特性	615
32.3	结构框图	615
32.4	功能描述	616
32.4.1	定时单元	616
32.4.2	定时器工作模式	618
32.4.3	计数器工作时钟	620
32.4.4	Debug 模式	621
32.5	寄存器	622
32.5.1	BSTIM16 控制寄存器 1 (BSTIM16_CR1)	622
32.5.2	BSTIM16 控制寄存器 2 (BSTIM16_CR2)	623
32.5.3	BSTIM16 中断使能寄存器 (BSTIM16_IER)	624
32.5.4	BSTIM16 中断标志寄存器 (BSTIM16_ISR)	624
32.5.5	BSTIM16 事件产生寄存器 (BSTIM16_EGR)	625
32.5.6	BSTIM16 计数器寄存器 (BSTIM16_CNT)	625
32.5.7	BSTIM16 预分频寄存器 (BSTIM16_PSC)	626
32.5.8	BSTIM16 自动重载寄存器 (BSTIM16_ARR)	626
33	32 位低功耗定时器 (LPTIM32)	628
33.1	概述	628
33.2	结构框图	629
33.3	时钟和复位	629
33.4	相关引脚	630
33.5	定时器功能	630

33.5.1	普通定时器.....	630
33.5.2	外部脉冲触发计数.....	630
33.5.3	外部异步脉冲计数.....	631
33.5.4	Timeout 模式.....	631
33.6	捕捉比较功能.....	632
33.6.1	32bit PWM.....	632
33.6.2	输入捕捉.....	633
33.7	触发信号输出.....	634
33.8	寄存器.....	635
33.8.1	LPTIM32 配置寄存器 (LPTIM32_CFGR).....	635
33.8.2	LPTIM32 计数值寄存器 (LPTIM32_CNT).....	637
33.8.3	LPTIM32 捕捉比较控制和状态寄存器 (LPTIM32_CCSR).....	637
33.8.4	LPTIM32 目标值寄存器 (LPTIM32_ARR).....	639
33.8.5	LPTIM32 中断使能寄存器 (LPTIM32_IER).....	640
33.8.6	LPTIM32 中断标志寄存器 (LPTIM32_ISR).....	641
33.8.7	LPTIM32 控制寄存器 (LPTIM32_CR).....	642
33.8.8	LPTIM32 捕捉比较寄存器 1 (LPTIM32_CCR1).....	643
33.8.9	LPTIM32 捕捉比较寄存器 2 (LPTIM32_CCR2).....	643
33.8.10	LPTIM32 捕捉比较寄存器 3 (LPTIM32_CCR3).....	644
33.8.11	LPTIM32 捕捉比较寄存器 4 (LPTIM32_CCR4).....	644
34	16 位低功耗定时器 (LPTIM16).....	645
34.1	概述.....	645
34.2	结构框图.....	646
34.3	时钟和复位.....	646
34.4	相关引脚.....	647
34.5	定时器功能.....	647
34.5.1	普通定时器.....	647
34.5.2	外部脉冲触发计数.....	647
34.5.3	外部异步脉冲计数.....	648
34.5.4	Timeout 模式.....	648
34.6	捕捉比较功能.....	649
34.6.1	16bit PWM.....	649
34.6.2	输入捕捉.....	650
34.6.3	输入数字滤波.....	651
34.7	正交编码器.....	652
34.8	触发信号输出.....	653
34.9	寄存器.....	654
34.9.1	LPTIM16 配置寄存器 (LPTIM16_CFGR).....	654
34.9.2	LPTIM16 计数值寄存器 (LPTIM16_CNT).....	656
34.9.3	LPTIM16 捕捉比较控制和状态寄存器 (LPTIM16_CCSR).....	656
34.9.4	LPTIM16 目标值寄存器 (LPTIM16_ARR).....	658
34.9.5	LPTIM 中断使能寄存器 (LPTIM_IER).....	659
34.9.6	LPTIM16 中断标志寄存器 (LPTIM16_ISR).....	659
34.9.7	LPTIM16 控制寄存器 (LPTIM16_CR).....	660
34.9.8	LPTIM16 捕捉比较寄存器 1 (LPTIM16_CCR1).....	661
34.9.9	LPTIM16 捕捉比较寄存器 2 (LPTIM16_CCR2).....	661
35	实时时钟 (RTCA).....	663
35.1	概述.....	663
35.2	结构框图.....	663
35.3	工作原理.....	664
35.3.1	时基计数器 (LTBC).....	664
35.3.2	LTBC 数字调校.....	665

35.3.3	BCD 时间.....	666
35.3.4	RTC 使能与停止.....	667
35.3.5	RTC 时间设置.....	667
35.3.6	RTC 时间读取.....	667
35.3.7	闰年判断.....	668
35.4	寄存器.....	669
35.4.1	RTCA 写使能寄存器 (RTCA_WER)	669
35.4.2	RTCA 中断使能寄存器 (RTCA_IER)	670
35.4.3	RTCA 中断标志寄存器 (RTCA_ISR)	671
35.4.4	BCD 时间秒寄存器 (RTCA_BCDSEC)	672
35.4.5	BCD 时间分钟寄存器 (RTCA_BCDMIN)	673
35.4.6	BCD 时间小时寄存器 (RTCA_BCDHOUR)	673
35.4.7	BCD 时间天寄存器 (RTCA_BCDDAY)	674
35.4.8	BCD 时间星期寄存器 (RTCA_BCDWEEK)	674
35.4.9	BCD 时间月寄存器 (RTCA_BCDMONTH)	675
35.4.10	BCD 时间年寄存器 (RTCA_BCDYEAR)	675
35.4.11	闹钟寄存器 (RTCA_ALARM)	676
35.4.12	RTC 时间信号输出寄存器 (RTCA_TMSEL)	676
35.4.13	LTBC 数值调整寄存器 (RTCA_ADJUST)	677
35.4.14	毫秒计数值寄存器 (RTCA_SBSCNT)	678
35.4.15	RTCA 控制寄存器 RTCA_CR.....	678
36	实时时钟 (RTCB)	679
36.1	概述	679
36.2	结构框图	679
36.3	工作原理	680
36.3.1	工作时钟.....	680
36.3.2	时基计数器 (LTBC)	680
36.3.3	LTBC 数字调校.....	680
36.3.4	BCD 时间.....	682
36.3.5	RTC 使能与停止.....	682
36.3.6	RTC 时间设置.....	683
36.3.7	RTC 时间读取.....	683
36.3.8	闰年判断.....	684
36.3.9	RTC 时间戳.....	684
36.3.10	备份寄存器.....	685
36.4	寄存器.....	686
36.4.1	RTCB 写使能寄存器 (RTCB_WER)	687
36.4.2	RTCB 中断使能寄存器 (RTCB_IER)	687
36.4.3	RTCB 中断标志寄存器 (RTCB_ISR)	688
36.4.4	BCD 时间秒寄存器 (RTCB_BCDSEC)	689
36.4.5	BCD 时间分钟寄存器 (RTCB_BCDMIN)	689
36.4.6	BCD 时间小时寄存器 (RTCB_BCDHOUR)	690
36.4.7	BCD 时间天寄存器 (RTCB_BCDDAY)	690
36.4.8	BCD 时间星期寄存器 (RTCB_BCDWEEK)	691
36.4.9	BCD 时间月寄存器 (RTCB_BCDMONTH)	691
36.4.10	BCD 时间年寄存器 (RTCB_BCDYEAR)	692
36.4.11	RTCB 时间信号输出寄存器 (RTCB_TMSEL)	692
36.4.12	RTCB 时钟调校寄存器 (RTCB_ADJR)	693
36.4.13	RTCB 控制寄存器 (RTCB_CR)	693
36.4.14	RTCB 时间戳控制寄存器 (RTCB_STPCR)	694
36.4.15	RTCB 时间戳时钟寄存器 (RTCB_STPCLKRR)	695
36.4.16	RTCB 时间戳日历寄存器 (RTCB_STPCALRR)	695

36.4.17	RTCB 备份寄存器组 (RTCB_BKRx)	696
37	段码液晶驱动 (LCD)	697
37.1	概述	697
37.2	结构框图	697
37.3	IO 配置	699
37.4	功能说明	699
37.4.1	工作时钟和显示帧频率	699
37.4.2	LCD Type A 扫描波形	699
37.4.3	LCD Type B 扫描波形	704
37.4.4	片内 buffer 驱动模式	708
37.4.5	片外电容驱动模式	708
37.4.6	显示闪烁功能	709
37.4.7	偏置电压调整	709
37.5	低功耗模式	710
37.6	寄存器	711
37.6.1	显示控制寄存器 (LCD_CR)	711
37.6.2	显示测试控制寄存器 (LCD_TEST)	713
37.6.3	显示频率控制寄存器 (LCD_FCR)	714
37.6.4	闪烁时间寄存器 (LCD_FLKT)	715
37.6.5	显示中断使能寄存器 (LCD_IER)	715
37.6.6	显示中断标志寄存器 (LCD_ISR)	716
37.6.7	显示数据寄存器 (LCD_DATAx)	716
37.6.8	LCD COM 使能控制寄存器 (LCD_COMEN)	723
37.6.9	LCD SEG 使能控制寄存器 0 (LCD_SEGEN0)	723
37.6.10	LCD SEG 使能控制寄存器 1 (LCD_SEGEN1)	724
38	模数转换器 (ADC)	725
38.1	概述	725
38.2	结构框图	726
38.3	输入通道	727
38.4	单端和差分输入	728
38.5	工作时序	730
38.6	功能描述	732
38.6.1	使用 VDDA 作为基准	732
38.6.2	使用 VREFP 作为基准	733
38.6.3	温度传感器	733
38.6.4	温度传感器的斜率和标定	734
38.6.5	可编程采样时间	734
38.6.6	输出位宽选择	736
38.6.7	输入缓冲器	736
38.6.8	VBAT 和 VDD 电源电压采样	737
38.6.9	内部信号采样	737
38.6.10	转换模式	738
38.6.11	转换触发	741
38.6.12	过采样和硬件平均	742
38.6.13	ADC 工作时钟	743
38.6.14	数据冲突和自动等待	743
38.6.15	DMA	744
38.6.16	模拟窗口看门狗 (AWD)	750
38.6.17	ADC 校准	751
38.7	低功耗模式	751
38.8	寄存器	753
38.8.1	ADC 中断和状态寄存器 (ADC_ISR)	753

38.8.2	ADC 中断使能寄存器 (ADC_IER)	754
38.8.3	ADC 控制寄存器 1 (ADC_CR1)	755
38.8.4	ADC 控制寄存器 2 (ADC_CR2)	755
38.8.5	ADC 校准控制寄存器 (ADC_CALR)	756
38.8.6	ADC 配置寄存器 1 (ADC_CFGR1)	757
38.8.7	ADC 配置寄存器 2 (ADC_CFGR2)	758
38.8.8	ADC 采样时间控制寄存器 (ADC_SMTR)	760
38.8.9	ADC 通道控制寄存器 (ADC_CHER)	762
38.8.10	ADC 通道差分控制寄存器 (ADC_DCR)	763
38.8.11	ADC 数据寄存器 (ADC_DR)	763
38.8.12	AWD 阈值寄存器 (ADC_HLTR)	764
39	数模转换器 (DAC)	765
39.1	概述	765
39.2	结构框图	765
39.3	引脚定义	766
39.4	DAC 输出与引脚和其他模块的互联	766
39.5	功能描述	767
39.5.1	工作时钟与信号时序	767
39.5.2	DAC 输出模式	767
39.5.3	DAC 触发源选择	769
39.5.4	DAC 输出电压	769
39.5.5	DMA	769
39.5.6	采样保持	770
39.5.7	DAC 输出 Buffer	772
39.5.8	低功耗模式下的 DAC	773
39.6	寄存器	774
39.6.1	DAC 控制寄存器 1 (DAC_CR1)	774
39.6.2	DAC 控制寄存器 2 (DAC_CR2)	774
39.6.1	DAC 配置寄存器 (DAC_CFGR)	775
39.6.2	DAC 软件触发寄存器 (DAC_SWTRGR)	776
39.6.3	DAC 数据保持寄存器 (DAC_DHR)	776
39.6.4	DAC 状态标志寄存器 (DAC_ISR)	777
39.6.5	DAC 中断使能寄存器 (DAC_IER)	777
39.6.1	DAC 采样保持时间寄存器 (DAC_SHTR)	778
40	可编程胶合逻辑 (PGL)	780
40.1	概述	780
40.2	结构框图	780
40.3	引脚定义	782
40.4	功能描述	783
40.4.1	LUT 真值表	783
40.4.2	LUT 输入	784
40.4.3	LUT 输出	784
40.4.4	滤波和采样	784
40.4.5	中断和触发	785
40.4.6	低功耗模式	786
40.5	寄存器	787
40.5.1	PGL 控制寄存器 (PGL_CR)	787
40.5.2	PGL 配置寄存器 0 (PGL_CFGR0)	788
40.5.3	PGL 配置寄存器 1 (PGL_CFGR1)	789
40.5.4	PGL 配置寄存器 2 (PGL_CFGR2)	790
40.5.5	PGL 配置寄存器 3 (PGL_CFGR3)	791
40.5.6	PGL 中断使能寄存器 (PGL_IER)	792

40.5.7	PGL 中断标志寄存器 (PGL_ISR)	793
40.5.8	LUT0 真值表寄存器 (PGL_LUT0)	793
40.5.9	LUT1 真值表寄存器 (PGL_LUT1)	794
40.5.10	LUT2 真值表寄存器 (PGL_LUT2)	794
40.5.11	LUT3 真值表寄存器 (PGL_LUT3)	795
41	I/O 端口 (GPIO)	796
41.1	概述	796
41.2	引脚类型	796
41.2.1	GPIO, 输入输出使能, 可控上拉电阻, 可控开漏输出	797
41.2.2	GPIO, 输入输出使能, 2 个可控上拉电阻, 可控开漏输出 (仅 PC12-7816 数据口)	798
41.3	IO 端口功能定义	798
41.3.1	GPIO 输入	798
41.3.2	GPIO 输出	799
41.3.3	数字外设功能	799
41.3.4	模拟功能	801
41.3.5	使用外部晶体引脚	802
41.4	VBAT 供电引脚	802
41.5	SWD 引脚	803
41.6	WKUPx 引脚	803
41.7	外部引脚中断 (EXTI)	804
41.7.1	功能说明	804
41.7.2	应用指南	805
41.8	快速 GPIO 输出	806
41.9	寄存器	807
41.9.1	GPIO 输入使能寄存器 (GPIOx_INEN)	810
41.9.2	GPIO 上拉使能寄存器 (GPIOx_PUEN)	810
41.9.3	GPIO 开漏使能寄存器 (GPIOx_ODEN)	811
41.9.4	GPIO 功能选择寄存器 (GPIOx_FCR)	811
41.9.5	GPIO 输出数据寄存器 (GPIOx_DO)	813
41.9.6	GPIO 输出数据置位寄存器 (GPIOx_DSET)	814
41.9.7	GPIO 输出数据复位寄存器 (GPIOx_DRST)	814
41.9.8	GPIO 输入数据寄存器 (GPIOx_DIN)	815
41.9.9	GPIO 额外数字功能选择寄存器 (GPIOx_DFS)	816
41.9.10	GPIO 模拟开关使能寄存器 (GPIOx_ANEN)	816
41.9.11	GPIO 输入低阈值配置寄存器 (GPIOx_VILR)	817
41.9.12	EXTI 输入选择寄存器 0 (GPIO_EXTISEL0)	817
41.9.13	EXTI 输入选择寄存器 1 (GPIO_EXTISEL1)	819
41.9.14	EXTI 边沿选择和使能寄存器 0 (GPIO_EXTIEDS0)	820
41.9.1	EXTI 边沿选择和使能寄存器 1 (GPIO_EXTIEDS1)	821
41.9.2	EXTI 数字滤波控制寄存器 (GPIO_EXTIDF)	822
41.9.3	EXTI 中断标志 (GPIO_EXTIISR)	822
41.9.4	EXTI 输入信号寄存器 (GPIO_EXTIDI)	823
41.9.5	FOUT 配置寄存器 (GPIO_FOUTSEL)	823
41.9.6	WKUP 控制寄存器 (GPIO_PINWKEN)	824
42	专用编程接口	826
42.1	概述	826
42.2	编程器使用	826
43	调试支持	827
43.1	概述	827
43.2	DEBUG 引脚	828
43.2.1	SWD 引脚	828

43.2.2	上拉电阻.....	828
43.3	SWD 接口协议	829
43.3.1	协议简介.....	829
43.3.2	传输序列.....	829
43.3.3	SW-DP ID code.....	830
43.3.4	主机读操作.....	830
43.3.5	主机写操作.....	831
43.4	SWD-DP 寄存器.....	832
43.4.1	寄存器列表.....	832
43.5	CORE DEBUG 寄存器.....	832
43.6	低功耗调试支持	832
43.7	DEBUG 相关的配置项.....	833
43.8	寄存器	833
43.8.1	系统模式配置寄存器.....	833
43.8.2	MCU DEBUG 配置寄存器.....	834
43.8.3	HardFault 查询寄存器.....	835
44	器件签名信息.....	837
44.1	存储器容量查询	837
44.2	器件 UID	838
版本列表		839
上海复旦微电子集团股份有限公司销售及服务中心.....		840

表目录

表 1-1FM33LG0A 型号列表.....	37
表 1-2 FM33LG0xxA 特性列表.....	38
表 2-1 引脚列表.....	43
表 3-1FM33LG0A 极限参数.....	61
表 3-2 FM33LG0A 典型工作条件.....	62
表 3-3 ACTIVE 电流参数.....	63
表 3-4 LP ACTIVE 电流参数.....	63
表 3-5 LP RUN 电流参数.....	63
表 3-6 SLEEP 电流参数.....	63
表 3-7 DEEPSLEEP 电流参数.....	64
表 3-8 VBAT 电流参数.....	64
表 3-9 复位和电源检测参数.....	65
表 3-10 高精度基准源参数.....	66
表 3-11 唤醒时间参数.....	67
表 3-12 低频晶体振荡器参数.....	68
表 3-13 高频晶体振荡器参数.....	68
表 3-14 内部高频 RC 振荡器参数.....	70
表 3-15 内部中频 RC 振荡器参数.....	70
表 3-16 内部低频 RC 振荡器参数.....	71
表 3-17 PLL 参数.....	71
表 3-18ADC 参数.....	74
表 3-19ADC 输入阻抗.....	77
表 3-20 DAC 参数.....	79
表 3-21 温度传感器参数.....	82
表 3-22 OPA 参数.....	84
表 3-23 模拟比较器参数.....	85
表 3-24 FLASH 参数.....	86
表 3-25 普通 I/O 参数.....	87
表 3-26 NRST 引脚参数.....	88
表 3-27 引脚 AC 参数.....	88
表 3-28 LCD 片内电阻分压.....	89
表 3-29 LCD 片外电容驱动.....	89
表 3-30VBAT 测量特性.....	90
表 4-1 外设模块总线地址列表.....	96
表 4-2FLASH 特殊信息区.....	98
表 4-3FLASHLDT0 扇区.....	99
表 4-4LDT0 数据格式.....	99
表 4-5FLASHLDT1 扇区.....	100
表 4-6FLASH 选项字节.....	100
表 4-7FLASH LOCK 配制.....	101
表 4-8LOCK 位和地址对应表.....	101
表 4-9DATAFLASH 配置.....	108
表 4-10LOCK 位权限控制.....	110
表 4-11FLASH 权限控制.....	111
表 5-1 功耗模式表.....	123
表 5-2 功耗模式与频率对照表.....	124
表 5-3 休眠模式唤醒源列表.....	128
表 5-4VREF1P2 延迟唤醒可应用的唤醒源.....	129
表 10-1 FM33LG0xxA CPU 配置简表.....	170

表 10-2 CORTEX-M0+内核寄存器简表.....	171
表 10-3 FM33LG0xxA 中断向量表.....	173
表 12-1 IWDT 溢出周期表.....	193
表 13-1 WWDT 溢出周期表.....	201
表 14-1 系统时钟切换控制.....	208
表 14-2 主要时钟说明.....	209
表 14-3 外设时钟说明.....	210
表 14-4RCLP 状态说明.....	214
表 14-5 低功耗模式下的时钟源状态说明.....	218
表 18-1OPA 引脚列表.....	283
表 19-1 比较器 1 引脚列表.....	300
表 19-2 比较器 2 引脚列表.....	300
表 19-3 比较器 3 引脚列表.....	300
表 19-4 比较器 1/2 工作模式.....	302
表 19-5 比较器 3 工作模式.....	303
表 21-1 I2C 引脚列表.....	320
表 21-2I ² C 接口时序要求.....	327
表 21-3 I2C 从机保留地址定义.....	329
表 22-1 UART 引脚列表.....	368
表 22-2 UART 类型列表.....	369
表 22-3 UART 数据帧格式.....	370
表 22-4 DMA 发送中断.....	376
表 22-5 常用时钟频率下波特率计算.....	377
表 23-1 LPUART 引脚对应表.....	390
表 23-2LPUART 数据帧格式.....	391
表 23-3 LPUART 数据位调制系数.....	393
表 23-4 LPUART DMA 中断说明.....	396
表 24-1 SPI 引脚对应表.....	406
表 26-1 CAN 引脚列表.....	435
表 29-1ENCODER INTERFACE 计数方式	518
表 30-1ENCODER INTERFACE 计数方式	575
表 33-1 LPTIM32 引脚映射.....	630
表 34-1 LPTIM16 引脚映射.....	647
表 34-2 ENCODER INTERFACE 计数方式	652
表 37-1 帧频率计算公式	699
表 37-2 典型帧频率和 DF 的关系	699
表 37-3 LCD 与低功耗模式.....	710
表 38-1 ADC 输入通道.....	727
表 38-2 温度传感器斜率.....	734
表 38-3 ADC 采样时间.....	735
表 38-4 ADC 输出位宽与速度.....	736
表 38-5 DMA 配置与功能.....	746
表 38-6 ADC 与低功耗模式.....	752
表 39-1 DAC 相关引脚.....	766
表 39-2 DAC 触发源.....	769
表 39-3 DAC 与低功耗模式.....	773
表 40-1 PGL 相关引脚.....	782
表 40-2LUT 查找表.....	783
表 40-3 LUT 输出连接.....	784
表 40-4 LUT 输出连接.....	786
表 41-1GPIO 功能逻辑定义表	797
表 41-2FCR 定义表	798
表 41-3 多个数字外设功能选择表.....	801

表 41-4 模拟功能通道选择表.....802

WPS PDF编辑试用

图目录

图 1-1 芯片结构框图.....	36
图 2-1 FM33LG0x8A LQFP80 封装图.....	39
图 2-2 FM33LG0x6A LQFP64 封装图.....	40
图 2-3 FM33LG0x5A LQFP48 封装图.....	41
图 2-4LQFP80 封装尺寸图	50
图 2-5LQFP64 封装尺寸图	52
图 2-6 LQFP48 封装尺寸图.....	54
图 3-1FM33LG0xxA 测试条件.....	60
图 3-2 ADC 参数说明	72
图 3-3 ADC 差分输入典型 DNL 和 INL	74
图 3-4 ADC 单端输入典型 DNL 和 INL	75
图 3-5 3.3V ADC 差分（左）和单端输入（右）典型信噪比	75
图 3-6 1.8V ADC 差分（左）和单端输入（右）典型信噪比	76
图 3-7 ADC 通道输入阻抗	76
图 3-8DAC 典型输出曲线.....	79
图 3-9DAC 典型静态特性（5V）	80
图 3-10DAC 典型静态特性（3.3V）	80
图 3-11DAC 典型静态特性（1.8V）	81
图 3-12 温度传感器输出曲线.....	82
图 3-13LCD 片外电容驱动模式电容连接.....	90
图 4-1 系统总线示意图.....	92
图 4-2 FM33LG04xA 总线地址.....	93
图 4-3 FM33LG02xA 总线地址.....	94
图 4-4 FM33LG01xA 总线地址.....	95
图 4-5BOOTSWAP 示意图	102
图 4-6FLASH 擦写 KEY 认证	104
图 5-1 芯片电源结构图.....	120
图 5-2 功耗模式与系统主频.....	123
图 5-3VREF1P2 延迟唤醒时序图.....	129
图 6-1 温度传感器输出与标定	140
图 7-1 ADC 和 DAC 基准源	146
图 7-2 外部电源基准方案 1.....	147
图 7-3 外部独立基准方案.....	148
图 7-4ADC 和 DAC 都是用内部基准方案的系统连接	149
图 7-5 ADC 使用外部基准，DAC 使用内部基准.....	150
图 7-6 VREFP 间歇使能波形示意图.....	151
图 7-7 VREF1P2 关闭情况下的间歇使能波形示意图	152
图 7-8 中断标志示意图.....	152
图 8-1 备份电源域结构框图.....	155
图 8-2 VAO 上下 RTCB 电复位示意图.....	156
图 11-1 芯片复位源框图.....	181
图 11-2 上下电复位示意图.....	182
图 12-1 IWDT 结构框图	192
图 12-2 IWDT 窗口示意图	194
图 13-1WWDT 结构框图	199
图 13-2WWDT 窗口示意图	201
图 14-1 芯片时钟框图.....	207
图 14-2 时钟校准电路框图.....	217
图 15-1 低压检测电路框图.....	238

图 15-2 低压检测电路工作时序.....	239
图 15-3 电源检测电路间歇工作模式.....	240
图 16-1 ECB 模式加密流程.....	251
图 16-2 ECB 模式解密流程.....	252
图 16-3 CBC 加密过程.....	253
图 16-4 CBC 解密过程.....	254
图 16-5 暂停模式流程.....	254
图 16-6 CTR 加密流程.....	255
图 16-7 CTR 解密流程.....	256
图 16-832 位计数器和随机数的存储方式.....	256
图 16-9 GCM 加密流程.....	258
图 16-10GCM 解密流程.....	259
图 16-11 MULTH 模块框图.....	260
图 16-12 根据数据类型存储数据的示意图.....	262
图 16-13 模式 1: 加密流程.....	263
图 16-14 模式 2 示意图.....	263
图 16-15 模式 3 示意图.....	264
图 16-16 模式 4 示意图.....	265
图 16-17 MULTH 模块使用流程示意图.....	266
图 16-18 输入时 DMA 请求和数据传输示意图.....	266
图 16-19 输出时 DMA 请求和数据传输示意图.....	267
图 17-1 真随机数模块框图.....	275
图 17-2 真随机数模块工作时钟.....	275
图 18-1OPA1 电路框图.....	282
图 18-2OPA 用作 ADC 前端放大.....	283
图 18-3OPA 非反相放大.....	284
图 18-4 OPA 反相放大.....	285
图 18-5OPA 缓冲器模式.....	286
图 18-6 同相 PGA 模式.....	287
图 18-7OPA 环路滤波.....	288
图 18-8 反相 PGA 带 DAC 偏置.....	289
图 18-9 反相 PGA 带外部偏置.....	290
图 19-1 比较器电路框图.....	298
图 19-2 比较器内建基准缓冲器.....	299
图 19-3 窗口比较器框图.....	301
图 19-4 窗口比较器波形示意图.....	302
图 19-5 比较器中断产生.....	303
图 19-6 比较器输出逻辑.....	304
图 19-7 比较器输出上升沿产生触发输出, 无滤波.....	304
图 19-8 数字滤波 (DFLEN=3) 波形示意图.....	305
图 21-1 I2C 模块框图.....	319
图 21-2I ² C 总线时序.....	325
图 21-3 数据有效时序.....	325
图 21-4 起始 (START) 与停止 (STOP) 命令定义.....	325
图 21-5 输出应答 (ACK).....	326
图 21-6 从机信号滤波.....	331
图 21-7 主机向 7 位地址从机写入数据时的帧格式.....	332
图 21-8I2C 软件发送数据流图.....	333
图 21-9 I2C 主机对 7 位地址从机发送数据流图.....	334
图 21-10 主机从 7 位地址从机读取数据时的帧格式.....	334
图 21-11I2C 软件发送数据流图.....	335
图 21-12 I2C 从 7 位地址从机读取数据流图.....	336
图 21-13 双向数据通信帧格式.....	336

图 21-14 10bit 寻址, 主机向从机写入数据	337
图 21-15 I2C 软件发送数据流程图	338
图 21-16 10bit 寻址, 主机从从机读取数据	338
图 21-17 I2C 软件发送数据流程图	339
图 21-18 I2C 软件发送数据流程图	340
图 21-19 I2C 主机 DMA 发送流程图	341
图 21-20 I2C 主机 DMA 接收流程图	343
图 21-21 主机时序控制	345
图 21-22 从机数据发送波形	347
图 21-23 从机数据接收波形	348
图 21-24 从机数据接收波形 (SCLSEN=0, 接收溢出)	349
图 21-25 I2C 从机 DMA 接收流程图	351
图 21-26 I2C 从机 DMA 发送流程图	352
图 21-27 SDA 输出延迟波形	353
图 22-1 UART 接口时序	367
图 22-2 UART 字符描述	369
图 22-3 位接收 16 倍采样	371
图 22-4 位接收 8 倍采样	372
图 22-5 UART 异步发送波形 1	373
图 22-6 UART 异步发送波形 2	374
图 22-7 UART 异步发送波形 3	374
图 22-8 红外调制波形	379
图 22-9 UART 发送延迟	379
图 23-1 LPUART 结构框图	389
图 23-2 LPUART 工作时钟	391
图 23-3 字符描述	391
图 24-1 SPI 结构框图	405
图 24-2 SPI 数据/时钟时序图 (CPHA=0)	407
图 24-3 SPI 数据/时钟时序图 (CPHA=1)	407
图 24-4 线半双工写操作	408
图 24-5 4 线半双工读操作 (无 DUMMY CYCLE)	409
图 24-6 4 线半双工读操作 (有 DUMMY CYCLE)	409
图 24-7 SPI MASTER/SPI SLAVE 互连	410
图 24-8 SPI SSN 时序图 (SSNM=1, CPHA=0)	412
图 24-9 SPI SSN 时序图 (SSNM=0)	412
图 25-1 7816 结构框图	422
图 25-2 7816 帧结构图	423
图 25-3 7816 接收流程图	424
图 25-4 7816 发送流程图	425
图 26-1 CAN 模块结构框图	434
图 26-2 CAN BIT TIMING	436
图 26-3 节点错误状态转移	441
图 27-1 DMA 结构框图	464
图 27-2 DMA 寄存器配置	465
图 27-3 DMA 工作流程	466
图 28-1 CRC 运算流程图	476
图 28-2 使用 DMA 对 RAM 中的数据进行 CRC 运算	478
图 29-1 高级定时器结构框图	484
图 29-2 预分频从 1 变为 2 的波形	486
图 29-3 预分频从 1 变为 4 的波形	486
图 29-4 向上计数波形, 内部时钟不分频	487
图 29-5 向上计数波形, 内部时钟 2 分频	488
图 29-6 ARPE=0 (ATIM_ARR 没有预装载) 时的更新事件	488

图 29-7ARPE=1 (ATIM_ARR 预装载) 时的更新事件	489
图 29-8 向下计数, 内部时钟不分频.....	490
图 29-9 向下计数, 内部时钟 2 分频.....	490
图 29-10 向下计数, 内部时钟 2 分频.....	491
图 29-11 向下计数, 不使用重复计数时的更新事件.....	491
图 29-12 中心对齐计数器时序图, ATIM_PCS=0, ATIM_ARR=0x6.....	492
图 29-13 计数器时序图, ARPE=1 时的更新事件(计数器下溢).....	493
图 29-14 计数器时序图, ARPE=1 时的更新事件(计数器溢出).....	493
图 29-15 不同模式下更新速率的例子, 及 ATIM_RCR 的寄存器设置.....	494
图 29-16 ATIM 时钟源框图.....	496
图 29-17 内部时钟源模式, 时钟分频因子为 1.....	496
图 29-18T12 外部时钟连接例子.....	497
图 29-19 外部时钟模式 1 下的时序.....	497
图 29-20 外部时钟模式 1 下的时序.....	498
图 29-21 外部触发输入框图.....	499
图 29-22 外部时钟模式 2 下的时序 1.....	499
图 29-23 外部时钟模式 2 下的时序 2.....	500
图 29-24 捕获/比较通道(通道 1 输入部分).....	502
图 29-25 捕获/比较通道 1 的主电路.....	502
图 29-26 捕获/比较通道的输出部分(通道 1 至 3).....	503
图 29-27 捕获/比较通道的输出部分(通道 4).....	503
图 29-28PWM 输入捕获模式时序.....	504
图 29-29 输出比较模式, 翻转 OC1.....	507
图 29-30 边沿对齐的 PWM 波形(ARR=7).....	508
图 29-31 中央对齐的 PWM 波形(APR=7).....	509
图 29-32 带死区插入的互补输出.....	510
图 29-33 死区波形延迟大于负脉冲.....	510
图 29-34 死区波形延迟大于正脉冲.....	510
图 29-35 响应刹车的输出.....	512
图 29-36 产生六步 PWM, 使用 COM 的例子(OSSR=1).....	514
图 29-37 单脉冲模式的例子.....	515
图 29-38 ETR 信号清除 ATIM 的 OCxREF.....	517
图 29-39 编码器模式下的计数器操作实例.....	518
图 29-40 复位模式下的时序.....	520
图 29-41 门控模式下的时序.....	521
图 29-42 触发器模式下的时序.....	522
图 29-43 外部时钟模式 2+触发模式下的时序.....	522
图 29-44 霍尔传感器接口.....	525
图 30-1 通用定时器架构示意图.....	551
图 30-2 预分频从 1 变为 2 的波形.....	553
图 30-3 预分频从 1 变为 4 的波形.....	553
图 30-4 向上计数波形, 内部时钟不分频.....	554
图 30-5 向上计数波形, 内部时钟 2 分频.....	555
图 30-6ARPE=0 (GPTIM_ARR 没有预装载) 时的更新事件.....	555
图 30-7ARPE=1 (GPTIM_ARR 预装载) 时的更新事件.....	556
图 30-8 向下计数, 内部时钟不分频.....	557
图 30-9 向下计数, 内部时钟 2 分频.....	557
图 30-10 向下计数, 内部时钟 2 分频.....	558
图 30-11 向下计数, 不使用重复计数时的更新事件.....	558
图 30-12 中心对齐计数器时序图, GPTIM_PCS=0, GPTIM_ARR=0x6.....	559
图 30-13 计数器时序图, ARPE=1 时的更新事件(计数器下溢).....	560
图 30-14 计数器时序图, ARPE=1 时的更新事件(计数器溢出).....	560
图 30-15GPTIM 时钟源框图.....	561

图 30-16 内部时钟源模式，时钟分频因子为 1	561
图 30-17TI2 外部时钟连接例子	562
图 30-18 外部时钟模式 1 下的时序	562
图 30-19 外部时钟模式 1 下的时序	563
图 30-20 外部触发输入框图	564
图 30-21 外部时钟模式 2 下的时序 1	564
图 30-22 外部时钟模式 2 下的时序 2	565
图 30-23 捕获/比较通道(通道 1 输入部分)	568
图 30-24 捕获/比较通道 1 的主电路	569
图 30-25 捕获/比较通道的输出部分	569
图 30-26PWM 输入捕获模式时序	570
图 30-27 输出比较模式，翻转 OC1	571
图 30-28 边沿对齐的 PWM 波形(ARR=7)	572
图 30-29 中央对齐的 PWM 波形(APR=7)	573
图 30-30 单脉冲模式的例子	574
图 30-31 ETR 信号清除 GPTIM 的 OCxREF	575
图 30-32 编码器模式下的计数器操作实例	576
图 30-33 复位模式下的时序	577
图 30-34 门控模式下的时序	578
图 30-35 触发器模式下的时序	578
图 30-36 外部时钟模式 2+触发模式下的时序	579
图 31-1 32 位基本定时器结构框图	603
图 31-2 预分频从 1 变为 2 的波形	605
图 31-3 预分频从 1 变为 4 的波形	605
图 31-4 向上计数波形，内部时钟不分频	606
图 31-5 向上计数波形，内部时钟 2 分频	607
图 31-6ARPE=0 (ARR 没有预装载) 时的更新事件	607
图 31-7 ARPE=1 (ARR 预装载) 时的更新事件	608
图 31-8 内部时钟源模式，时钟分频因子为 1	608
图 32-1 16 位基本定时器结构框图	615
图 32-2 预分频从 1 变为 2 的波形	617
图 32-3 预分频从 1 变为 4 的波形	617
图 32-4 向上计数波形，内部时钟不分频	618
图 32-5 向上计数波形，内部时钟 2 分频	619
图 32-6 ARPE=0 (ARR 没有预装载) 时的更新事件	619
图 32-7 ARPE=1 (ARR 预装载) 时的更新事件	620
图 32-8 内部时钟源模式，时钟分频因子为 1	620
图 33-1 LPTIM32 结构框图	629
图 33-2 外部 ETR 脉冲上升沿触发计数	631
图 33-3 外部 ETR 脉冲异步计数 (下降沿)	631
图 33-4TIMEOUT 模式	632
图 33-5PWM 输出	633
图 33-6 输入信号边沿捕捉	634
图 34-1 LPTIM16 结构框图	646
图 34-2 外部 ETR 脉冲上升沿触发计数	648
图 34-3 外部 ETR 脉冲异步计数 (下降沿)	648
图 34-4TIMEOUT 模式	649
图 34-5PWM 输出	650
图 34-6 输入信号边沿捕捉	651
图 34-7 通道输入数字滤波	651
图 34-8 编码器模式下的计数器操作实例	652
图 35-1RTC 结构框图	663
图 35-2LTBC 结构框图	664

图 35-3RTC 时间读取流程图.....	668
图 36-1RTCB 结构框图	679
图 36-2LTBC 结构框图	680
图 36-3RTC 时间读取流程图.....	683
图 36-4 时间戳.....	684
图 36-5 TAMPER 输入数字滤波	685
图 37-1 LCD 显示控制模块结构框图.....	698
图 37-2LCD 驱动波形(1/4 DUTY, 1/3 BIAS, TYPE A)	700
图 37-3LCD 驱动波形(1/6 DUTY, 1/4 BIAS, TYPE A)	701
图 37-4LCD 驱动波形(1/6 DUTY, 1/3 BIAS, TYPE A)	702
图 37-5LCD 驱动波形(1/8 DUTY, 1/4 BIAS, TYPE A)	703
图 37-6 LCD 驱动波形(1/4 DUTY, 1/3 BIAS, TYPE B).....	704
图 37-7 LCD 驱动波形(1/6 DUTY, 1/4 BIAS, TYPE B).....	705
图 37-8 LCD 驱动波形(1/6 DUTY, 1/3 BIAS, TYPE B).....	706
图 37-9 LCD 驱动波形(1/8 DUTY, 1/4 BIAS, TYPE B).....	707
图 37-10LCD 片内电阻 BUFFER 型驱动电路	708
图 38-1 ADC 结构框图	726
图 38-2 单端输入.....	728
图 38-3 差分输入.....	728
图 38-4 差分输入信号与码字的关系	729
图 38-5 ADC 校准时序	730
图 38-6 ADC 采样转换时序	730
图 38-7 ADC 采样序列时序	731
图 38-8 ADC 输入通道示意图	735
图 38-9 VBAT/VDD 分压电路示意图	737
图 38-10 ADC 单次转换全自动触发模式	739
图 38-11 ADC 单次转换半自动触发模式	740
图 38-12 ADC 连续转换模式	741
图 38-13 ADC 硬件触发源	742
图 38-14 ADC 时钟示意图	743
图 38-15 ADC 自动等待	744
图 38-16 ADC 单次全自动触发+DMA 案例 1	746
图 38-17 ADC 单次全自动触发+DMA 案例 2	747
图 38-18 ADC 单次半自动触发+DMA	748
图 38-19 ADC 全自动触发+DMA 循环模式	749
图 38-20 ADC 连续模式+DMA 循环模式	750
图 38-21 ADC 模拟看门狗阈值示意图	751
图 39-1 DAC 结构框图	765
图 39-2 DAC 结构框图	766
图 39-3 DAC 工作时序	767
图 39-4 DAC 连续输出模式	768
图 39-5 DAC 触发输出模式	769
图 39-6 触发模式下通过 DMA 更新数据.....	770
图 39-7 DAC 采样保持输出	771
图 39-8 DAC 采样保持输出过程中更新 DHR (TRGEN=0)	772
图 39-9 DAC 采样保持输出过程中更新 DHR (TRGEN=1)	772
图 40-1LUT 结构框图	781
图 40-2 PGL 结构框图.....	781
图 40-3 LUT 实现 2 输入 NAND 示意图	784
图 40-4 输出滤波和采样.....	785
图 40-5 数字滤波.....	785
图 41-1 普通 GPIO 结构框图	797
图 41-2 普通 GPIO (两路上拉) 结构框图.....	798

图 41-3WKUPx 功能结构框图.....	803
图 41-4 引脚输入数字滤波.....	804
图 41-5 EXTI 信号输入示意图.....	805
图 43-1 CORTEX-M0+调试系统示意图.....	827

WPS PDF编辑试用

1 产品综述

1.1 概述

FM33LG0A的主要特性如下:

- 宽电压范围: 1.65~5.5V
- 工作温度范围 (T_A): $-40^{\circ}\text{C} \sim +105^{\circ}\text{C}$
- 处理器内核
 - ARM Cortex-M0+
 - 支持MPU
 - 支持用户/特权模式
 - 最高主频64Mhz
 - SWD调试接口
 - 24bit Systick定时器
- 低功耗技术平台
 - 典型运行功耗130uA/MHz@48MHz
 - VBAT备份电源切换
 - Sleep模式: 3.3uA typ
 - DeepSleep模式, RTC走时+全部RAM保持+CPU内核保持: 1.5uA typ
 - VBAT模式, RTC走时+备份寄存器: 0.8uA typ
- 存储器
 - 64/128/256KB Flash空间
 - Flash擦写寿命: 100,000次
 - Flash数据保存时间: 10年@85 $^{\circ}\text{C}$
 - 用户代码保护
 - 16/32KB RAM空间
- 丰富的模拟外设
 - 高可靠、可配置BOR电路 (支持4级可编程下电复位阈值)
 - 超低功耗PDR电路 (支持4级可编程下电复位阈值)
 - 可编程电源监测模块 (SVD)
 - 3x低功耗模拟比较器
 - 12bit 2Msps SAR-ADC
 - 12bit 1Msps DAC
 - 内置基准电压产生电路

- 高精度温度传感器，精度 $\pm 2^{\circ}\text{C}$
- 通用通信接口
 - UART*5
 - LPUART*3
 - 7816主机*1
 - SPI*3，主从模式
 - I2C*1，主从模式
 - CAN2.0B*1
 - 7通道外设DMA
 - 可编程CRC校验模块
- 定时资源
 - 16bit高级定时器*1，最高PWM分辨率120MHz
 - 16bit通用定时器*3
 - 32bit基本定时器*1，16bit基本定时器*1
 - 24-bit SysTick*1
 - 32-bit低功耗定时器*1，16bit低功耗定时器*1
 - 看门狗定时器*2
 - 低功耗实时时钟日历（RTCC），带有数字调校功能，调校精度 $\pm 0.476\text{ppm}$
- LCD显示控制电路
 - 最大支持4COMx44SEG / 6COMx42SEG / 8COMx40SEG
 - 1/3 bias、1/4bias
 - 片内电阻分压
 - 支持休眠显示
- 安全算法
 - AES硬件运算单元，128/192/256-bit
 - AES支持ECB/CBC/CTR/GCM/GMAC模式
 - 真随机数发生器
- 时钟发生电路
 - 片上可配置高速RC振荡器，可配置频率输出8/16/24/32MHz，出厂调校误差 $\pm 0.5\%$ ，8MHz全温区误差小于 $\pm 2\%$
 - 低功耗32768Hz晶体振荡器，带有停振检测电路
 - 低功耗低速RC振荡器，32KHz，全温区 $\pm 3\%$
 - 高频晶体振荡器，4~24MHz
 - PLL，最高输出64MHz，非分频输出128MHz

- 封装: LQFP80/64/48, QFN32
- AEC-Q100 grade2 Qualified

WPS PDF编辑试用

1.2 芯片结构框图

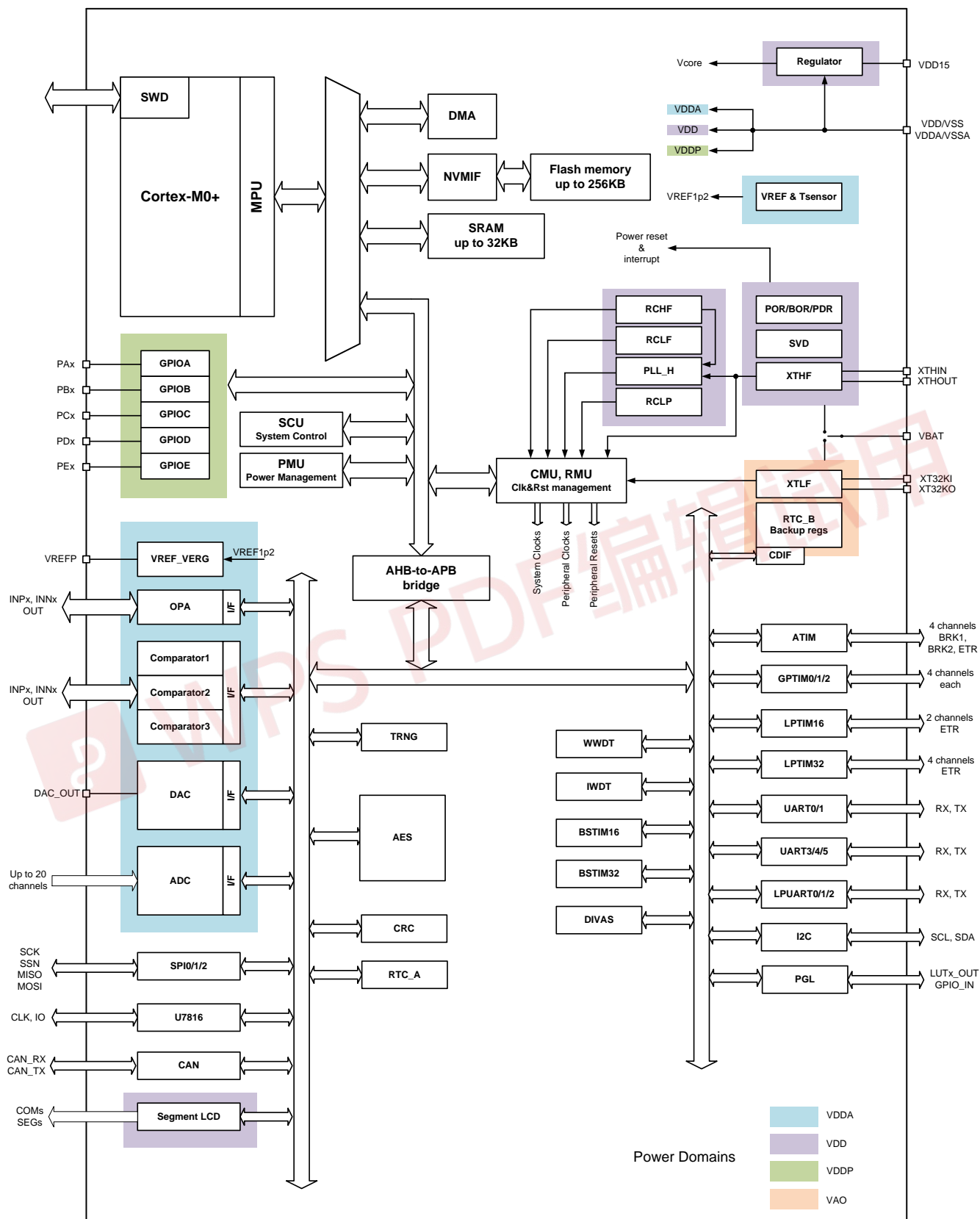


图 1-1 芯片结构框图

1.3 产品型号列表

型号	Flash 容量 (KBytes)	RAM 容量 (KBytes)	封装
FM33LG048A	256	32	LQFP80
FM33LG046A	256	32	LQFP64
FM33LG045A	256	32	LQFP48
FM33LG026A	128	32	LQFP64
FM33LG025A	128	32	LQFP48
FM33LG023A	128	32	QFN32

表 1-1 FM33LG0A 型号列表

1.4 产品特性对照表

型号	FM33LG048A	FM33LG046A	FM33LG045A	FM33LG023A	FM33LG026A	FM33LG025A
CPU	Cortex-M0+					
MPU	Y					
Max Freq.	64MHz					
Flash	256KB			128KB		
RAM	32KB			32KB		
AES	1					
RNG	1					
Timer	ATIM	1				
	GTIM	3				
	BSTIM32	1				
	BSTIM16	1				
	LPTIM32	1				
	LPTIM16	1				
	systick	1				
RTC/WWDT/IWDT	2/1/1					
SPI	3	3	2	3	3	2
I2C	1	1	1	1	1	1
UART	5	5	5	4	5	5
LPUART	3	3	3	3	3	3
ISO7816	1	1	-	-	1	-
CAN2.0B	1	1	1	1	1	1
GPIO	71	56	40	25	56	40
LCD	4*44	4*36	4*25	-	4*36	4*25
	6*42	6*34	6*23		6*34	6*23
	8*40	8*32	8*21		8*32	8*21
OPA	1	1	1	1	1	1
12bit SAR-ADC	20ch	18ch	9ch	8ch	18ch	9ch
TempSensor	1					

表 1-2 FM33LG0xxA 特性列表

2 引脚和封装

2.1 封装和引脚排列

2.1.1 LQFP80 封装图 (FM33LG0x8A)

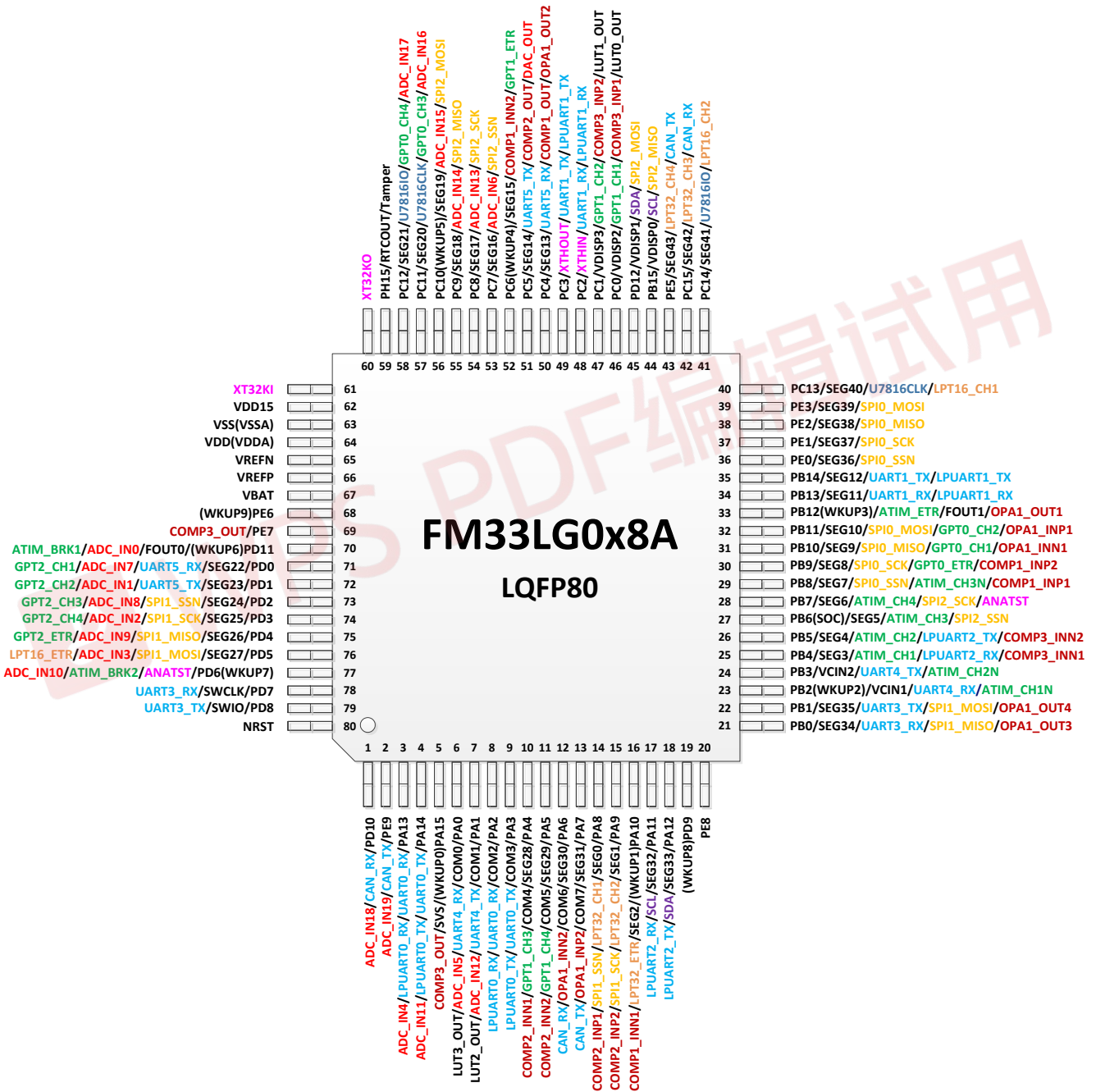


图 2-1 FM33LG0x8A LQFP80 封装图

典型资源:

LCD 4*44

ADC 21个外部通道

支持VBAT，有Tamper引脚（PH15）

2.1.2 LQFP64 封装图（FM33LG0x6A）

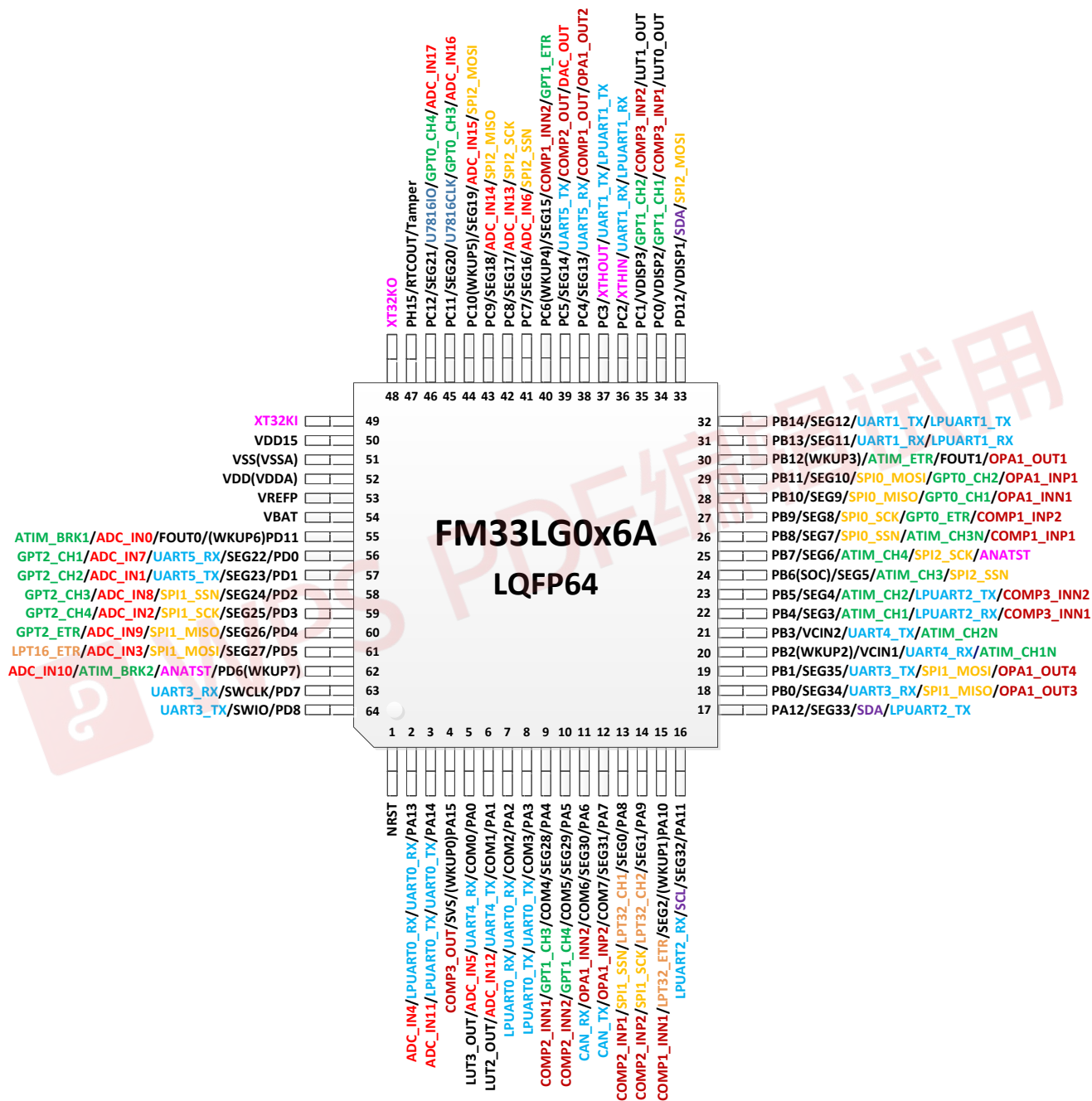


图 2-2 FM33LG0x6A LQFP64 封装图

典型资源:

LCD 4*36

ADC 18个外部通道

支持VBAT，有Tamper引脚（PH15）

2.1.3 LQFP48 封装图（FM33LG0x5A）

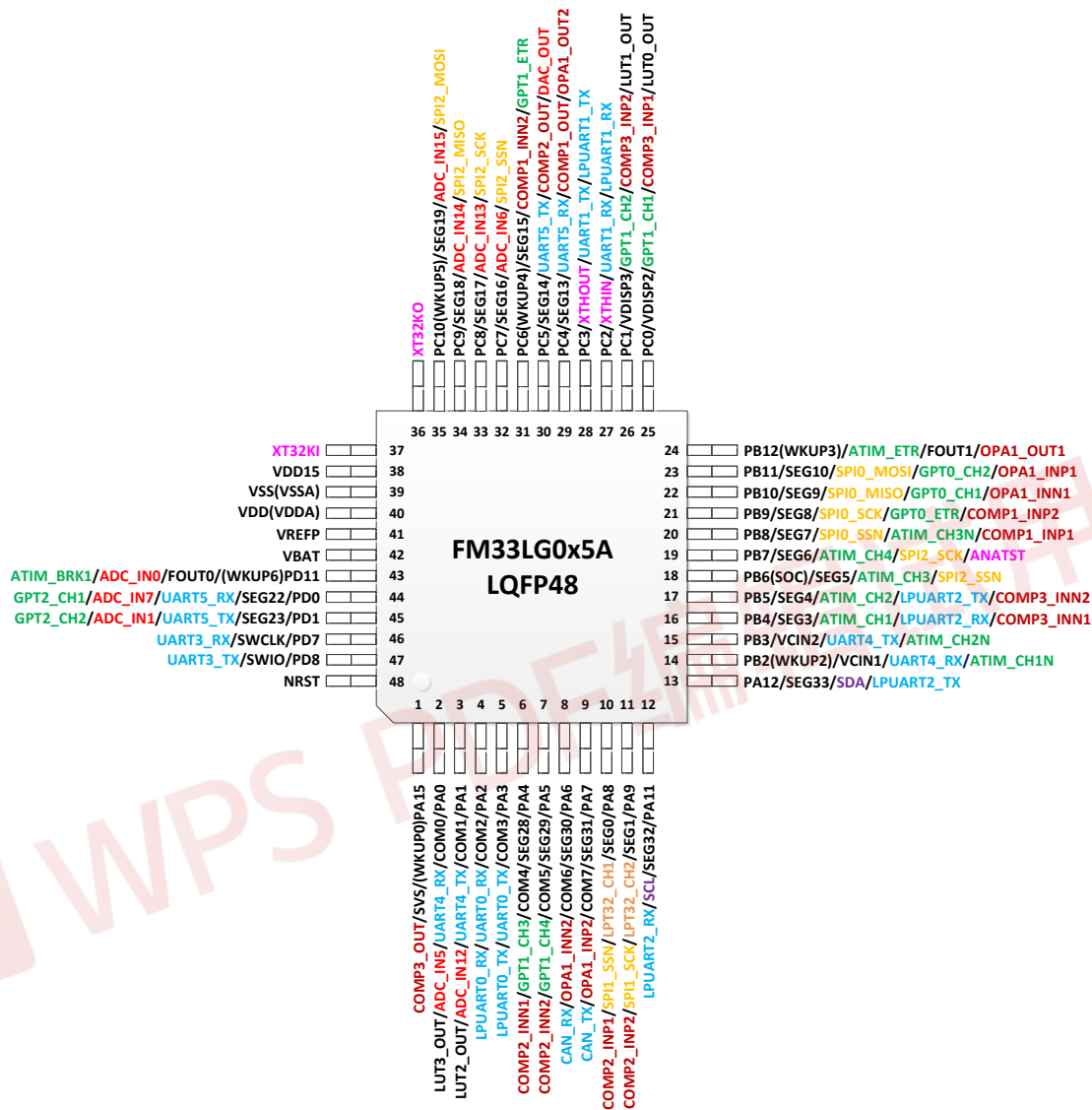


图 2-3 FM33LG0x5A LQFP48 封装图

典型资源：

LCD 4*25, 6*23, 8*21

ADC 9个外部通道

支持VBAT

2.1.4 QFN32 封装图 (FM33LG0x3A)

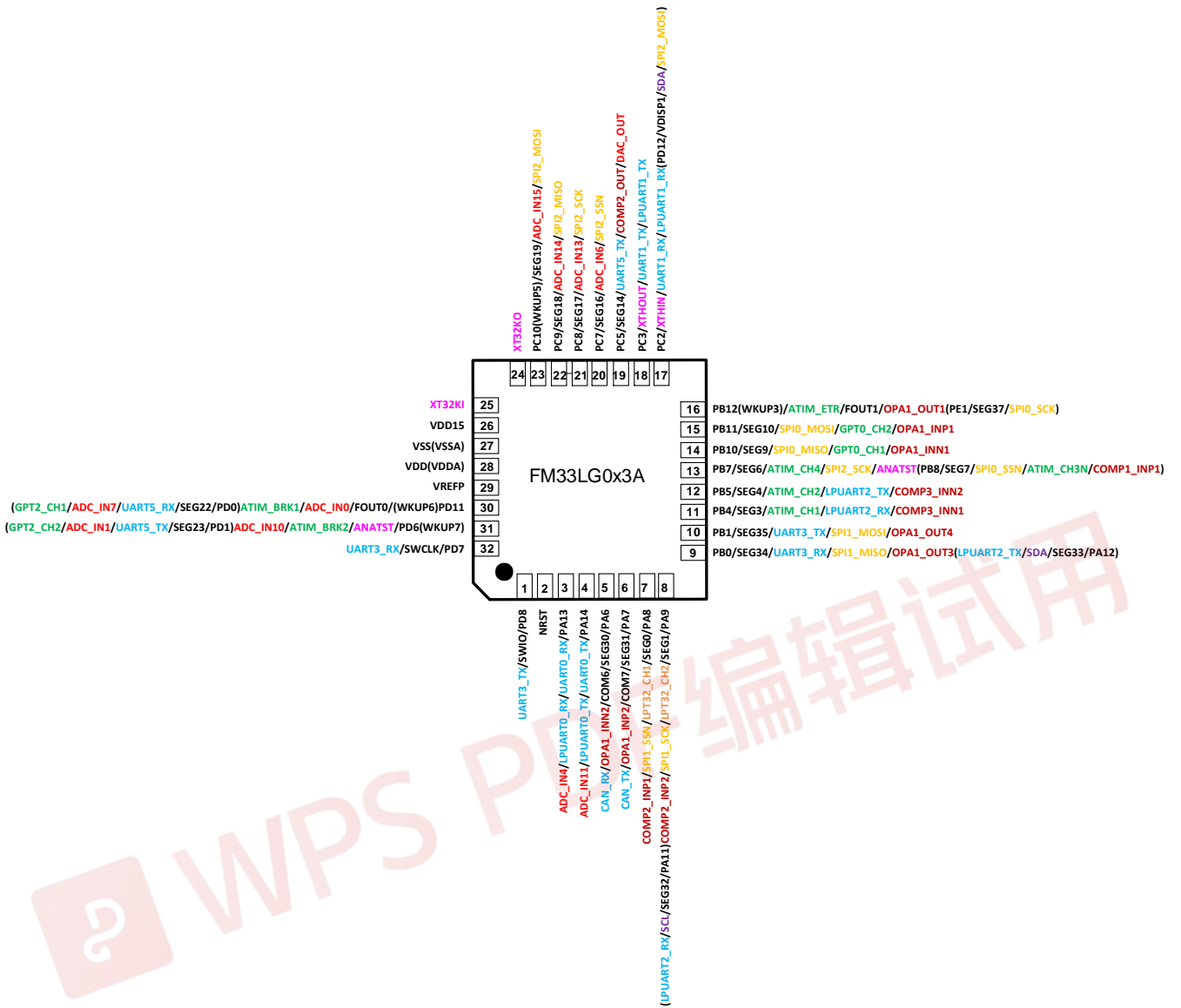


图 2-4 FM33LG0x3A QFN32 封装图

2.1.5 引脚功能定义 (FM33LG0xxA)

Pin Number				Pin Function	Descriptions
LQFP80	LQFP64	LQFP48	QFN32		
1	-	-	-	PD10	GPIO
				CAN_RX	CAN 接收
				ADC_IN18	ADC 输入通道
2	-	-	-	PE9	GPIO
				CAN_TX	CAN 发送
				ADC_IN19	ADC 输入通道
3	2	-	3	PA13	GPIO
				UART0_RX	UART 接收
				LPUART0_RX	低功耗 UART 接收
4	3	-	4	ADC_IN4	ADC 输入通道
				PA14	GPIO
				UART0_TX	UART 发送
5	4	1	-	LPUART0_TX	低功耗 UART 发送
				ADC_IN11	ADC 输入通道
				PA15	GPIO
6	5	2	-	WKUP0	外部唤醒引脚
				SVS	外部电源检测
				COMP3_OUT	比较器输出
				PA0	GPIO
7	6	3	-	COM0	LCD 驱动 COM 端
				UART4_RX	UART 接收
				ADC_IN5	ADC 输入通道
				LUT3_OUT	PGL 输出
8	7	4	-	PA1	GPIO
				COM1	LCD 驱动 COM 端
				UART4_TX	UART 发送
				ADC_IN12	ADC 输入通道
9	8	5	-	LUT2_OUT	PGL 输出
				PA2	GPIO
				COM2	LCD 驱动 COM 端
				UART0_RX	UART 接收
10	9	6	-	LPUART0_RX	低功耗 UART 接收
				PA3	GPIO
				COM3	LCD 驱动 COM 端
				UART0_TX	UART 发送
11	10	7	-	LPUART0_TX	低功耗 UART 发送
				PA4	GPIO
				COM4/SEG28	LCD 驱动 COM/SEG 端
				GPT1_CH3	通用定时器外部通道
11	10	7	-	COMP2_INN1	比较器输入
				PA5	GPIO
				COM5/SEG29	LCD 驱动 COM/SEG 端
11	10	7	-	GPT1_CH4	通用定时器外部通道
				COMP2_INN2	比较器输入

Pin Number				Pin Function	Descriptions
LQFP80	LQFP64	LQFP48	QFN32		
12	11	8	5	PA6	GPIO
				COM6/SEG30	LCD 驱动 COM/SEG 端
				OPA1_INN2	OPA 输入通道
				CAN_RX	CAN 接收
13	12	9	6	PA7	GPIO
				COM7/SEG31	LCD 驱动 COM/SEG 端
				OPA1_INP2	OPA 输入通道
				CAN_TX	CAN 发送
14	13	10	7	PA8	GPIO
				SEG0	LCD 驱动 SEG 端
				LPT32_CH1	低功耗定时器外部通道
				SPI1_SSN	SPI1 片选
				COMP2_INP1	比较器输入
15	14	11	8	PA9	GPIO
				SEG1	LCD 驱动 SEG 端
				LPT32_CH2	低功耗定时器外部通道
				SPI1_SCK	SPI1 时钟
				COMP2_INP2	比较器输入
16	15	-	-	PA10	GPIO
				WKUP1	外部唤醒引脚
				SEG2	LCD 驱动 SEG 端
				LPT32_ETR	低功耗定时器外部触发输入
				COMP1_INN1	比较器输入
17	16	12	8	PA11	GPIO
				SEG32	LCD 驱动 SEG 端
				SCL	I2C 时钟
				LPUART2_RX	LPUART 接收
18	17	13	9	PA12	GPIO
				SEG33	LCD 驱动 SEG 端
				SDA	I2C 数据
				LPUART2_TX	LPUART 发送
19	-	-	-	PD9	GPIO
				WKUP8	外部唤醒引脚
20	-	-	-	PE8	GPIO
21	18	-	9	PB0	GPIO
				SEG34	LCD 驱动 SEG 端
				UART3_RX	UART 接收
				SPI1_MISO	SPI 数据
				OPA1_OUT3	OPA 输出
22	19	-	10	PB1	外部唤醒引脚
				SEG35	LCD 驱动 SEG 端
				UART3_TX	UART 发送
				SPI1_MOSI	SPI 数据
				OPA1_OUT4	OPA 输出
23	20	14	-	PB2	GPIO

Pin Number				Pin Function	Descriptions
LQFP80	LQFP64	LQFP48	QFN32		
				WKUP2	外部唤醒引脚
				VCIN1	LCD 电容引脚 (电容驱动模式)
				UART4_RX	UART 接收
				ATIM_CH1N	高级定时器外部通道
24	21	15	-	PB3	GPIO
				VCIN2	LCD 电容引脚 (电容驱动模式)
				UART4_TX	UART 接收
				ATIM_CH2N	高级定时器外部通道
25	22	16	11	PB4	GPIO
				SEG3	LCD 驱动 SEG 端
				ATIM_CH1	高级定时器外部通道
				LPUART2_RX	LPUART 接收
26	23	17	12	PB5	GPIO
				SEG4	LCD 驱动 SEG 端
				ATIM_CH2	高级定时器外部通道
				LPUART2_TX	LPUART 发送
27	24	18	-	COMP3_INN1	比较器输入
				PB6	GPIO
				SEG5	LCD 驱动 SEG 端
				ATIM_CH3	高级定时器外部通道
28	25	19	13	SPI2_SSN	SPI 片选
				PB7	GPIO
				SEG6	LCD 驱动 SEG 端
				ATIM_CH4	高级定时器外部通道
29	26	20	13	SPI2_SCK	SPI 时钟
				ANATST	原厂测试通道
				PB8	GPIO
				SEG7	LCD 驱动 SEG 端
30	27	21	-	SPI0_SSN	SPI 片选
				ATIM_CH3N	高级定时器外部通道
				COMP1_INP1	比较器输入
				PB9	GPIO
31	28	22	14	SEG8	LCD 驱动 SEG 端
				COMP1_INP2	比较器输入
				SPI0_SCK	SPI 时钟
				GPT0_ETR	通用定时器外部触发输入
32	29	23	15	PB10	GPIO
				SEG9	LCD 驱动 SEG 端
				OPA1_INN1	OPA 输入
				SPI0_MISO	SPI 数据线
32	29	23	15	GPT0_CH1	通用定时器外部通道
				PB11	GPIO
				SEG10	LCD 驱动 SEG 端
				OPA1_INP1	OPA 输入
				SPI1_MOSI	SPI 数据线

Pin Number				Pin Function	Descriptions
LQFP80	LQFP64	LQFP48	QFN32		
				GPT0_CH2	通用定时器外部通道
33	30	24	16	PB12	GPIO
				WKUP3	外部唤醒引脚
				FOUT1	时钟频率输出
				ATIM_ETR	高级定时器外部触发输入
				OPA1_OUT1	OPA 输出
34	31	-	-	PB13	GPIO
				SEG11	LCD 驱动 SEG 端
				UART1_RX	UART 接收
				LPUART1_RX	LPUART 接收
35	32	-	-	PB14	GPIO
				SEG12	LCD 驱动 SEG 端
				UART1_TX	UART 发送
				LPUART1_TX	LPUART 发送
36	-	-	-	PE0	GPIO
				SEG36	LCD 驱动 SEG 端
				SPI0_SSN	SPI 片选
37	-	-	16	PE1	GPIO
				SEG37	LCD 驱动 SEG 端
				SPI0_SCK	SPI 时钟
38	-	-	-	PE2	GPIO
				SEG38	LCD 驱动 SEG 端
				SPI0_MISO	SPI 数据
39	-	-	-	PE3	GPIO
				SEG39	LCD 驱动 SEG 端
				SPI0_MOSI	SPI 数据
40	-	-	-	PC13	GPIO
				SEG40	LCD 驱动 SEG 端
				U7816CLK	7816 接口时钟
				LPT16_CH1	LPTIM16 通道
41	-	-	-	PC14	GPIO
				SEG41	LCD 驱动 SEG 端
				U7816IO	7816 接口数据 (100K 上拉)
				LPT16_CH2	LPTIM16 通道
42	-	-	-	PC15	GPIO
				SEG42	LCD 驱动 SEG 端
				LPT32_CH3	LPTIM32 通道
				CAN_RX	CAN 接口接收
43	-	-	-	PE5	GPIO
				SEG43	LCD 驱动 SEG 端
				LPT32_CH4	LPTIM32 通道
				CAN_TX	CAN 接口发送
44	-	-	-	PB15	GPIO
				VDISP0	LCD 片外电容 (电容驱动模式)
				SCL	I2C 时钟
				SPI2_MISO	SPI 数据

Pin Number				Pin Function	Descriptions
LQFP80	LQFP64	LQFP48	QFN32		
45	33	-	17	PD12	GPIO
				VDISP1	LCD 片外电容（电容驱动模式）
				SDA	I2C 数据
				SPI2_MOSI	SPI 数据
46	34	25	-	PC0	GPIO
				VDISP2	LCD 片外电容（电容驱动模式）
				COMP3_INP1	模拟比较器输入
				LUT0_OUT	PGL 输出
47	35	26	-	GPT1_CH1	通用定时器外部通道
				PC1	GPIO
				VDISP3	LCD 片外电容（电容驱动模式）
				COMP3_INP2	模拟比较器输入
48	36	27	17	LUT1_OUT	PGL 输出
				GPT1_CH2	通用定时器外部通道
				PC2	GPIO
				XTHIN	高频晶振输入
49	37	28	18	UART1_RX	UART 接收
				LPUART1_RX	低功耗 UART 接收
				PC3	GPIO
				XTHOUT	高频晶振输出
50	38	29	-	UART1_TX	UART 发送
				LPUART1_TX	低功耗 UART 发送
				COMP1_OUT	比较器输出
				SEG13	LCD 驱动 SEG 端
51	39	30	19	OPA1_OUT2	OPA 输出
				UART5_RX	UART 接收
				PC5	GPIO
				SEG14	LCD 驱动 SEG 端
52	40	31	-	DAC_OUT	DAC 输出
				COMP2_OUT	比较器输出
				UART5_TX	UART 发送
				PC6	GPIO
53	41	32	20	WKUP4	外部唤醒引脚
				SEG15	LCD 驱动 SEG 端
				GPT1_ETR	通用定时器外部触发输入
				COMP1_INN2	比较器输入
54	42	33	21	ADC_IN6	ADC 输入通道
				PC7	GPIO
				SEG16	LCD 驱动 SEG 端
				SPI2_SSN	SPI 片选
55	43	34	22	ADC_IN13	ADC 输入通道
				PC8	GPIO
				SEG17	LCD 驱动 SEG 端
				SPI2_SCK	SPI 时钟
				PC9	GPIO

Pin Number				Pin Function	Descriptions
LQFP80	LQFP64	LQFP48	QFN32		
				SEG18	LCD 驱动 SEG 端
				SPI2_MISO	SPI 数据线
				ADC_IN14	ADC 输入通道
56	44	35	23	PC10	GPIO
				WKUP5	外部唤醒引脚
				SEG19	LCD 驱动 SEG 端
				SPI2_MOSI	SPI 数据线
				ADC_IN15	ADC 输入通道
57	45	-	-	PC11	GPIO
				SEG20	LCD 驱动 SEG 端
				U7816CLK	7816 接口时钟
				GPT0_CH3	通用定时器外部通道
				ADC_IN16	ADC 输入通道
58	46	-	-	PC12	GPIO
				SEG21	LCD 驱动 SEG 端
				U7816IO	7816 接口数据 (10K 上拉)
				GPT0_CH4	通用定时器外部通道
				ADC_IN17	ADC 输入通道
59	47	-	-	PH15	GPIO
				RTCCOUT	RTCCB 输出信号
				Tamper	篡改检测信号输入
60	48	36	24	XT32KO	32768Hz 晶振输出脚
61	49	37	25	XT32KI	32768Hz 晶振输入脚
62	50	38	26	VDD15	LDO 输出, 外接 100nF 电容到地
63	51	39	27	VSS	地
64	52	40	28	VDD	电源
65	-	-	-	VREFN	基准地
66	53	41	29	VREFP	基准源
67	54	42	-	VBAT	备份电源
68	-	-	-	PE6	GPIO
				WKUP9	唤醒引脚
69	-	-	-	PE7	GPIO
				COMP3_OUT	比较器输出
70	55	43	30	PD11	GPIO
				WKUP6	外部唤醒引脚
				FOUT0	时钟频率输出
				ATIM_BRK1	高级定时器刹车输入
				ADC_IN0	ADC 输入通道
71	56	44	30	PD0	GPIO
				SEG22	LCD 驱动 SEG 端
				UART5_RX	UART 接收
				GPT2_CH1	通用定时器通道
				ADC_IN7	ADC 输入通道
72	57	45	31	PD1	GPIO
				SEG23	LCD 驱动 SEG 端
				UART5_TX	UART 发送

Pin Number				Pin Function	Descriptions
LQFP80	LQFP64	LQFP48	QFN32		
				GPT2_CH2	通用定时器通道
				ADC_IN1	ADC 输入通道
73	58	-	-	PD2	GPIO
				SEG24	LCD 驱动 SEG 端
				SPI1_SSN	SPI 片选
				GPT2_CH3	通用定时器通道
				ADC_IN8	ADC 输入通道
74	59	-	-	PD3	GPIO
				SEG25	LCD 驱动 SEG 端
				SPI1_SCK	SPI 时钟
				GPT2_CH4	通用定时器通道
				ADC_IN2	ADC 输入通道
75	60	-	-	PD4	GPIO
				SEG26	LCD 驱动 SEG 端
				SPI1_MISO	SPI 数据
				GPT2_ETR	通用定时器外部触发
				ADC_IN9	ADC 输入通道
76	61	-	-	PD5	GPIO
				SEG27	LCD 驱动 SEG 端
				SPI1_MOSI	SPI 数据
				LPT16_ETR	LPTIM16 外部触发
				ADC_IN3	ADC 输入通道
77	62	-	31	PD6	GPIO
				WKUP7	外部唤醒引脚
				ANATST	模拟测试通道
				ATIM_BRK2	高级定时器刹车输入
				ADC_IN10	ADC 输入通道
78	63	46	32	PD7	GPIO
				UART3_RX	UART 接收
				SWCLK	SWD 接口时钟
79	64	47	1	PD8	GPIO
				UART3_TX	UART 发送
				SWIO	SWD 接口数据
80	1	48	2	NRST	复位引脚

表 2-1 引脚列表

2.1.6 封装尺寸图

2.1.6.1 LQFP80

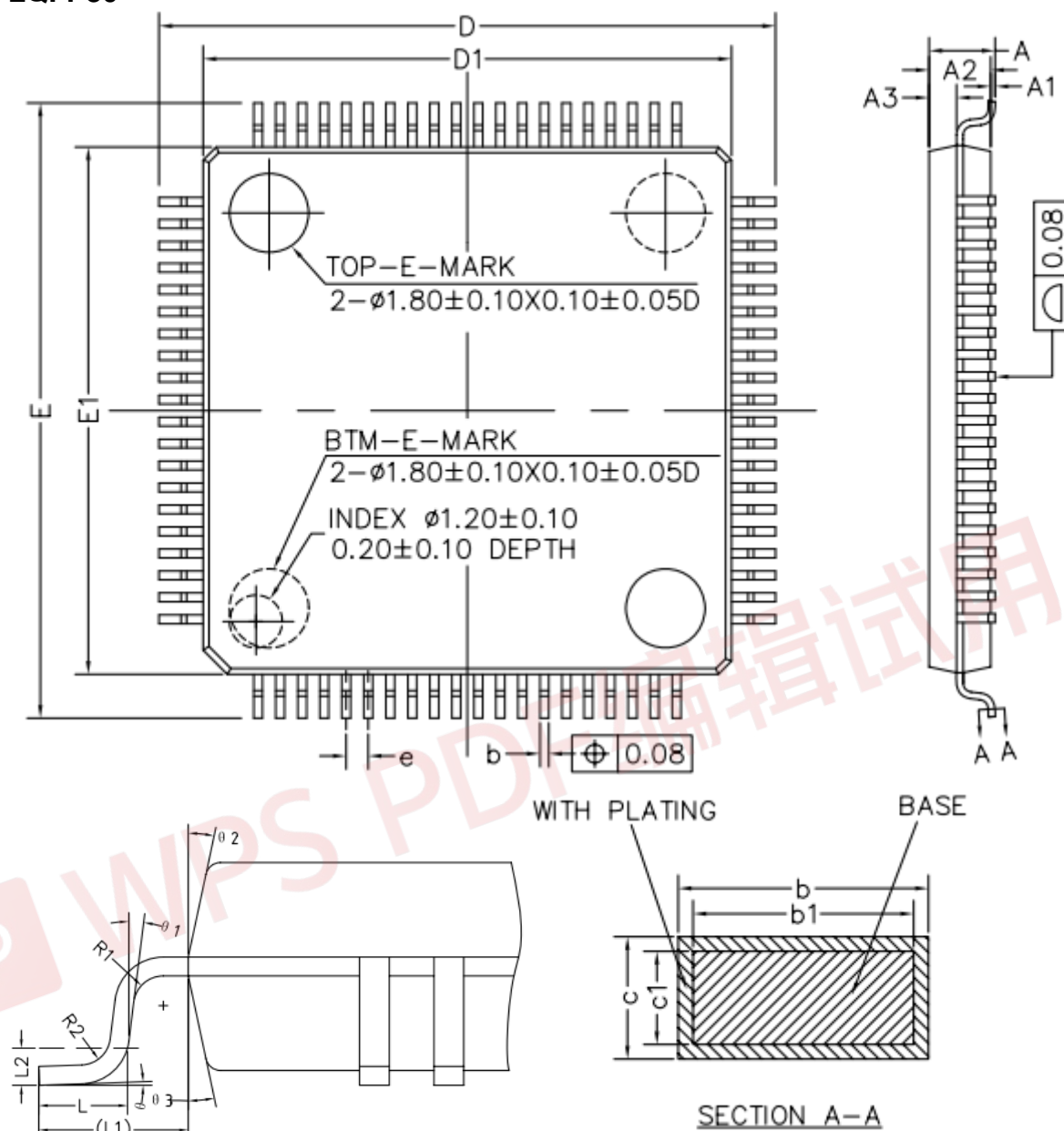


图 2-5LQFP80 封装尺寸图

Symbol	MIN	NOM	MA
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	-	0.27
b1	0.17	0.20	0.23
c	0.13	-	0.18
c1	0.12	0.127	0.134
D	13.80	14.00	14.20

Symbol	MIN	NOM	MA
D1	11.90	12.00	12.10
E	13.80	14.00	14.20
E1	11.90	12.00	12.10
e	0.40	0.50	0.60
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	–	–
R2	0.08	–	0.20
S	0.20	–	–
θ	0°	3.5°	7°
$\theta 1$	0°	–	–
$\theta 2$	11°	12°	13°
$\theta 3$	11°	12°	13°

NOTE:

ALL DIMENSIONS REFER TO JEDEC STANDARD MO-220 WMMD-4.

2.1.6.2 LQFP64

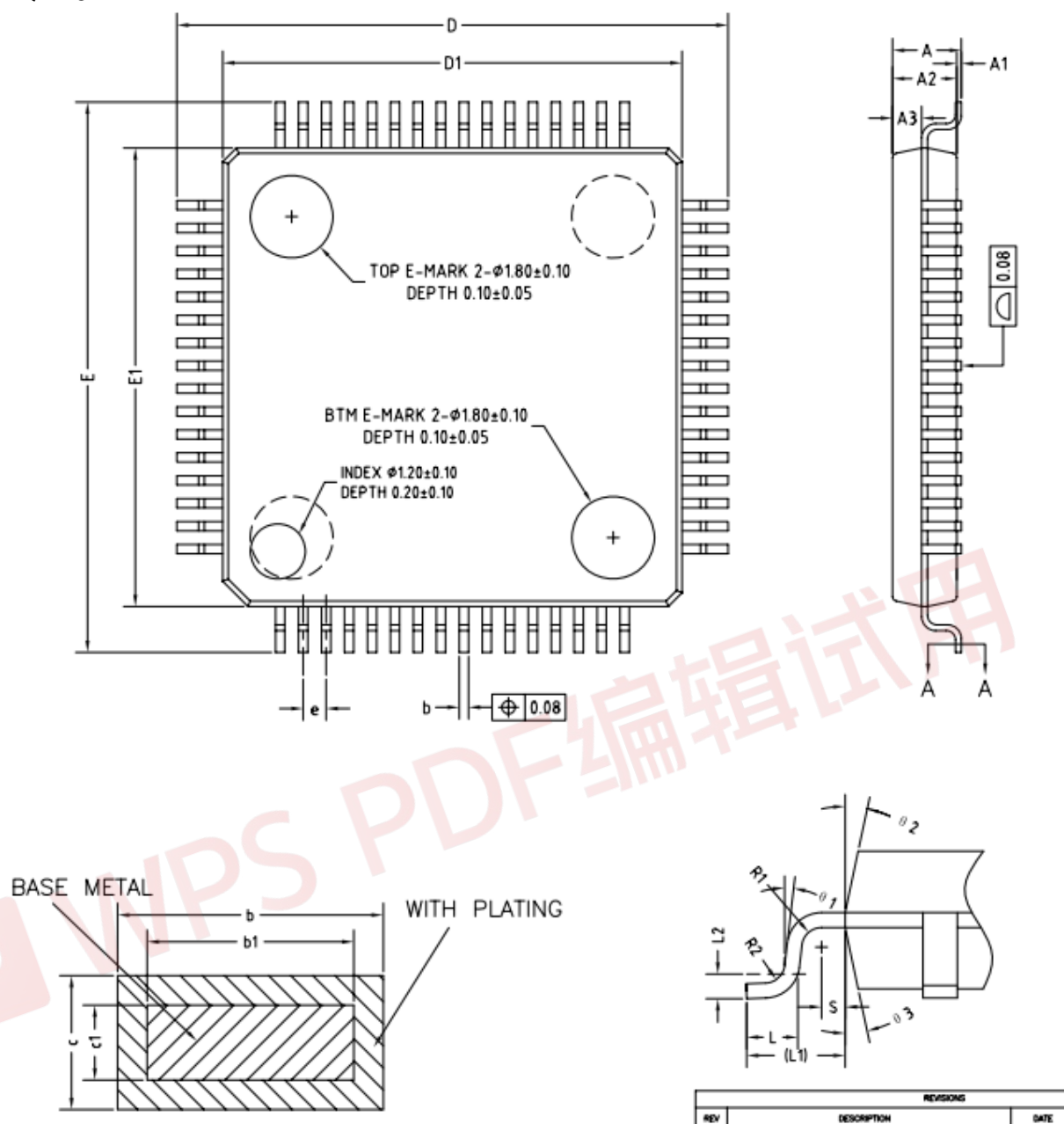


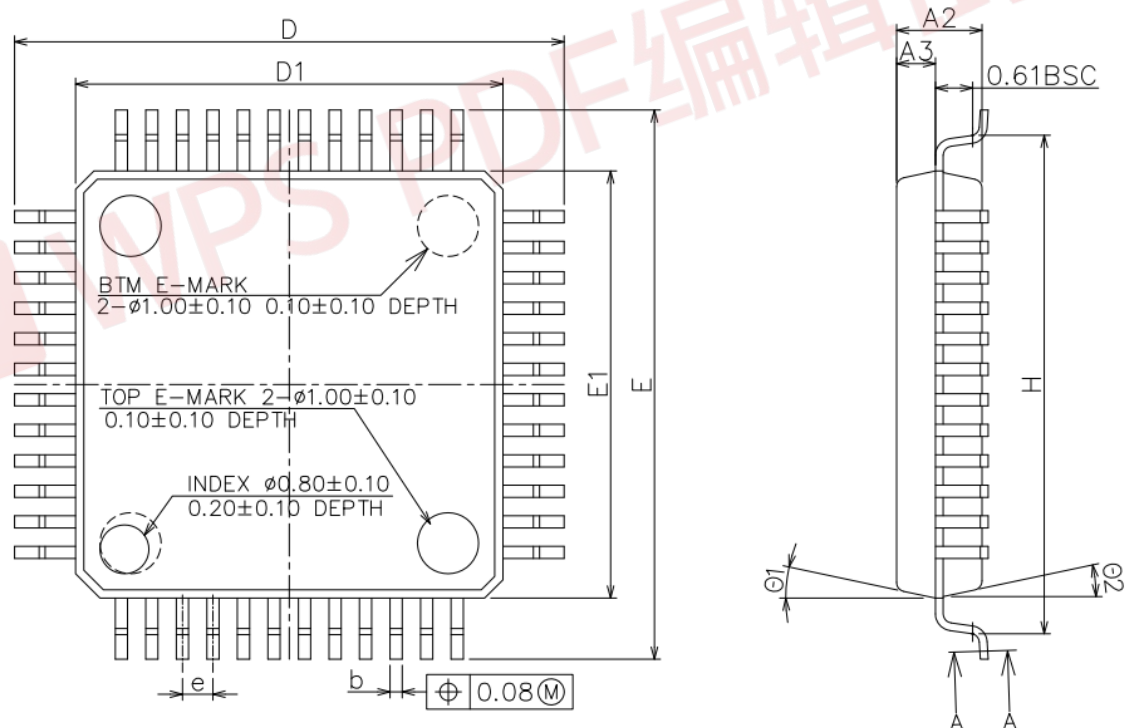
图 2-6LQFP64 封装尺寸图

Symbol	MIN	NOM	MAX
A	-	-	1.60
A1	0.05	-	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	-	0.27
b1	0.17	0.20	0.23
c	0.13	-	0.18
c1	0.12	0.127	0.134
D	11.80	12.00	12.20

Symbol	MIN	NOM	MAX
D1	9.90	10.00	10.10
E	11.80	12.00	12.20
E1	9.90	10.00	10.10
e	0.50BSC		
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	-	-
R2	0.08	-	0.20
S	0.20	-	-
θ	0°	3.5°	7°
$\theta 1$	0°	-	-
$\theta 2$	11°	12°	13°
$\theta 3$	11°	12°	13°

NOTE:
ALL DIMENSIONS REFER TO JEDEC STANDARD MO-220 WMMD-4.

2.1.6.3 LQFP48



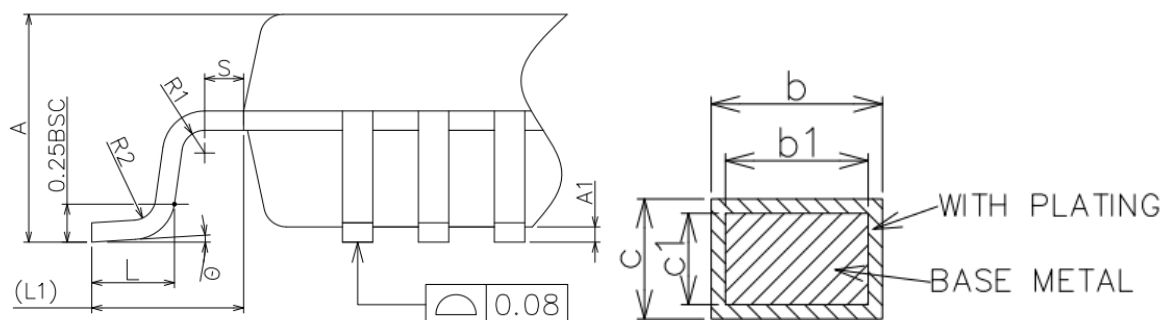


图 2-7 LQFP48 封装尺寸图

Symbol	MIN	NOM	MAX
A	—	—	1.60
A1	0.05	—	0.15
A2	1.35	1.40	1.45
A3	0.59	0.64	0.69
b	0.18	—	0.27
b1	0.17	0.20	0.23
c	0.13	—	0.18
c1	0.12	0.127	0.134
D	8.80	9.00	9.20
D1	6.90	7.00	7.10
E	8.80	9.00	9.20
E1	6.90	7.00	7.10
e	0.50BSC		
L	0.45	0.60	0.75
L1	1.00REF		
L2	0.25BSC		
R1	0.08	—	—
R2	0.08	—	0.20
S	0.20	—	—
θ	0°	3.5°	7°
θ1	0°	—	—
θ2	11°	12°	13°
θ3	11°	12°	13°

NOTE:

ALL DIMENSIONS REFER TO JEDEC STANDARD MS-026 BDD.

2.1.6.4 QFN32

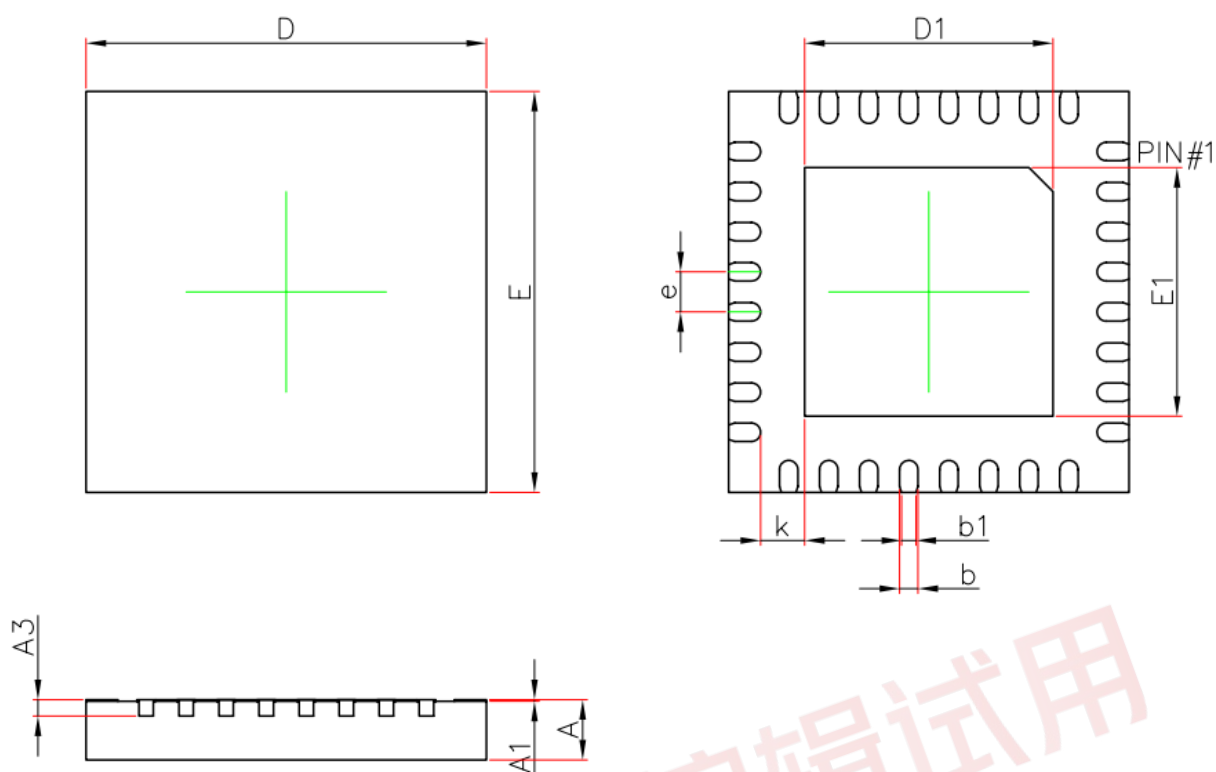


图 2-8 QFN32 封装尺寸图

Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min.	Max.	Min.	Max.
A	0.700	0.800	0.028	0.031
A1	0.000	0.050	0.000	0.002
A3	0.203 REF.		0.008 REF.	
b	0.180	0.300	0.007	0.012
b1	0.130	0.230	0.005	0.009
D	4.900	5.100	0.193	0.201
D1	3.000	3.200	0.118	0.126
E	4.900	5.100	0.193	0.201
E1	3.000	3.200	0.118	0.126
e	0.500 BSC.		0.020 BSC.	
k	0.550 REF.		0.022 REF.	
L	0.324	0.476	0.013	0.019

NOTE: ALL DIMENSIONS REFER TO JEDEC STANDARD MO-220WMMMD-4.

2.2 焊接安装说明

复旦微电子芯片采用无铅工艺封装。回流焊工艺参数建议遵循JEDEC标准进行设定。

根据JEDEC标准J-STD-020，无铅工艺回流焊时的峰值温度设定建议如下表。用户可根据芯片不同厚度和体积的规格，在下表中选择合适的回流焊峰值温度。

封装厚度	塑封体体积 mm ³ <350	塑封体体积 mm ³ 350 - 2000	塑封体体积 mm ³ >2000
<1.6mm	260℃	260℃	260℃
1.6~2.5 mm	260℃	250℃	245℃
>2.5mm	250℃	245℃	245℃

下表给出了各种封装形式的回流焊峰值温度：

封装类型	塑封体厚度 mm	塑封体体积 mm ³	回流焊峰值温度
LQFP80	1.4	201.6	260℃

焊接曲线设定请参考JEDEC标准J-STD-020，无铅工艺回流焊温度曲线设定的说明进行设置。

Profile Feature	Pb-Free Assembly
Preheat/Soak	
Temperature Min (T_{smin})	150 °C
Temperature Max (T_{smax})	200 °C
Time (t_s) from (T_{smin} to T_{smax})	60-120 seconds
Ramp-up rate (T_L to T_p)	3 °C/second max.
Liquidous temperature (T_L)	217 °C
Time (t_L) maintained above T_L	60-150 seconds
Peak package body temperature (T_p)	For users T_p must not exceed the Classification temp in Table 4-2. For suppliers T_p must equal or exceed the Classification temp in Table 4-2.
Time (t_p)* within 5 °C of the specified classification temperature (T_c), see Figure 5-1.	30* seconds
Ramp-down rate (T_p to T_L)	6 °C/second max.
Time 25 °C to peak temperature	8 minutes max.

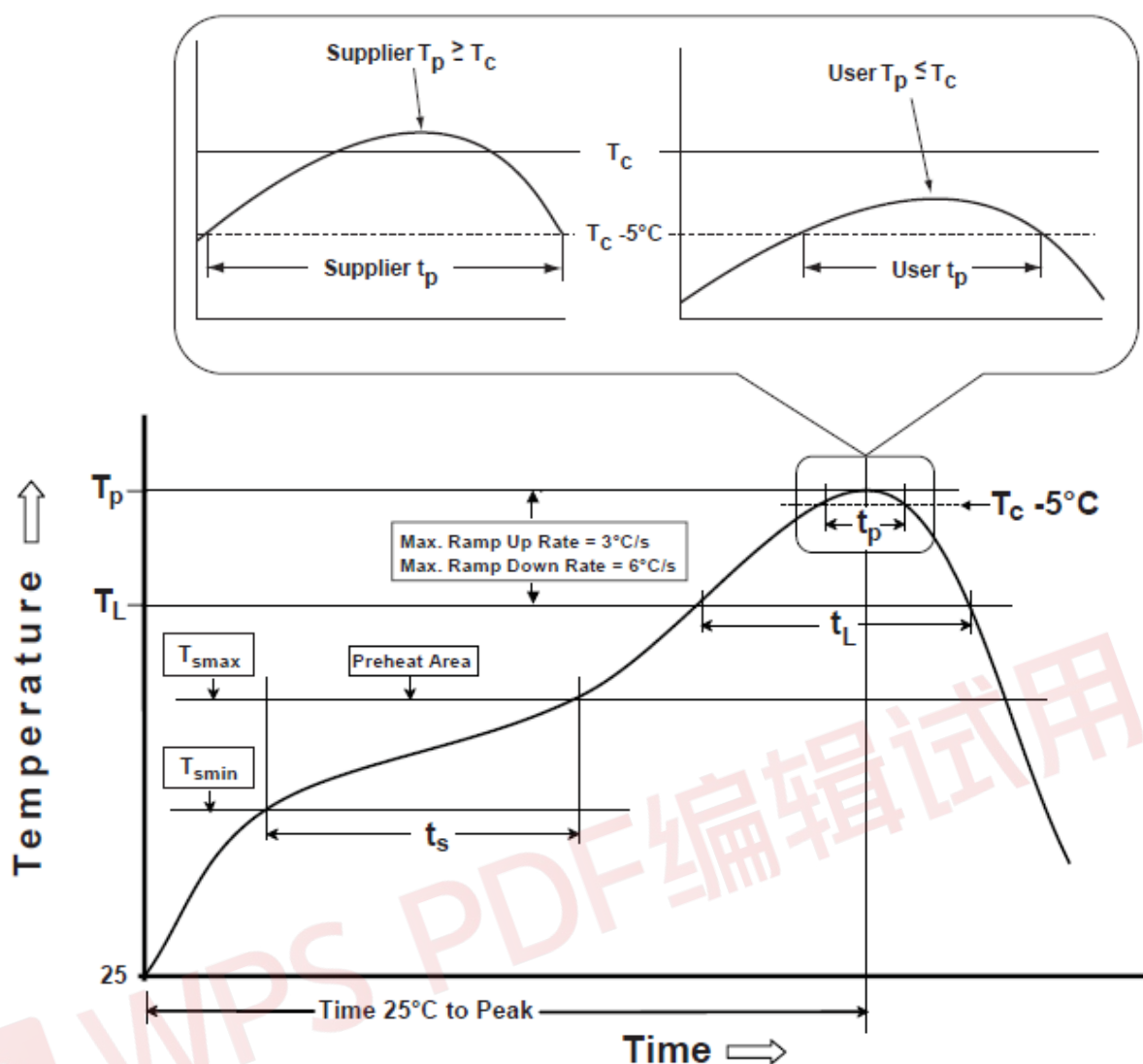


图 2-9 JEDEC 标准的耐热回流温度曲线

特别声明:

- 芯片在上板焊接之前, 请观察湿度卡是否变色以确认湿敏包装是否完好。
- 如无特殊指定, 回流焊次数请勿超过3次

2.3 MSL 等级

FM33LG0A 芯片湿敏等级为MSL3, 依据JEDEC标准: J-STD-020。请在包装打开置于非干燥环境一周内, 进行焊接操作。

2.4 热阻特性

芯片结温 (T_J) 可以通过以下公式计算。

$$T_J = T_A + P_D \times \Theta_{JA}$$

其中：

- T_A 为工作环境温度，单位 $^{\circ}\text{C}$
- Θ_{JA} 是封装热阻系数，单位 $^{\circ}\text{C}/\text{W}$
- P_D 是芯片功耗，包含内核功耗和 IO 功耗，单位 W；其中 IO 功耗由下式计算：

$$P_{IO} = \Sigma(V_{OL} \times I_{OL}) + \Sigma((V_{DDIO} - V_{OH}) \times I_{OH})$$

不同封装形式的热阻系数可以参考下表：

封装形式	封装尺寸	参考热阻 Θ_{JA} ($^{\circ}\text{C}/\text{W}$)
LQFP80	12x12x1.4mm	50
LQFP100	14x14x1.4mm	45
LQFP64	10x10x1.4mm	48
LQFP48	7x7x1.4mm	55
QFN32	5x5x0.75mm	35

举例：

- 假设平均工作环境温度 $T_A=55^{\circ}\text{C}$
- 芯片内核电流 $I_{DD}=5\text{mA}$ ， $V_{DD}=3.6\text{V}$
- 10 个 IO 同时输出低电平，每个 IO sink 5mA， $V_{OL}=0.3\text{V}$
- 10 个 IO 同时输出高电平，每个 IO source 5mA， $V_{OH}=2.9\text{V}$

计算芯片功耗：

$$P_D = P_{INT} + P_{IO} = 5\text{mA} \times 3.6\text{V} + 10 \times 5\text{mA} \times 0.3\text{V} + 10 \times (3.6\text{V} - 2.9\text{V}) \times 5\text{mA} = 68\text{mW}$$

对于 LQFP64 封装的产品， $\Theta_{JA}=48^{\circ}\text{C}/\text{W}$ ，因此可以计算芯片结温：

$$T_J = T_A + P_D \times \Theta_{JA} = 55^{\circ}\text{C} + 0.068\text{W} \times 48^{\circ}\text{C}/\text{W} = 58.264^{\circ}\text{C}$$

3 电参数

3.1 参数说明

除非特别声明，本章节中所罗列的电参数在芯片量产测试过程中，在所标注的环境温度和供电电压下进行测试。

基于特征参数提取、设计仿真得到的参数，在表格备注中声明，这些参数不在量产测试中覆盖。

除非特别声明，typical 参数在 $T_A=25C$ ， $VDD=5V$ 条件下，通过测试足够数量的样本获得，这些样本来自于标准量产工艺的晶圆批；typical 参数作为用户设计参考。

3.2 测试标准

FM33LG0xxA 系列 MCU 的量产测试参考 AEC-Q001 和 AEC-Q002 标准执行。

3.3 参数测试条件

3.3.1 供电方案

芯片量产 FT 测试时采用下图所示的电源供电方案，其中 $VDD=5V$ 。

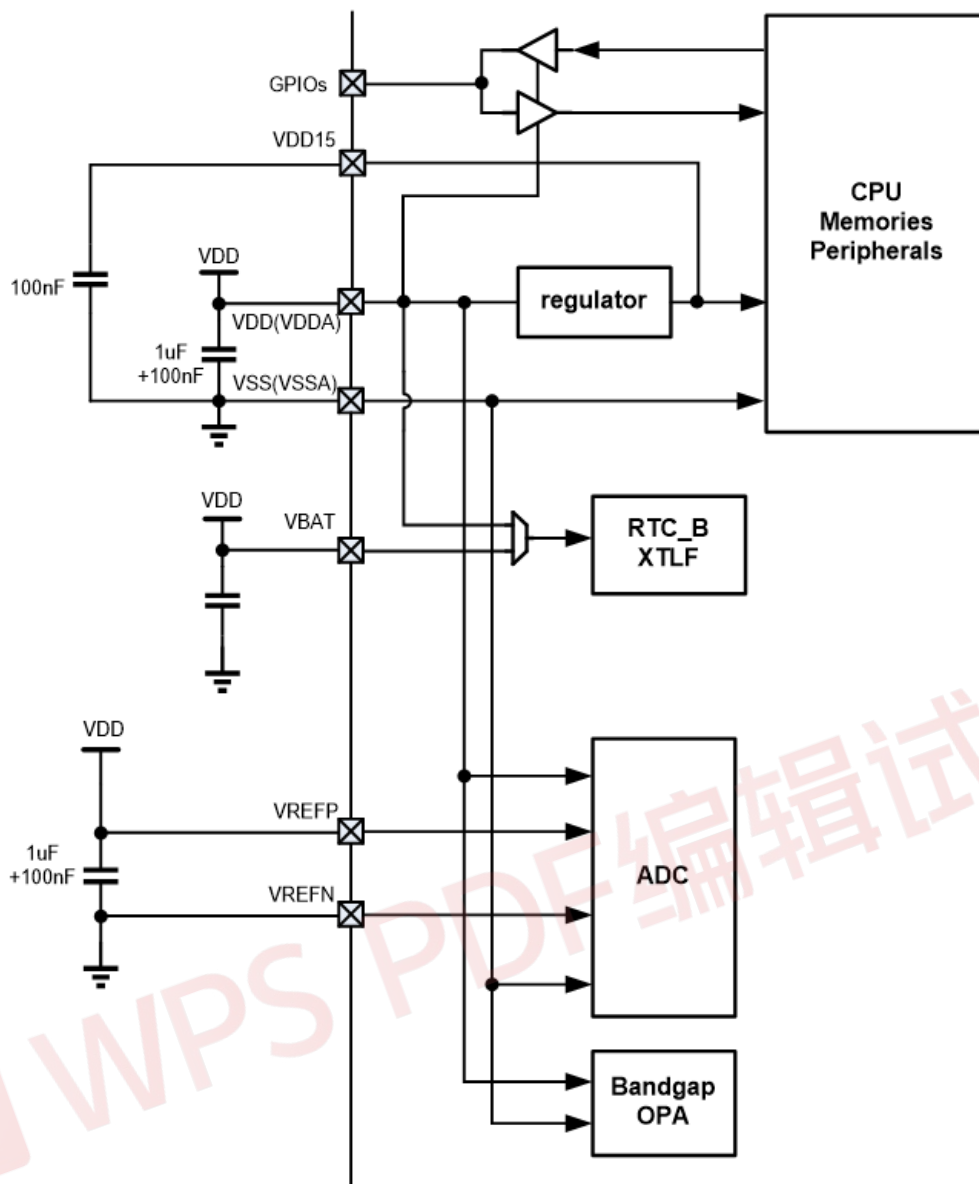


图 3-1FM33LG0xxA 测试条件

3.4 极限参数

对芯片施加的电压、电流等超过极限参数表定义的最大范围时，可能导致芯片不可恢复的损坏；短时间超过极限参数范围则可能影响芯片的可靠性和工作寿命。

Symbol	Parameter	min	max	unit
$V_{DD}-V_{SS}$	电源电压 (包含 VDD、VDDA)	-0.3	6.5	V
V_{PIN}	管脚电压	$V_{SS}-0.3$	6.5	V
VREFP-VREFN	ADC 基准电压	-0.3	6.5	
$ \Delta V_{SS} $	所有地引脚之间的压差	-	50	mV
T_A	工作温度 符合 AEC-Q100 grade2	-40	105	°C
T_{STG}	存储温度	-55	150	°C
HBM	ESD HBM 模式 PC5(DAC_0 UT) TA=25°C 测试标准符合 JEDEC JS-001		+/-2000	V
	All others		+/-4000	V
CDM	ESD CDM 模式 TA=25°C 测试标准符合 JEDEC JS-002		+/-1000	V
LU	IO Latchup $-(0.5V_{DD}) < V_I < (1.5V_{DD})$ TA=25°C 测试标准符合 JESD78E		+/-210	mA
ΣI_{VDD}	向芯片 VDD 流入的最大电流 (source)		120	mA
ΣI_{VSS}	从芯片 VSS 流出的最大电流 (sink)		100	mA
ΣI_{IO}	所有 IO sink 的最大总和电流		100	mA
	所有 IO source 的最大总和电流		120	mA

表 3-1FM33LG0A 极限参数

3.5 性能参数

3.5.1 典型工作条件

Symbol	Parameter	Conditions	min	max	unit
f _{HCLK}	AHB 时钟频率	T _A =-40~105C	0	64	MHz
f _{PCLK}	APB 时钟频率	T _A =-40~105C	0	64	
VDD	典型工作电压范围	T _A =-40~105C	1.65	5.5	V
VBAT	备份电源工作电压范围	不使用电源切换功能, 应与 VDD 短接	1.5	5.5	V
		使用电源切换功能, VBAT 单独供电	1.5	4.2	V
T _J	结温		-40	125	°C

表 3-2 FM33LG0A 典型工作条件

3.5.2 功耗参数

除非特别声明, 芯片的功耗参数在标注的环境温度下进行量产测试。

测量功耗参数时, MCU 被配置为如下条件:

- 所有功能引脚被配置为 GPIO 输入模式, 并且关闭输入使能, 避免引脚浮空漏电
- 除了特别声明的以外, 所有外设被关闭, 并停止工作时钟
- 最大功耗数据代表出厂时的测试上限标准
- 典型功耗数据代表大量参数提取样本分布的中心值
- 除非特别声明, 所有功耗数据在 VDD=5V 的条件下测试获得

3.5.2.1 Active 模式功耗

符号	参数说明	测试条件		参数值			单位
				最小值	典型值	最大值	
IDD _{RUN}	运行模式下的功耗, CPU 从 Flash 取指, Coremark	f _{AHB} =8MHz (RCHF) PLL off Flash 0 wait	TA=25°C	-	1.36	1.65	mA
			TA=105°C	-	1.4	1.7	
		f _{AHB} =16MHz (RCHF) ^[1] PLL off Flash 0 wait	TA=25°C		2.19	2.4	mA
			TA=105°C		2.2	2.5	
		f _{AHB} =24MHz (RCHF) ^[1] PLL off Flash 0 wait	TA=25°C	-	3.15	3.5	mA
			TA=105°C	-	3.12	3.6	
		f _{AHB} =64MHz ^[1] PLL on Flash 1 wait	TA=25°C	-	5.66	6	mA
			TA=105°C		5.73	6.2	
		f _{AHB} =614KHz (RCLF) ^[1] PLL off Flash 0 wait	TA=25°C		137	150	uA
			TA=105°C		179	200	

表 3-3 ACTIVE 电流参数

[1] 特征参数提取，不包含在量产测试中

3.5.2.2 LP Active 模式功耗

符号	参数说明	测试条件	参数值			单位	
			最小值	典型值	最大值		
IDD _{RUN}	LP Active 模式下的功耗，CPU 从 Flash 取指，Coremark	f _{AHB} =614KHz (RCLF) ^[1] PLL, RCHF off Flash 0 wait	TA=25℃	-	112	119	uA
			TA=105℃	-	145	165	

表 3-4 LP ACTIVE 电流参数

[1] 特征参数提取，不包含在量产测试中

3.5.2.3 LP RUN 模式功耗

符号	参数说明	测试条件	参数值			单位	
			最小值	典型值	最大值		
IDD _{LPRUN}	LP RUN 模式下的功耗，CPU 从 Flash 取指，Coremark	f _{AHB} =32768Hz (XTLF) ^[1] PLL, RCHF, RCLF off Flash 0 wait	TA=25℃	-	26	29	uA
			TA=105℃	-	58	75	

表 3-5 LP RUN 电流参数

[1] 特征参数提取，不包含在量产测试中

3.5.2.4 SLEEP 模式功耗

符号	参数说明	测试条件	参数值			单位	
			最小值	典型值	最大值		
I _{sleep1}	Sleep 模式电流	BOR、SVD 关闭 RTC 使用 XTLF 走时 CPU、RAM、外设数据保持 LCD 显示关闭	TA=25℃	-	3.1	9	uA
			TA=105℃	-	22	55	

表 3-6 SLEEP 电流参数

3.5.2.5 DEEPSLEEP 模式功耗

符号	参数说明	测试条件	参数值			单位	
			最小值	典型值	最大值		
I _{deepsleep1}	DeepSleep 模式电流	BOR、SVD 关闭 RTC 使用 XTLF 走时 CPU、RAM、外设数据	TA=25℃	-	1.2	2	uA
			TA=105℃	-	20	50	

符号	参数说明	测试条件	参数值			单位
			最小值	典型值	最大值	
		保持 LCD 显示关闭				

表 3-7 DEEPSLEEP 电流参数

3.5.2.6 VBAT 功耗

符号	参数说明	测试条件	参数值			单位	
			最小值	典型值	最大值		
I _{VBAT}	VBAT 电流 ^[1]	VDD 掉电 VBAT=3.3V XTLF 驱动电流 250nA RTCB 走时	TA=25°C	-	0.8	-	uA
			TA=105°C	-	2	-	

表 3-8 VBAT 电流参数

[1] 设计保证

3.5.3 复位和电源监控

除非特别声明，芯片的复位和电源监控参数在标注的环境温度下进行量产测试。

符号	参数说明	测试条件	参数值			单位	
			最小值	典型值	最大值		
t _{VDD}	电源上升速度		2		∞	us/V	
	电源下降速度	PDR	100		∞	us/V	
		BOR	30		∞	us/V	
T _{reset_delay}	上电复位延迟时间			0.5		ms	
T _{pdr_filter}	下电复位滤波时间			4		us	
V _{POR}	上电复位电压	-40°C ≤ T _A ≤ 105°C	1.4	1.55	1.7	V	
V _{BOR}	下电复位电压 -40°C ≤ T _A ≤ 105°C	BORCFG==2'b00	1.5	1.75	1.95	V	
		BORCFG==2'b01 ^[1]	1.85	1.95	2.05		
		BORCFG==2'b10 ^[1]	2.05	2.15	2.25		
		BORCFG==2'b11 ^[1]	2.25	2.35	2.45		
V _{PDR}	低功耗下电复位电压 -40°C ≤ T _A ≤ 105°C	PDRCFG==2'b00 ^[1]	1.13	1.33	1.4	V	
		PDRCFG==2'b01 ^[1]	1.18	1.38	1.45		
		PDRCFG==2'b10	1.2	1.45	1.6		
		PDRCFG==2'b11	1.25	1.48	1.7		
I _{BOR}	BOR 功耗 ^[2]	BORCFG==2'b00		1		uA	
I _{PDR}	PDR 功耗 ^[2]			45		nA	
V _{SVD}	电压监测阈值电平	SVD[3:0]=0000	Fall	1.655	1.825	1.955	V
			Rise	1.755	1.925	2.055	
		SVD[3:0]=0001	Fall	1.87	2.04	2.17	V
			Rise	1.97	2.14	2.27	
		SVD[3:0]=0010	Fall	2.085	2.255	2.385	V
			Rise	2.185	2.355	2.485	

符号	参数说明	测试条件		参数值			单位
				最小值	典型值	最大值	
SVD[3:0]=0011		Fall	2.3	2.47	2.6	V	
		Rise	2.4	2.57	2.7		
SVD[3:0]=0100		Fall	2.515	2.685	2.815	V	
		Rise	2.615	2.785	2.915		
SVD[3:0]=0101		Fall	2.73	2.9	3.03	V	
		Rise	2.83	3	3.13		
SVD[3:0]=0110		Fall	2.945	3.115	3.245	V	
		Rise	3.045	3.215	3.345		
SVD[3:0]=0111		Fall	3.16	3.33	3.46	V	
		Rise	3.26	3.43	3.56		
SVD[3:0]=1000		Fall	3.375	3.545	3.675	V	
		Rise	3.475	3.645	3.775		
SVD[3:0]=1001		Fall	3.59	3.76	3.89	V	
		Rise	3.69	3.86	3.99		
SVD[3:0]=1010		Fall	3.805	3.975	4.105	V	
		Rise	3.905	4.075	4.205		
SVD[3:0]=1011		Fall	4.02	4.19	4.32	V	
		Rise	4.12	4.29	4.42		
SVD[3:0]=1100		Fall	4.235	4.405	4.535	V	
		Rise	4.335	4.505	4.635		
SVD[3:0]=1101		Fall	4.45	4.62	4.75	V	
		Rise	4.55	4.72	4.85		
SVD[3:0]=1110		Fall	4.665	4.835	4.965	V	
		Rise	4.765	4.935	5.065		
SVD[3:0]=1111		Fall		-		V	
		Rise		-			

表 3-9 复位和电源检测参数

注:

[1] 基于特征参数提取

[2] 设计保证

3.5.4 高精度基准源

芯片内建高精度基准电压源，为 ADC 和 OPA 提供高精度、高稳定性的参考电压。

芯片出厂时，复旦微电子会在特定的电源电压和温度下，使用片内 ADC 采样基准源输出，并将转换结果保存在芯片的 Flash 中，用户应用中可以将这个转换值作为参考基准使用。详细使用方法请参考复旦微电子驱动库函数。

符号	参数说明
REF_CAL	ADC 对 VREF 输出的转换值 测试条件： $T_A=30\pm 1^\circ\text{C}$ $V_{DDA}=3V\pm 10\text{mV}$

符号	参数说明
REF_RAW	VREF 输出的电压值 测试条件： $T_A=30\pm 1^\circ\text{C}$ $VDDA=3V\pm 10\text{mV}$

除非特别声明，芯片的基准电压参数在标注的环境温度下进行量产测试。

符号	参数说明	测试条件	参数值			单位
			最小值	典型值	最大值	
V_{REF}	基准源输出电压	$-40^\circ\text{C}\leq T_A\leq 105^\circ\text{C}$	1.17	1.21	1.24	V
T_{setup}	内部基准源建立时间 ^[2]	典型时间: $VDD=5V$ 最大时间: $VDD=1.6V$	-	0.5	2	ms
$V_{V_{\text{REF_M}}}$ EAS	出厂时测量转换 VREF 的 VDDA 电压	-	2.99	3	3.01	V
T_{coeff}	内部基准源温度系数 ^[1]	$-40^\circ\text{C}\leq T_A\leq 105^\circ\text{C}$		25	85	ppm/ $^\circ\text{C}$
$T_{S_V_{\text{REF}}}$	ADC 测量 VREF 时的采样时间	预先使能 VREF Buffer	10			us
$T_{\text{ADC_BU}}^F$	驱动 ADC 输入的 VREF Buffer 的建立时间 ^[1]	$VDD=3V$ ADC 采样值稳定到 1LSB			100	us
I_{REF}	基准源工作电流 ^[2]	$T_A = 25^\circ\text{C}$	PTAT_EN=0	1.8		uA
		$VDD=3V$	PTAT_EN=1	2.6		

表 3-10 高精度基准源参数

注：

[1] 基于特征参数提取，不包含在量产测试中

[2] 基于电路仿真

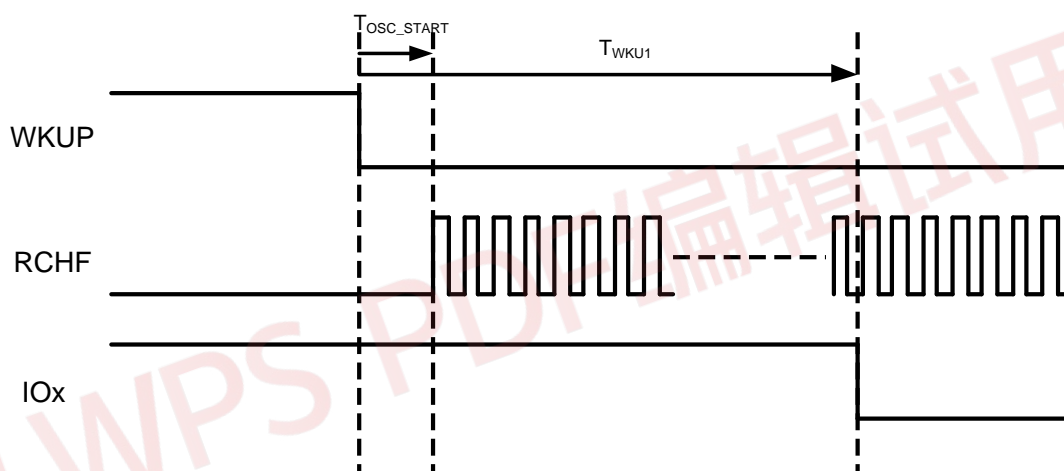
3.5.5 低功耗模式唤醒时间

符号	参数说明	测试条件	参数值			单位
			最小值	典型值	最大值	
T_{WKU1}	Sleep/DeepSleep 唤醒时间 ^[1]	使用 WKUP 引脚唤醒， PRIMASK=1 禁止中断；CPU 唤醒后执行程序翻转某个 IO 输出，测量 WKUP 信号边沿 到 IO 输出翻转之间的时间 $F_{SYSCLK}=8Mhz$	-	6.8	-	US
T_{WKU2}	LPRUN 模式唤醒时间		-	0	-	US

表 3-11 唤醒时间参数

[1] 基于特征参数提取

典型唤醒事件波形图，仅供设计参考



上图中 T_{OSC_START} 表示唤醒事件到来后 RCHF 环振起振时间，典型值 3.5us

T_{WKU1} 为唤醒事件到来，到程序运行后翻转 IO 的时间，典型值 6.8us。

如果没有通过 PRIMASK 屏蔽中断，则唤醒事件将使 CPU 进入中断服务程序。CPU 进入中断服务程序的过程将额外引入延迟时间。

注意：以上时间评估使用 RCHF 8Mhz 为唤醒后的工作时钟，如果唤醒后选择 16Mhz 或 24Mhz 频率，则唤醒时间相应缩短。

3.5.6 外部时钟源特性

符号	参数说明	测试条件	参数值			单位
			最小值	典型值	最大值	
f_{XTLF}	XTLF 振荡频率	外接 32768Hz 晶体	-	32768	-	Hz
T_{start}	XTLF 起振时间 ^[1]	外接 32768Hz 晶体 $C_{load}=12pF$ $XTLFI PW==3'b000$		1	3	s

表 3-12 低频晶体振荡器参数

[1] 基于特征参数提取

符号	参数说明	测试条件		参数值			单位
				最小值	典型值	最大值	
F_{XTHF}	XTHF 振荡频率 ^[1]	VDD=5V		4	-	24	MHz
R_{fb}	反馈电阻 ^[2]	-		-	200	-	K Ω
gm	跨导增益 ^[2]	VDD=5V	HF_CFG=00000	-	1.75	-	mA/V
			HF_CFG=00001	-	3.5	-	
		VDD=3V	HF_CFG=00000	-	1.2	-	
			HF_CFG=00001	-	2.4	-	
			HF_CFG=00010	-	3.48	-	
		VDD=1.6V	HF_CFG=00000	-	0.32	-	
			HF_CFG=00100	-	1.59	-	
			HF_CFG=00111	-	2.55	-	
VDD_{rise}	XTHF 最低工作电压 ^[1] HF_CFG=00000	4MHz		1.08	-	-	V
		8MHz,		1.6	-	-	
		24MHz		1.8	-	-	
IDD	XTHF 工作电流 ^[1] HF_CFG=00000	4MHz		-	170	-	uA
		8MHz		-	200	-	
	XTHF 工作电流 ^[1] HF_CFG=11111	4MHz		-	1050	-	uA
		8MHz		-	1100	-	
T_{start1}	XTHF 8M 起振时间 ^[1]	VDD=3.3V HF_CFG=00000		-	1.3	-	ms
		VDD=3.3V, HF_CFG=11111		-	0.3	-	ms
T_{start2}	XTHF 16M 起振时间 ^[1]	VDD=3.3V, HF_CFG=00000		-	0.9	-	ms
		VDD=3.3V, HF_CFG=11111		-	0.1	-	ms
C_L	负载电容 ^[2]	-		5	-	25	pF

表 3-13 高频晶体振荡器参数

[1] 基于特征参数提取

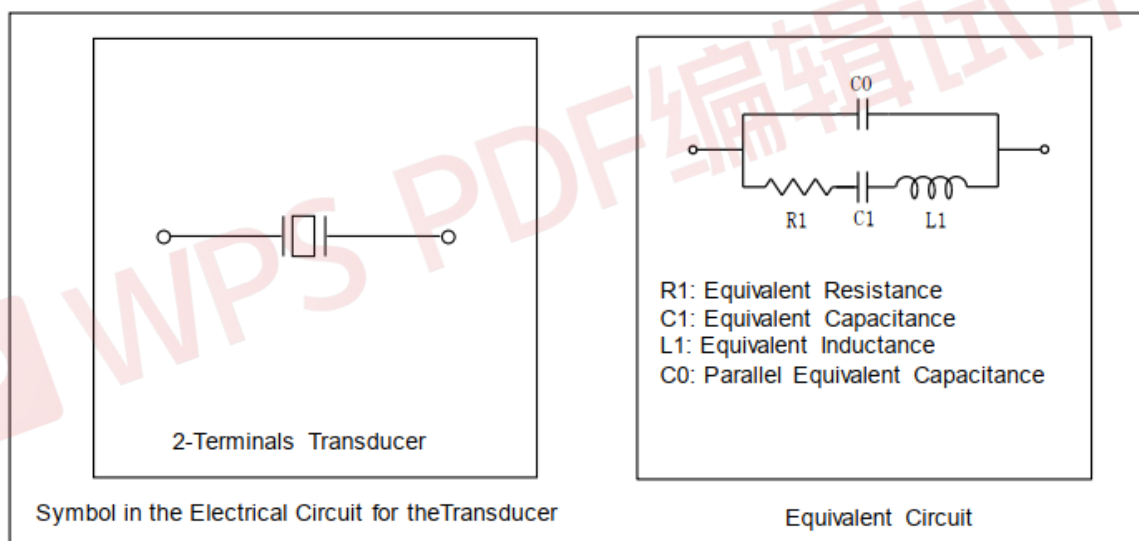
[2] 基于设计仿真

[3] 推荐使用8~16MHz晶振或陶振，搭配推荐的振荡强度配置，以降低时钟振荡器的功耗和噪声辐射

XTHF 典型 gm 参数（仿真数据，仅供设计参考）：

HF_CFG	Gm(mA/V)		
	VDD=5V	VDD=3V	VDD=1.6V
00000	1.75	1.2	0.32
00001	3.5	2.4	0.64
00010	4.91	3.48	0.95
00011	6.67	4.68	1.28
00100	8.07	5.77	1.59
00101	9.83	6.96	1.91
00110	11.2	8.05	2.23
00111	13	9.25	2.55
01000	14.4	10.3	2.86
01001	16.2	11.5	3.18
01010	17.6	12.6	3.5

晶振或陶振的等效电路模型参见下图



振荡器起振的最小环路增益可以通过下式计算：

$$g_{m_{crit}} = 4 \times ESR \times (2\pi F)^2 \times (C_0 + C_L)^2$$

其中 C_L 是晶振要求的负载电容或陶振内建负载电容，ESR 可以通过下式计算：

$$ESR = R_1 \times \left(1 + \frac{C_0}{C_L} \right)^2$$

为了保证足够安全的振荡余量，通常要求 g_m 大于 5 倍 $g_{m_{crit}}$ ，据此可以根据晶振或陶振手册，选择合适的 XTHF 振荡强度配置。

下表以 muRata 公司的晶振和陶振为例给出计算示例：

型号	类型	频率 (MHz)	ESR(typ) (Ohm)	C0 (pF)	CL (pF)	$g_{m\text{crit}}$ (mA/V)	最小 g_m (mA/V)
XRCGB24M000F2P00R0	Crystal	24	49.06	0.526	6pF	0.19	0.95
CSTNE8M00G550000R0	Ceramic	8	19.95	13.15	33	0.4294	2.147
CSTNE12M0G550000R0	Ceramic	12	12.81	14.44	33	0.6557	3.279

3.5.7 内部时钟源特性

除非特别声明，芯片的内部时钟频率参数在标注的环境温度下进行量产测试。

内部高频 RC 振荡器

符号	参数说明	测试条件	参数值			单位
			最小值	典型值	最大值	
f_{RCHF}	RCHF 振荡频率	FSEL==2'b00	7.96	8	8.04	MHz
		FSEL==2'b01	15.92	16	16.08	
		FSEL==2'b10	23.88	24	24.12	
		FSEL==2'b11	31.7	32	32.2	
ACC_{RCHF}	全温区 RCHF 变化范围(相对 25°C 频率的变化)	FSEL==2'b00 TA=-40~+105°C	-3	-	3	%
		FSEL==2'b01 TA=-40~+105°C	-2.5	-	2.5	%
		FSEL==2'b10 TA=-40~+105°C	-3.5	-	3.5	%

表 3-14 内部高频 RC 振荡器参数

内部中频 RC 振荡器

符号	参数说明	测试条件	参数值			单位
			最小值	典型值	最大值	
f_{RCLF}	RCLF 低功耗振荡频率	TA=25°C	612	615	618	KHz
		TA=105°C	550	587	625	
		TA=-40°C	550	609	668	
$I_{\text{DD_RCLF}}$	RCLF 功耗 ^[1]	TA=25°C	-	1	-	uA
t_{START}	RCLF 启动时间 ^[1]	TA=25°C	-	120	-	us

表 3-15 内部中频 RC 振荡器参数

[1] 基于设计仿真

内部低频 RC 振荡器

符号	参数说明	测试条件	参数值			单位
			最小值	典型值	最大值	
f_{RCLP}	RCLP 低功耗振荡频率	TA=25°C	32	32.8	33.6	KHz
		TA=105°C	30.4	32.6	34.8	
		TA=-40°C	27.8	32.5	37.2	
$I_{\text{DD_RCLP}}$	RCLP 功耗 ^[1]	TA=25°C		350		nA

符号	参数说明	测试条件	参数值			单位
			最小值	典型值	最大值	
t_{START}	RCLP 启动时间 ^[1]	TA=25°C		380		us

表 3-16 内部低频 RC 振荡器参数

[1] 基于设计仿真

3.5.8 PLL 特性

符号	参数说明	测试条件	参数值			单位
			最小值	典型值	最大值	
F_{PLL}	PLL 输出频率 ^[1]	TA=-40~105°C	32	-	64	MHz
F_{64M}	PLL 输出 64MHz 测试	TA=-40~105°C 参考时钟为 XTHF8MHz	63.9	64	64.1	MHz
I_{DD_PLL}	PLL 功耗 ^[2]	输入频率 1MHz, 输出频率 32Mhz	-	350	-	uA
		输入频率 1MHz, 输出频率 64Mhz	-	450	-	
t_{LOCK}	PLL 锁定时间 ^[2]		-	65	-	us

表 3-17 PLL 参数

[1] 基于特征参数提取

[2] 基于设计仿真

3.5.9 ADC 特性

3.5.9.1 参数说明

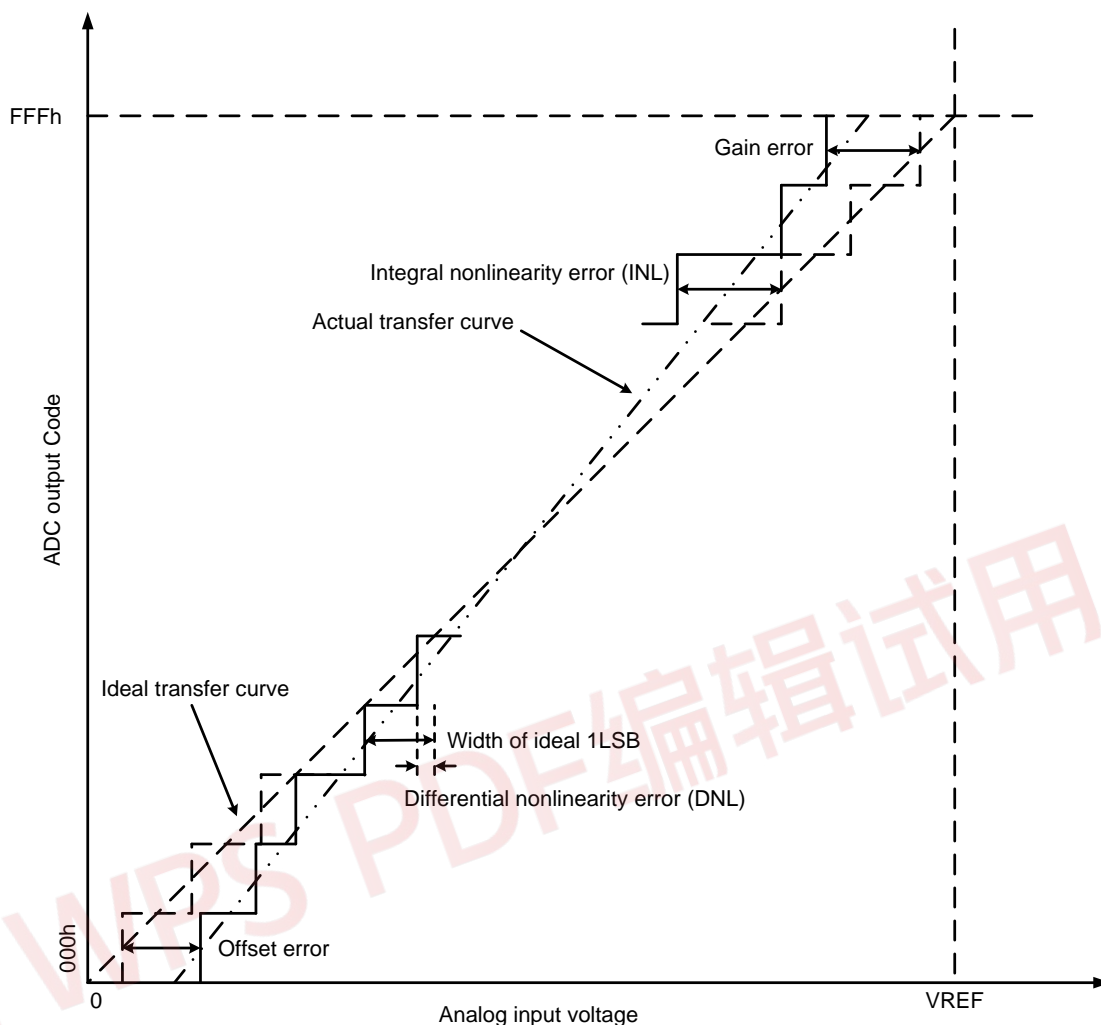


图 3-2 ADC 参数说明

差分非线性 (DNL)

DNL 表示理想 ADC 转换曲线 1LSB 宽度与实际 ADC 转换曲线 1LSB 宽度的差值。

积分非线性 (INL)

INL 表示实际 ADC 转换曲线与理想 ADC 转换曲线之间最大偏差。

失调误差 (Offset error)

Offset 误差表示实际 ADC 第一个码字跳变的位置与理想 ADC 第一个码字变化位置之间的差值。

增益误差 (Gain error)

Gain error 表示满幅输入时实际 ADC 最后一个码字变化的位置与理想 ADC 最后一个码字变化位置之间的差值。

3.5.9.2 性能指标

符号	参数说明	测试条件		参数值			单位
				最小值	典型值	最大值	
VDDA	工作电压范围	-		1.65		5.5	V
VREF+	正参考电压	-		1.5		VDDA	V
VREF-	负参考电压	-		0		0.5	V
T _J	工作结温范围	-		-40		125	°C
V _{AIN}	输入电压范围	-		VREF-		VREF+	V
V _{cm}	差分信号共模输入范围	-		0.2		VREF-0.2	V
C _s	采样保持电容	-			3		pF
F _{CLK}	ADC 工作时钟频率	-				32	MHz
F _S	ADC 采样频率	VDDA=2.0~5.5V				2	MSPS
		VDDA=1.6~2.0V				1.5	
T _{SAMP}	采样保持时间	-		2		512	F _{CLK}
T _{CONV}	转换时间	-			14		F _{CLK}
T _{CAL}	自校准时间	-			128	4096	F _{CLK}
IDD	ADC 工作电流	VDDA=3.3V	F _S =1MSPS	-	250	-	uA
			F _S =2MSPS	-	420	-	
		VDDA=5V	F _S =1MSPS	-	380	-	uA
			F _S =2MSPS	-	650	-	
ADC 动态性能^[1]							
ENOB	有效位数与输入信号频率的关系 VDDA=3.3V VREF+=VDDA F _S =2MSPS T _A =25°C ADCCLK=XTHF	单端模式 F _{AIN} =29KHz		-	10.8	-	bits
		差分模式 F _{AIN} =29KHz		-	11.3	-	bits
		单端模式 F _{AIN} =499KHz		-	10.6	-	bits
		差分模式 F _{AIN} =499KHz		-	11.3	-	bits
	有效位数与工作电压的关系 VREF+=VDDA F _{AIN} =29KHz T _A =25°C ADCCLK=XTHF	VDDA=5.0V F _S =1MSPS	差分模式	-	11.4	-	bits
			单端模式	-	10.9	-	
		VDDA=3.3V F _S =1MSPS	差分模式	-	11.4	-	bits
			单端模式	-	10.8	-	
VDDA=1.8V F _S =1MSPS	差分模式	-	11.1	-	bits		
	单端模式	-	10.3	-			
SNDR	信噪失真比 VDDA=3.3V VREF+=VDDA F _S =1MSPS -40°C≤T _A ≤105°C	单端模式 F _{AIN} =29KHz		-	65	-	dB
		单端模式 F _{AIN} =499KHz		-	63	-	dB

符号	参数说明	测试条件	参数值			单位
			最小值	典型值	最大值	
SFDR	无杂散动态范围 VDDA=3.3V VREF+=VDDA F _S =1Msps F _{AIN} =29KHz -40°C≤T _A ≤105°C	单端模式	-	78	-	dB
ADC 静态性能^[1]						
DNL	差分非线性 VDDA=3.3V F _S =1Msps	单端模式	-1	-	1	LSB
		差分模式	-1	-	1	
INL	积分非线性 VDDA=3.3V F _S =1Msps	单端模式	-1	-	2	LSB
		差分模式	-1	-	1	
OffsetError	失调误差 校准后	单端模式		-0.5		LSB
GainError	增益误差 校准后	单端模式		-0.1		%

表 3-18 ADC 参数

注:

[1] 基于特征参数提取

ADC 典型静态性能参数图表

- 差分输入模式

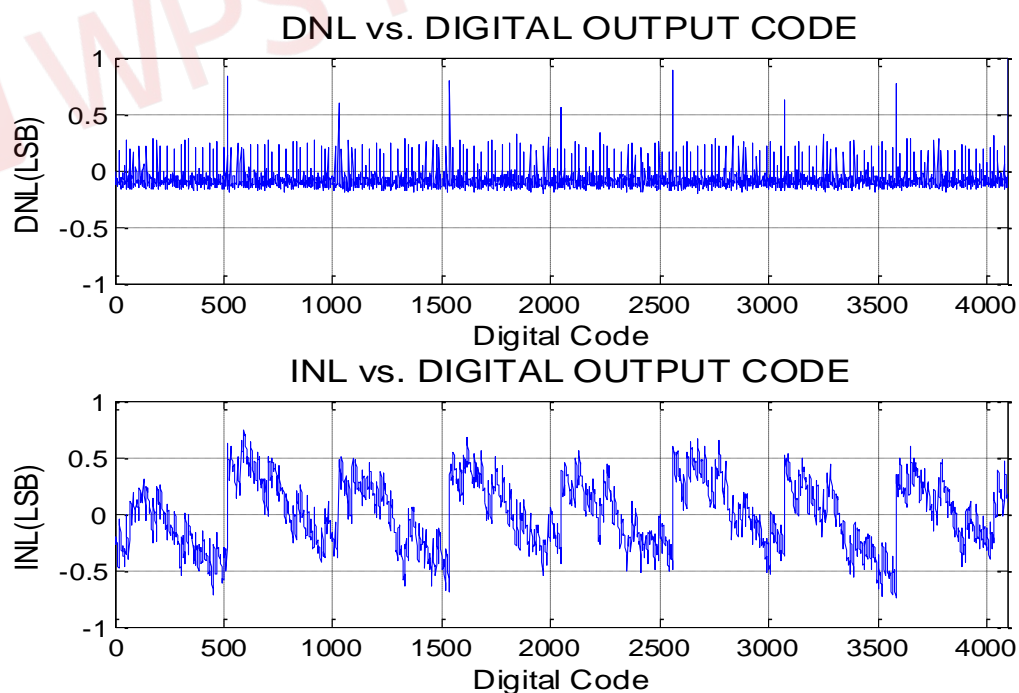


图 3-3 ADC 差分输入典型 DNL 和 INL

- 单端输入模式

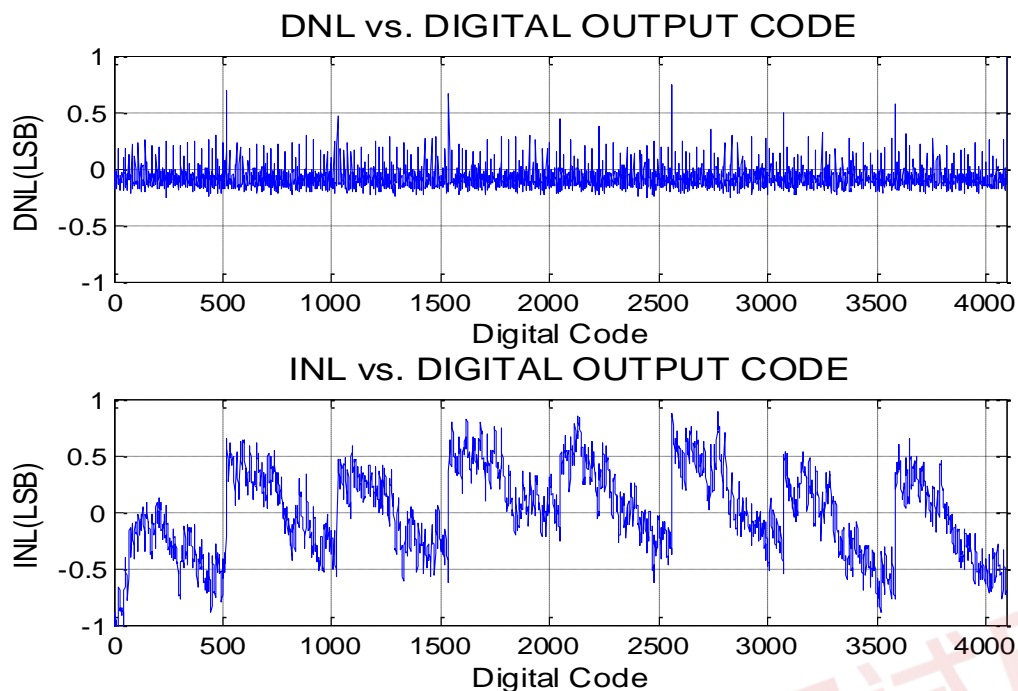


图 3-4 ADC 单端输入典型 DNL 和 INL

ADC 典型信噪比频谱图

- $V_{DD}=V_{REFP}=3.3V$, $F_S=2Mps$, $ADCCLK=XTHF32M$, $F_{AIN}=29KHz$

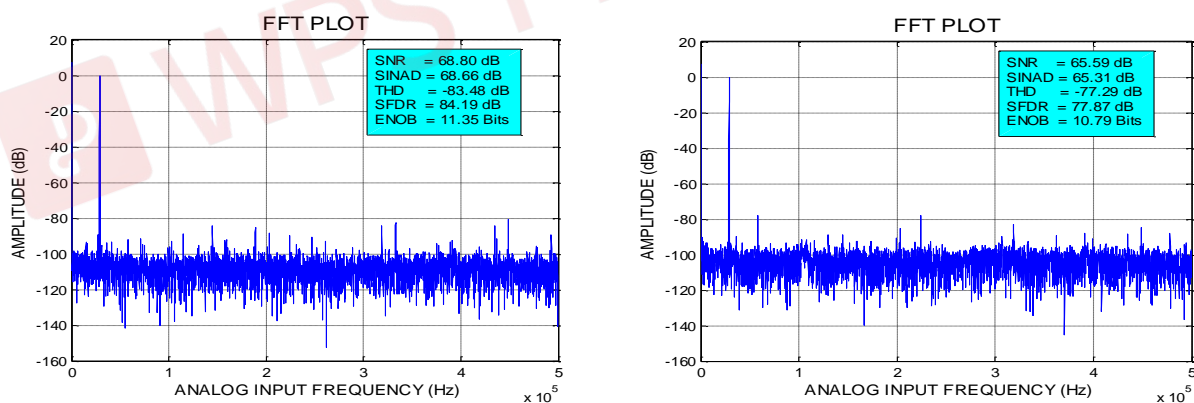


图 3-5 3.3V ADC 差分（左）和单端输入（右）典型信噪比

- $V_{DD}=V_{REFP}=1.8V$, $F_S=2Mps$, $ADCCLK=XTHF32M$, $F_{AIN}=29KHz$

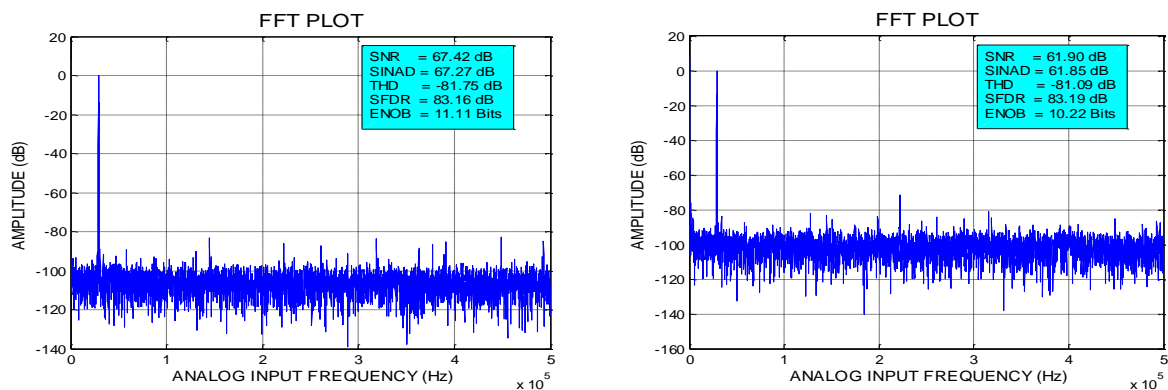


图 3-6 1.8V ADC 差分（左）和单端输入（右）典型信噪比

3.5.9.3 输入通道阻抗

下图表示了 ADC 输入通道的阻抗分布。

- ADC_INx 表示快速外部通道
- ADC_INy 表示慢速外部通道
- R_{IO} 表示引脚输入开关阻抗， R_{ADC1} 和 R_{ADC2} 表示 ADC 输入快速通道阻抗和慢速通道阻抗
- C_S 表示 ADC 内部采样电容，典型值 3pF
- 阻抗参数参见后续表格

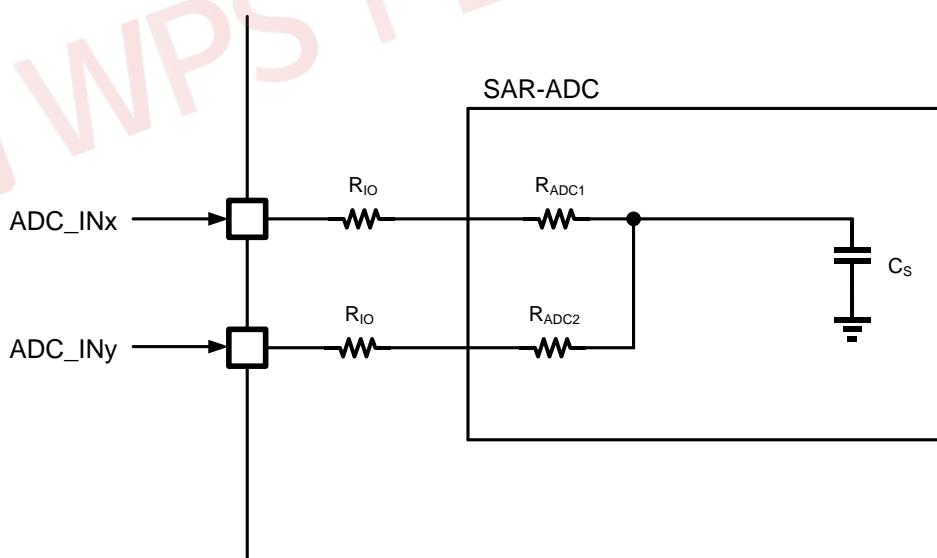


图 3-7 ADC 通道输入阻抗

3.5.9.4 采样时间

ADC 输入信号采样时间最小值由被采样的模拟信号源内阻、信号输入通道阻抗、引脚寄生电容、采样电容共同决定。

ADC 采样外部输入信号的最小采样时间要求根据下式计算：

$$T_{\text{samp}} = \ln \left(\frac{2^n}{SA} \right) \times (R_{\text{AIN}} + R_{\text{ADC}} + R_{\text{IO}}) \times C_{\text{ADC}}$$

其中 $n=12$, $SA=0.25\text{LSB}$ (指采样电容上的电压建立到被采样信号电平的 0.25LSB 误差以内), R_{AIN} 表示被采样信号源内阻, R_{IO} 表示输入 IO 阻抗, R_{ADC} 表示 ADC 输入通道阻抗, C_{ADC} 表示 ADC 采样电容。其中 R_{IO} 为 100Ω 。

慢速通道的 R_{ADC} 受电源电压、温度和输入信号幅度影响, 在输入信号为 $V_{\text{DDA}}/2$ 时开关阻抗最大。快速通道则与输入信号幅度无关。以下表格提供了在不同电源、温度条件下, 不同通道的 R_{ADC} 参数 (典型值, 基于设计仿真), 用户可以根据这些参数以及信号源特性, 计算所需的最小采样时间。

符号	VDDA	温度	参数值			单位
			最小值	典型值	最大值	
快速通道, 差分输入						
R_{ADC}	5V	25C	-	182	-	Ω
		85C	-	240	303	
		-40C	-	126	159	
	3.3V	25C	-	280	-	
		85C	-	360	467	
		-40C	-	200	259	
	1.6V	25C	-	972	-	
		85C	-	1100	1612	
		-40C	-	819	1285	
快速通道, 单端输入						
R_{ADC}	5V	25C	-	2222	-	Ω
		85C	-	2391	2724	
		-40C	-	2172	2471	
	3.3V	25C	-	2320	-	
		85C	-	2513	2887	
		-40C	-	2244	2569	
	1.6V	25C	-	2978	-	
		85C	-	3230	3973	
		-40C	-	2823	3511	
慢速通道, 单端输入, 输入信号电平 $V_{\text{DDA}}/2$						
R_{ADC}	5V	25C	-	1285	-	Ω
		85C	-	-	1704	
		-40C	-	-	1437	
	3.3V	25C	-	1568	-	
		85C	-	-	2169	
		-40C	-	-	1795	
	1.6V	25C	-	5123	-	
		85C	-	-	8088	
		-40C	-	-	16970	

表 3-19 ADC 输入阻抗

采样时间计算示例：

- 1) 假设采用快速通道单端采样一个信号源，信号源内阻为 1K Ω ，工作电源 VDDA=3.3V，工作温度 25C，则根据 Tsamp 公式，建议的最小采样时间为 107ns。如果 ADC 工作时钟是 16Mhz，相当于采样时间配置应大于 2 个 ADC 时钟。
- 2) 假设采用慢速通道采样一个信号源，信号源内阻为 100K Ω ，工作电源 VDDA=1.6V，工作温度 -40C~85C，则根据 Tsamp 公式，建议的最小采样时间为 3.4us。如果 ADC 工作时钟是 8Mhz，相当于采样时间配置应大于 28 个 ADC 时钟。

3.5.10 DAC 特性

符号	参数说明	测试条件	参数值			单位
			最小值	典型值	最大值	
VDDA	工作电压范围	-	1.6	-	5.5	V
VREF	参考电压范围	-	1.6	-	VDDA	V
IDD _{VREF}	VREF 功耗 ^[1] VDDA=VREF=3.3V Buffer ON, 无负载	Middle code (0x800)		120		uA
		Worst code (0x000)		200		
IDD _{VREF} _F	VREF 功耗 ^[1] VDDA=VREF=3.3V Buffer OFF, 无负载	Middle code (0x800)		100		uA
		Worst code (0x000)		150		
IDD _{VDD}	VDDA 功耗 ^[1] VDDA=VREF=3.3V Buffer ON, 无负载	Middle code (0x800)		300		uA
		Worst code (0xF5C)		360		
IDD _{VDD} _A	VDDA 功耗 ^[1] VDDA=VREF=3.3V Buffer OFF, 无负载	Middle code (0x800)		0		uA
		Worst code (0xF5C)		0		
V _{DAC}	输出电压范围 ^[1]	Buffer ON	0.15	-	VREF-0.15	V
		Buffer OFF	0	-	VREF	
R _O	DAC 输出内阻	Buffer OFF ^[1]		16.8		K Ω
		Buffer ON ^[1]		5		Ω
R _L	输出阻性负载 ^[1]	Buffer ON R _L connected to VSSA	5			K Ω
C _L	输出容性负载 ^[1]	Buffer ON			50	pF
DNL	差分非线性 ^[1]	Buffer ON	-1		+1	LSB
		Buffer OFF	-1		+1	LSB
INL	积分非线性 ^[1]	Buffer ON VDDA=VREF=3.3V	-2		+2	LSB
		Buffer OFF VDDA=VREF=3.3V	-1		+2	LSB
OffsetError	失调误差 ^[1] VDDA=VREF=3.3V	Buffer OFF Code=0x000		0.1		mV
GainError	增益误差 ^[1] VDDA=VREF=3.3V	Buffer OFF Code=0xFFFF		6		mV
t _{setup}	满幅输出建立时间	Code=0xFFFF Buffer OFF		3		us
		Code=0xFFFF		1		

符号	参数说明	测试条件	参数值			单位
			最小值	典型值	最大值	
		Buffer ON				

表 3-20 DAC 参数

[1] 基于特征参数提取

DAC 典型输出曲线 (VDD=3.3V, BUFFER ON, R_L=5KΩ)

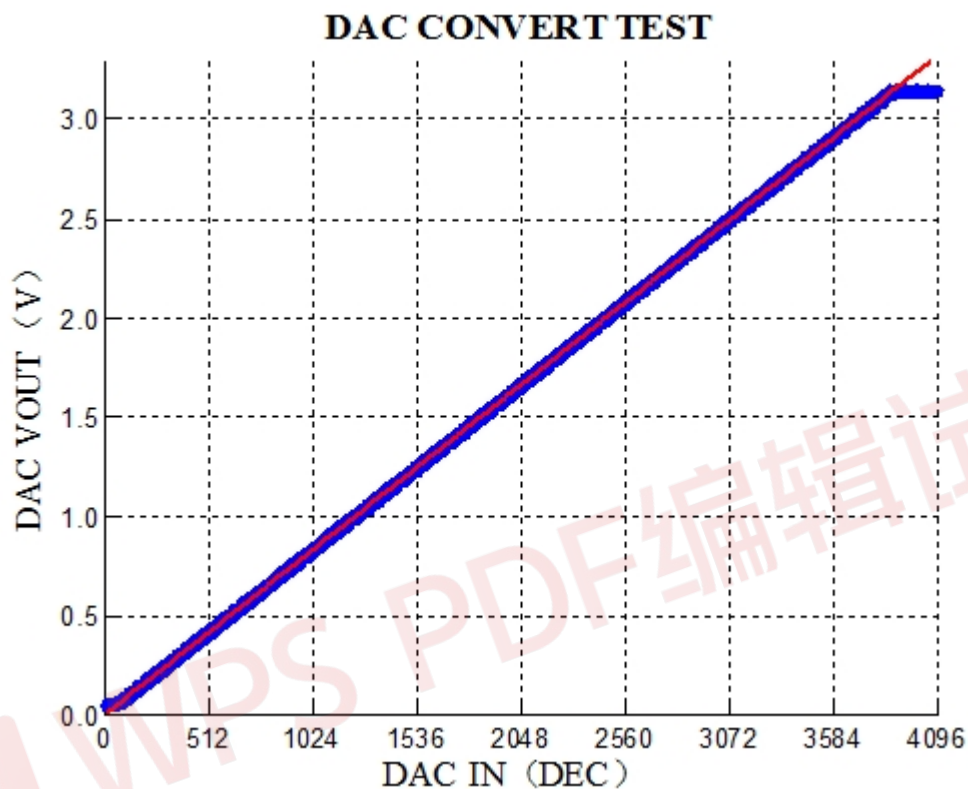


图 3-8DAC 典型输出曲线

DAC 典型 DNL 和 INL 曲线

- VDD=5V, BUFFER OFF, 无负载

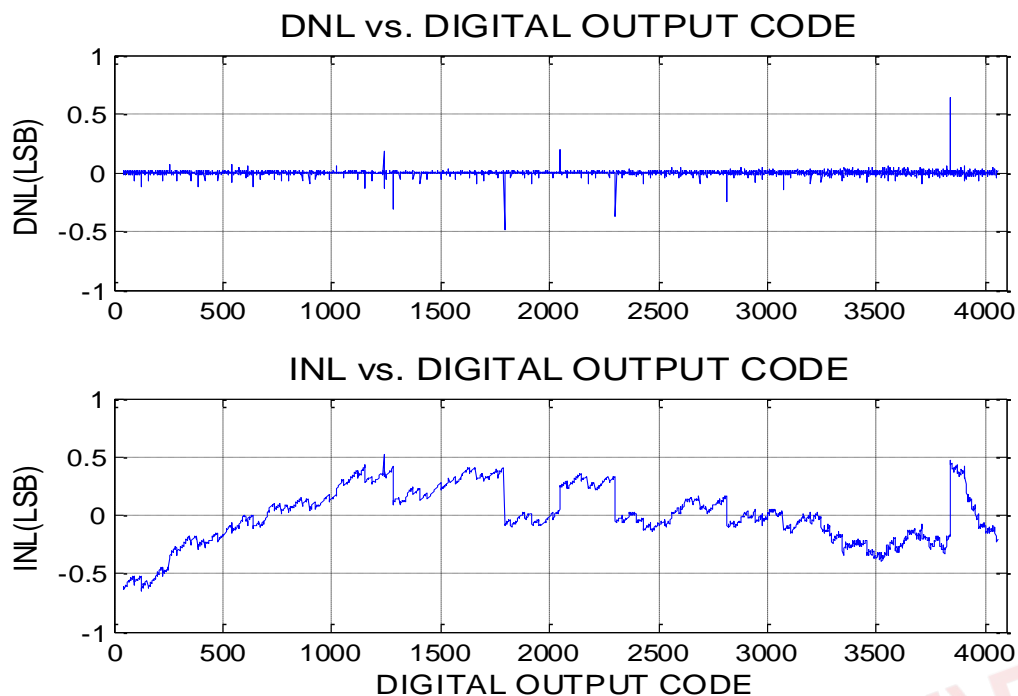


图 3-9DAC 典型静态特性 (5V)

- VDD=3.3V, BUFFER OFF, 无负载

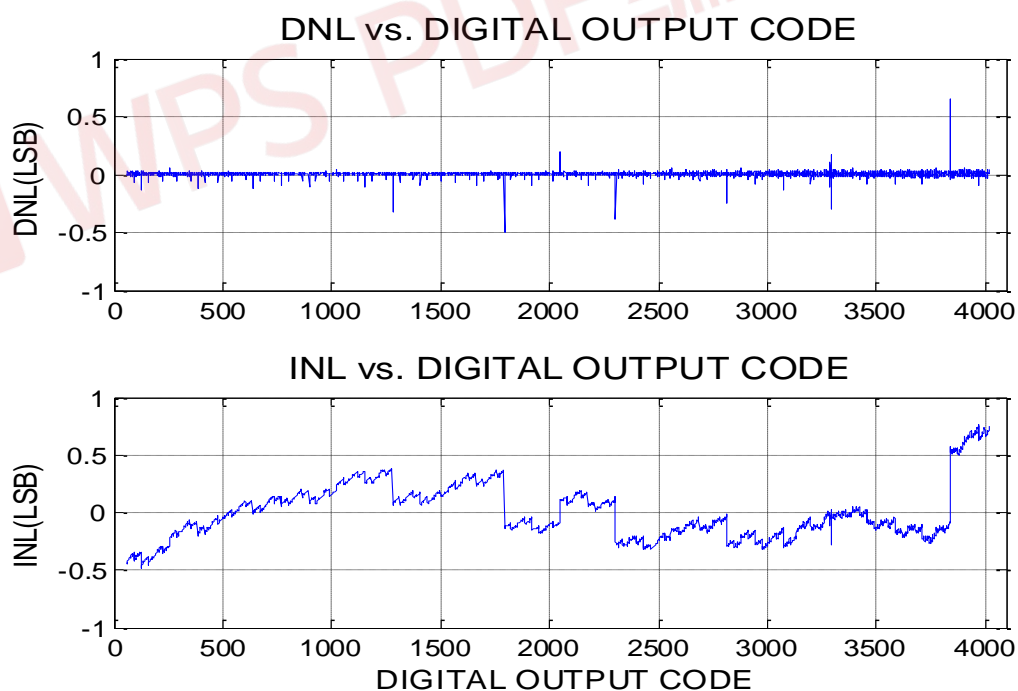


图 3-10DAC 典型静态特性 (3.3V)

- VDD=1.8V, BUFFER OFF, 无负载

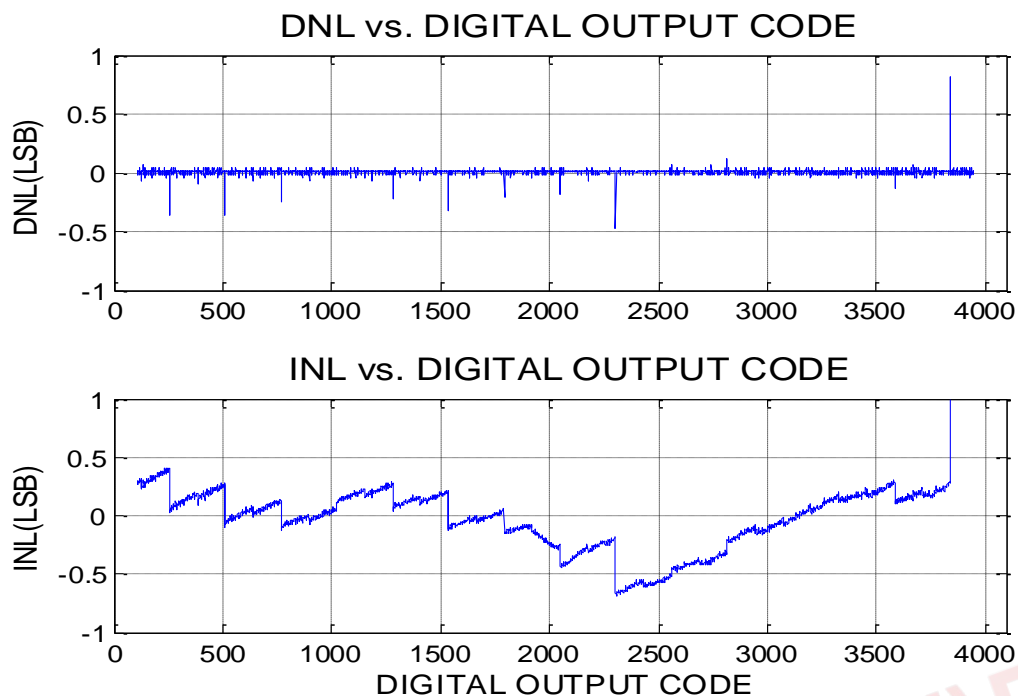


图 3-11DAC 典型静态特性 (1.8V)

3.5.11 温度传感器

芯片出厂时经过温度定标, 定标条件是 $V_{DD}=3.0V$, $T_A=30\pm 1^\circ C$ 。在此条件下, 使用 ADC 采样并转换温度传感器输出电压, 将转换结果保存在 Flash 指定地址。详细使用方法请参考复旦微电子提供的库函数。

符号	参数说明	测试条件	最小值	典型值	最大值	单位
TS_CAL1	温度传感器标定值 1	$V_{DD}=3.0V$, $T_A=30\pm 1^\circ C$	1030	1064	1104	LSB

注: 根据 TS_CAL1 的数值, 可以计算温度定标时温度传感器在 $30^\circ C$ 下的输出电压绝对值。

符号	参数说明	测试条件	参数值			单位
			最小值	典型值	最大值	
Reso	分辨率 ^[1]	$V_{DDA}=V_{REF+}=5V$		2.04		LSB/ $^\circ C$
		$V_{DDA}=V_{REF+}=3V$		3.14		
Slope	输出斜率 ^[1]	$T_A=-40\sim +105^\circ C$ $V_{DDA}=1.8\sim 5.5V$		2.53		mV/ $^\circ C$
Linerity	全温区线性度 ^[1]		-	+/-1	+/-2	$^\circ C$
I_{DDA}	温度传感器功耗 (不含 ADC) ^[2]	$V_{DDA}=3.3V$		0.8		μA
t_{START}	温度传感器启动时间, 包含输出 buffer 建立时间 ^[2]	V_{REF1p2} 已经使能, 置位 PTAT_EN 寄存器、VPTATBUFFER_OUTE N、VPTATBUFFER_EN			50	us

符号	参数说明	测试条件	参数值			单位
			最小值	典型值	最大值	
		VREF1p2 未使能			1.4	ms
t_{SAMPLE}	ADC 采样温度传感器输出时要求的采样时间 ^[2]		10	-	-	us

表 3-21 温度传感器参数

[1]基于特征参数提取

[2]基于电路设计仿真

温度传感器输出曲线示意图如下。

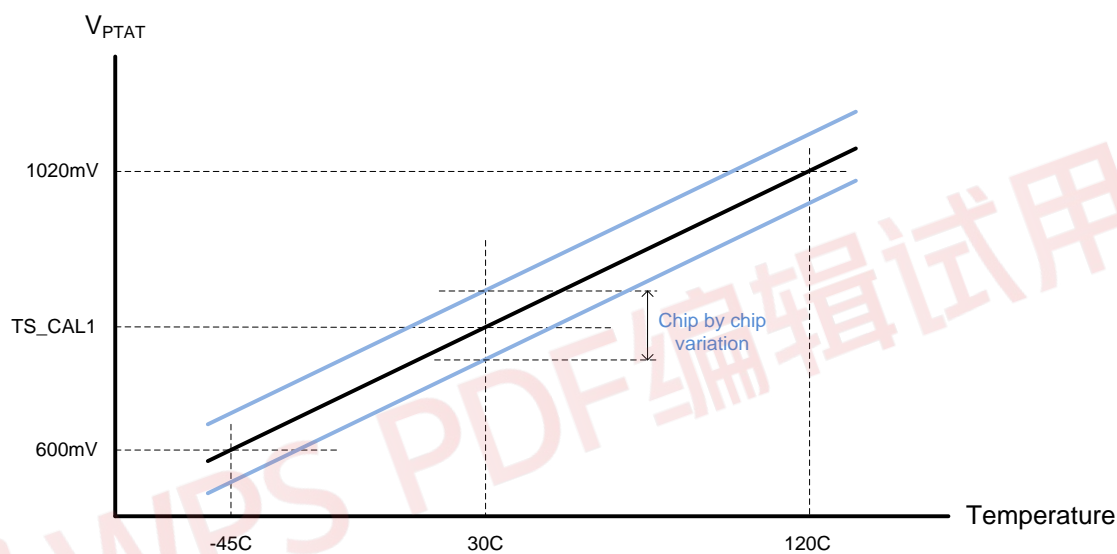


图 3-12 温度传感器输出曲线

温度传感器输出电压只和芯片基底温度有关，而与芯片当前工作电源电压无关。

3.5.12 运算放大器特性

除非特别声明，以下参数基于特征参数提取。

符号	参数说明	测试条件		参数值			单位
				最小值	典型值	最大值	
VDDA	工作电压范围			1.8		5.5	V
Vos	输入 offset 电压	校准前 VDDA=1.8~5.5V VCM=VDDA/2 T _A =25C			±1.5		mV
Ibias	输入偏置电流	VDDA=3.3V VCM=VDDA/2 T _A =25C				±100	pA
Ios	输入失调电流					±100	pA
TRIMS TEP_P	低共模输入电压 offset trim 步长 (0.1xVDDA)	VDDA=3.3V VCM=VDDA/2 T _A =25C			0.04		mV
TRIMS TEP_N	高共模输入电压 offset trim 步长 (0.9xVDDA)				0.05		
VOHsat	输出高饱和电压与 VDDA 的差值	VCM=VD DA/2 R _L =4KOh m	VDDA=2.0V	-	200	-	mV
			VDDA=3.3V	-	300	-	
			VDDA=5.5V	-	400	-	
VOHsat	输出高饱和电压与 VDDA 的差值	VCM=VD DA/2 R _L =50KOh m	VDDA=2.0V	-	40	-	mV
			VDDA=3.3V	-	60	-	
			VDDA=5.5V	-	100	-	
VOLsat	输出低饱和电压与 VSSA 的差值	VCM=VD DA/2 R _L =4KΩ	VDDA=2.0V	-	160	-	mV
			VDDA=3.3V	-	190	-	
			VDDA=5.5V	-	300	-	
VOLsat	输出低饱和电压与 VSSA 的差值	VCM=VD DA/2 R _L =50KΩ	VDDA=2.0V	-	20	-	mV
			VDDA=3.3V	-	20	-	
			VDDA=5.5V	-	30	-	
I _{LOAD}	输出饱和驱动电流	R _L =4KΩ	VDDA=2.0V	-	400	-	uA
			VDDA=3.3V	-	680	-	
			VDDA=5.5V	-	1150	-	
I _{LOAD}	输出饱和驱动电流	R _L =50KΩ	VDDA=2.0V	-	40	-	uA
			VDDA=3.3V	-	65	-	
			VDDA=5.5V	-	110	-	
C _{LOAD}	容性负载					50	pF

符号	参数说明	测试条件		参数值			单位
				最小值	典型值	最大值	
CMIR	共模输入范围	VDDA=3.3V Voltage follower or PGA configuration		0.01		VDDA-0.01	V
CMRR	共模抑制比	VDDA=3.3V VCM=0.3~3V			66		dB
		VDDA=5V VCM=0.5~4.8V			70		dB
PSRR	电源抑制比	VDDA=1.8~5.5V VCM=VDDA/2		80			dB
GBW	-3dB 带宽	VDDA=3.3V	VCM=1.0~2.5V		3500		KHz
			VCM=0.2V		2200		
			VCM=0.015V		1200		
			VCM=3V		1800		
SR	上升压摆率 (输出电压变化范围是 10%到 90%)	VDDA=2.0V			1.1		V/us
		VDDA=3.3V			1.25		
		VDDA=5V			1.45		
	下降压摆率 (输出电压变化范围是 90%到 10%)	VDDA=2.0V			1.3		V/us
		VDDA=3.3V			1.4		
		VDDA=5V			1.6		
AO	开环增益	VDDA=3.3V			100		dB
Phi	相位裕度 ^[1]	C _{LOAD} =50pF VDDA=5V			80		°
GM	增益裕度 ^[1]	C _{LOAD} =50pF VDDA=5V			11		dB
t _{START}	启动时间	Buffer 模式 VDDA=3.3V			2.2		us
PGA gain	PGA 增益	VDDA=3.3V 同相放大	Gain=2		2		-
			Gain=4		3.99		
			Gain=8		7.96		
			Gain=16		15.85		
		VDDA=3.3V 反相放大	Gain=1		0.99		-
			Gain=3		2.95		
			Gain=7		6.79		
			Gain=15		14.1		
PGA BW	PGA 带宽	Gain=2			GBW/2		
		Gain=4			GBW/4		
		Gain=8			GBW/8		
		Gain=16			GBW/16		
I _{DDA}	功耗	Standalone, 正常模式, 空载 VDDA=3.3V VCM=VDDA/2			150		uA
		Buffer, 低功耗模式, 空载 VDDA=3.3V VCM=VDDA/2			1.5		

表 3-22 OPA 参数

[1] 基于电路设计仿真

3.5.13 模拟比较器特性

符号	参数说明	测试条件		参数值			单位
				最小值	典型值	最大值	
VDDA	比较器工作电压范围	-	-	1.8	-	5.5	V
V _{Icomp1}	比较器1输入电压范围	-	-	0	-	VDDA	V
V _{Icomp2}	比较器2输入电压范围	-	-	0	-	VDDA	V
V _{Icomp3}	比较器3输入电压范围	-	-	0	-	VDDA-0.7	V
I _{comp12}	比较器1/2工作电流[2]	VDDA=3.3V 50Khz 方波, ±100mV overdrive	低功耗模式	-	9	-	uA
			中速模式	-	9.2	-	
			高速模式	-	32	-	
		VDDA=3.3V DC 输入	低功耗模式	-	1	-	
			中速模式	-	1.5	-	
			高速模式	-	25	-	
T _{propagation12}	比较器1/2传播延迟[1]	VDDA=3.3V 200mV step 100mV overdrive	低功耗模式	-	0.8	-	us
			中速模式	-	0.6	-	ns
			高速模式	-	150	-	
T _{setup12}	比较器1/2建立时间[2]	VDDA=3.3V	低功耗模式	-	20	-	us
			中速模式	-	15	-	
			高速模式	-	5	-	
I _{comp3}	比较器3工作电流[2]	VDDA=3.3V VDDA=3.3V 50Khz 方波, ±100mV overdrive	-	8	-	uA	
		VDDA=3.3V DC 输入	-	150	-	nA	
T _{propagation3}	比较器3传播延迟[1]	VDDA=3.3V	-	1.5	-	us	
T _{setup3}	比较器3建立时间[2]	VDDA=3.3V	-	20	-	us	

表 3-23 模拟比较器参数

[1]基于特征参数提取

[2]基于电路设计仿真

3.5.14 Flash 存储器特性

符号	参数说明	测试条件	参数值			单位
			最小值	典型值	最大值	
	Flash size		64K	-	256K	bytes
T_{PROG}	Byte Program Time		6	-	7.5	μs
T_{ERASE}	Sector/Block Erase		-	2	-	ms
	Chip Erase		-	8	-	ms
N_{ED}	Sector Endurance	$T_A=105^\circ\text{C}$ Qualification compliant to AEC-Q100	100,000			Erase/Write cycles
T_{DR}	Data Retention	$T_A=105^\circ\text{C}$ After 100K cycling Qualification compliant to AEC-Q100	10			yrs

表 3-24 Flash 参数

注: flash 可靠性参数由抽样考核保证, 抽样和考核标准符合 AEC-Q100

3.5.15 GPIO 特性

普通 IO

符号	参数说明	测试条件		参数值			单位
				最小值	典型值	最大值	
V_{IL}	输入低电平			0		$0.3V_{DD}$	V
V_{IH}	输入高电平			$0.7V_{DD}$		V_{DD}	V
I_{IL}	输入低漏电	$V_{IL}=0V$		-1		1	μA
I_{IH}	输入高漏电	$V_{IH}=5V$		-1		1	μA
V_{OL}	输出低电平	$V_{DD}=5V$ $I_{SINK}=20mA$	PA11,PA12		1.1		V
		$V_{DD}=5V$ $I_{SINK}=5mA$	PC12 PH15		1 0.3		
		$V_{DD}=5V$ $I_{SINK}=10mA$	其他		1.05		
V_{OH}	输出高电平	$V_{DD}=5V$ $I_{SOURCE}=20mA$	PA11,PA12		3.75		V
		$V_{DD}=5V$ $I_{SOURCE}=5mA$	PC12 PH15		3.95 3.9		
		$V_{DD}=5V$ $I_{SOURCE}=10mA$	其他		3.8		
V_{OL}	输出低电平	$V_{DD}=3.3V$ $I_{SINK}=10mA$	PA11,PA12		0.6		V
		$V_{DD}=3.3V$ $I_{SINK}=5mA$	PC12 PH15		1.1 0.4		
		$V_{DD}=3.3V$ $I_{SINK}=5mA$	其他		0.6		
V_{OH}	输出高电平	$V_{DD}=3.3V$ $I_{SOURCE}=10mA$	PA11,PA12		2.5		V
		$V_{DD}=3.3V$ $I_{SOURCE}=1.5mA$	PC12 PH15		2.9 2.8		
		$V_{DD}=3.3V$ $I_{SOURCE}=5mA$	其他		2.6		
R_{PU}	弱上拉电阻				100		K Ω

表 3-25 普通 I/O 参数

NRST 引脚

符号	参数说明	测试条件		参数值			单位
				最小值	典型值	最大值	
V_{IL}	输入低电平			0		$0.3V_{DD}$	V
V_{IH}	输入高电平			$0.7V_{DD}$		V_{DD}	V
I_{IL}	输入低漏电	$V_{IL}=0V$		-1		1	μA
I_{IH}	输入高漏电	$V_{IH}=5V$		-1		1	μA
R_{PU}	上拉电阻				5		K Ω
$T_{AFILTER}$	模拟滤波长度 ^[1]	$V_{DD}=5V$			100		ns
$T_{DFILTER}$	数字滤波长度 ^[1]	$V_{DD}=1.65\sim 5.5V$ $-40^{\circ}C \leq T_A \leq 105^{\circ}C$		50		150	us

表 3-26 NRST 引脚参数

注:

[1] 此项参数基于特征参数提取

GPIO AC 特性

IO	符号	参数说明 ^[1]	测试条件	min	max	单位
非 FM+	Fmax	Maximum frequency	C=30pF, 2.7V<Vdd<3.6V	-	45	MHz
			C=30pF, 1.6V<Vdd<2.7V	-	22	
			C=10pF, 2.7V<Vdd<3.6V	-	80	
			C=10pF, 1.6V<Vdd<2.7V	-	40	
	Tr/Tf	Output rise and fall time	C=30pF, 2.7V<Vdd<3.6V	-	8.7	ns
			C=30pF, 1.6V<Vdd<2.7V	-	16.9	
			C=10pF, 2.7V<Vdd<3.6V	-	3.4	
			C=10pF, 1.6V<Vdd<2.7V	-	6.7	
FM+	Fmax	Maximum frequency	C=50pF, 1.6V<Vdd<3.6V	-	10	MHz
	Tf	Output fall time		-	27	ns

表 3-27 引脚 AC 参数

注:

[1] 依据电路仿真，不在量产测试中测试

3.5.16 LCD 特性

片内电阻分压模式

符号	参数说明	测试条件	参数值			单位
			最小值	典型值	最大值	
I_{LCD}	片内电阻分压模式下的 LCD 工作电流(空载) [1]	VDD=5V		2		uA
V_{LCD}	LCD 偏置电压	-	0.547×VDD		VDD	V

表 3-28 LCD 片内电阻分压

[1]基于特征参数提取

片外电容模式

符号	参数说明	测试条件	参数值			单位
			最小值	典型值	最大值	
I_{LCD}	片内电阻分压模式下的 LCD 工作电流(空载) [1]	VDD=5V		1		uA
V_{LCD}	LCD 偏置电压	-	0.547×VDD		VDD	V
C1	VCIN1 和 VCIN2 之间的去耦电容	-		0.1		uF
C20	V_DISP0 对地去耦电容	-		0.1		uF
C21	V_DISP1 对地去耦电容	-		0.1		uF
C22	V_DISP2 对地去耦电容	-		0.1		uF
C23	V_DISP3 对地去耦电容	-		0.1		uF

表 3-29 LCD 片外电容驱动

[1]基于特征参数提取

LCD 电容驱动模式的片外连接如下图所示:

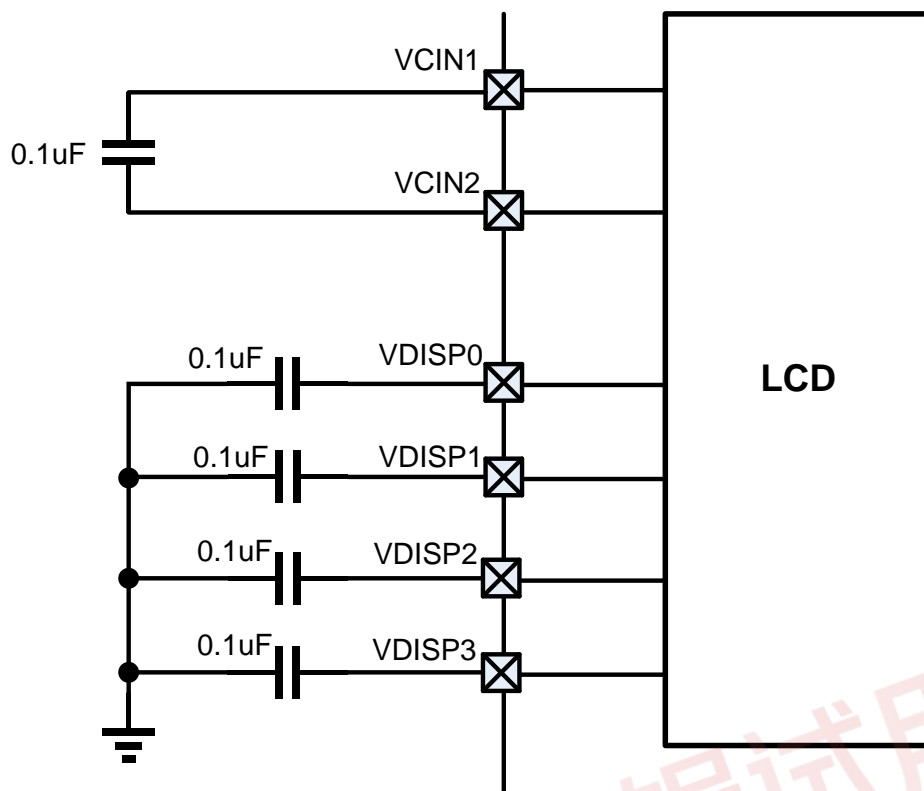


图 3-13 LCD 片外电容驱动模式电容连接

3.5.17 VBAT 测量特性

符号	参数说明	测试条件	参数值			单位
			最小值	典型值	最大值	
R	VBAT 测量电路分压电阻			100		KΩ
Q	VBAT 分压比例	VBAT_MEASURE=VBAT/Q		3		
Er	分压比例误差 ^[1]		-1	-	1	%
t _{S_VBAT}	测量 VBAT 时的 ADC 采样时间 ^[1]	ADC 内部 Buffer 使能	1			μs
		ADC 内部 Buffer 不使能	10			

表 3-30 VBAT 测量特性

[1] 依据电路仿真，不在量产测试中测试

4 总线与存储

4.1 系统总线

FM33LG0A 总线架构包含以下主要部件：

- 两个 Master
 - Cortex-M0 内核
 - DMA 控制器
- 四个 Slave
 - 内部 Flash 存储器
 - 内部 SRAM 存储器
 - GPIO 控制器模块
 - AHB-APB 总线转接桥和系统控制寄存器

FM33LG0A 的系统总线示意图如下，包含一条 AHB-Lite 总线、一条 APB 总线。

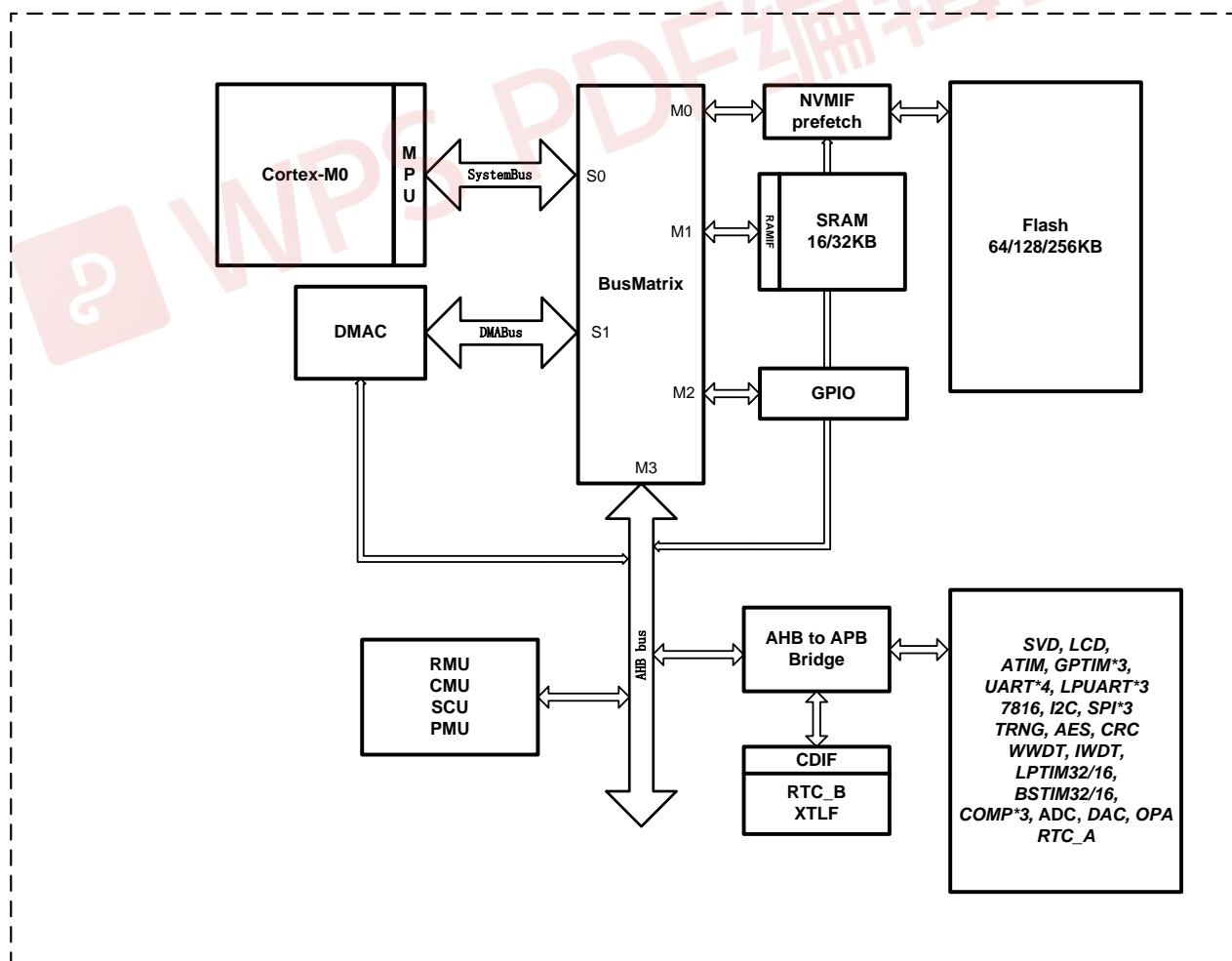


图 4-1 系统总线示意图

4.2 存储空间分配

4.2.1 概述

Flash 页（page）大小为 512 字节，每 4 个页组成一个 2K 字节的扇区（sector）。

Flash 包含 4 个 information 页，2 个 LDT 页，1 个冗余页，1 个 DCT 页。其中 DCT 和 LDT 为芯片原厂保留页，不对用户开放。Information 为用户配置页，用于保存用户配置信息。所有 option 页在地址上与 Flash 主区域互相隔离。

当芯片从 Flash 启动时，FM33LG0A 的地址空间分配如下图（256KB Flash，32KB RAM）：

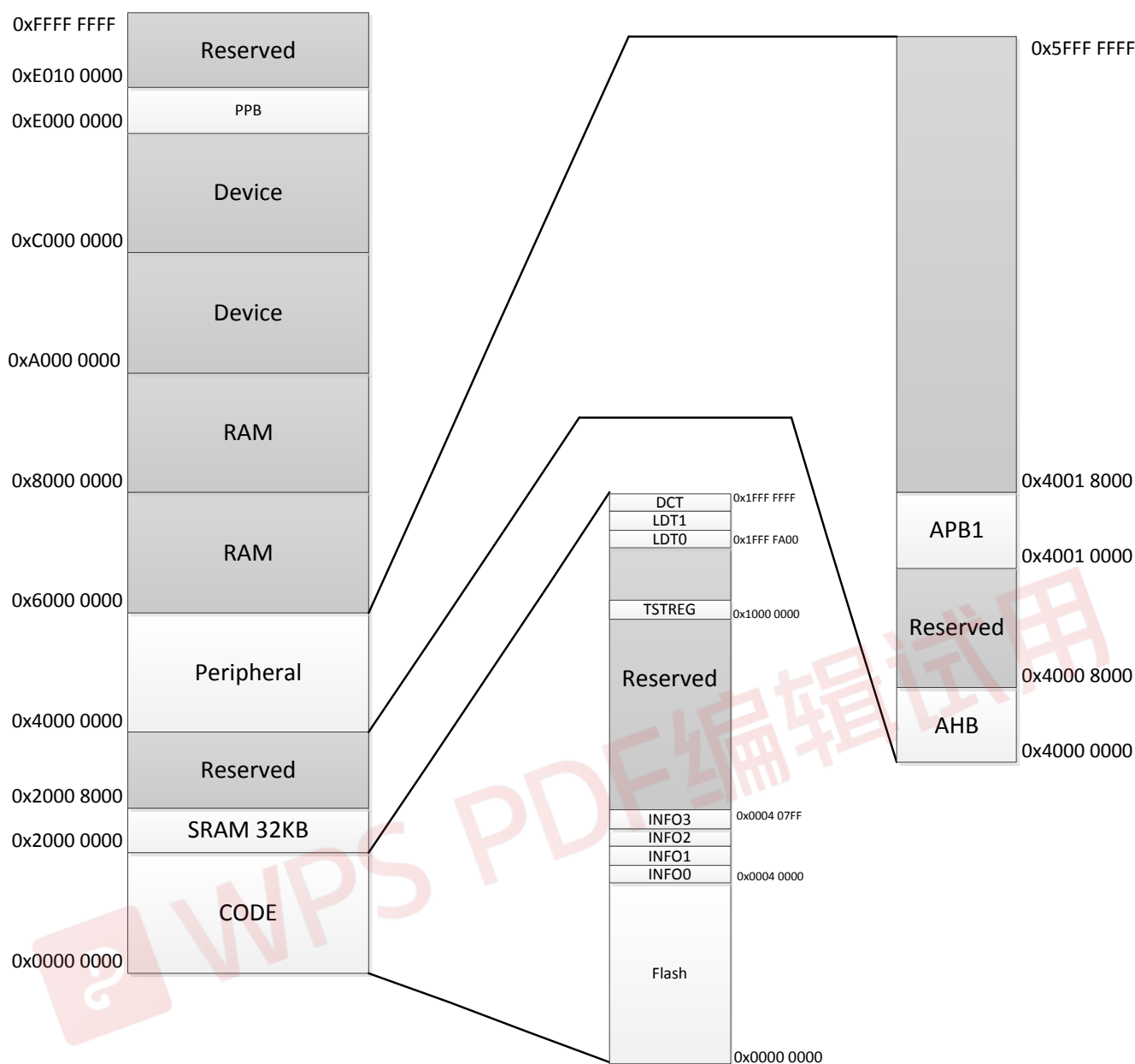


图 4-2 FM33LG04xA 总线地址

128KB flash+32KB RAM:

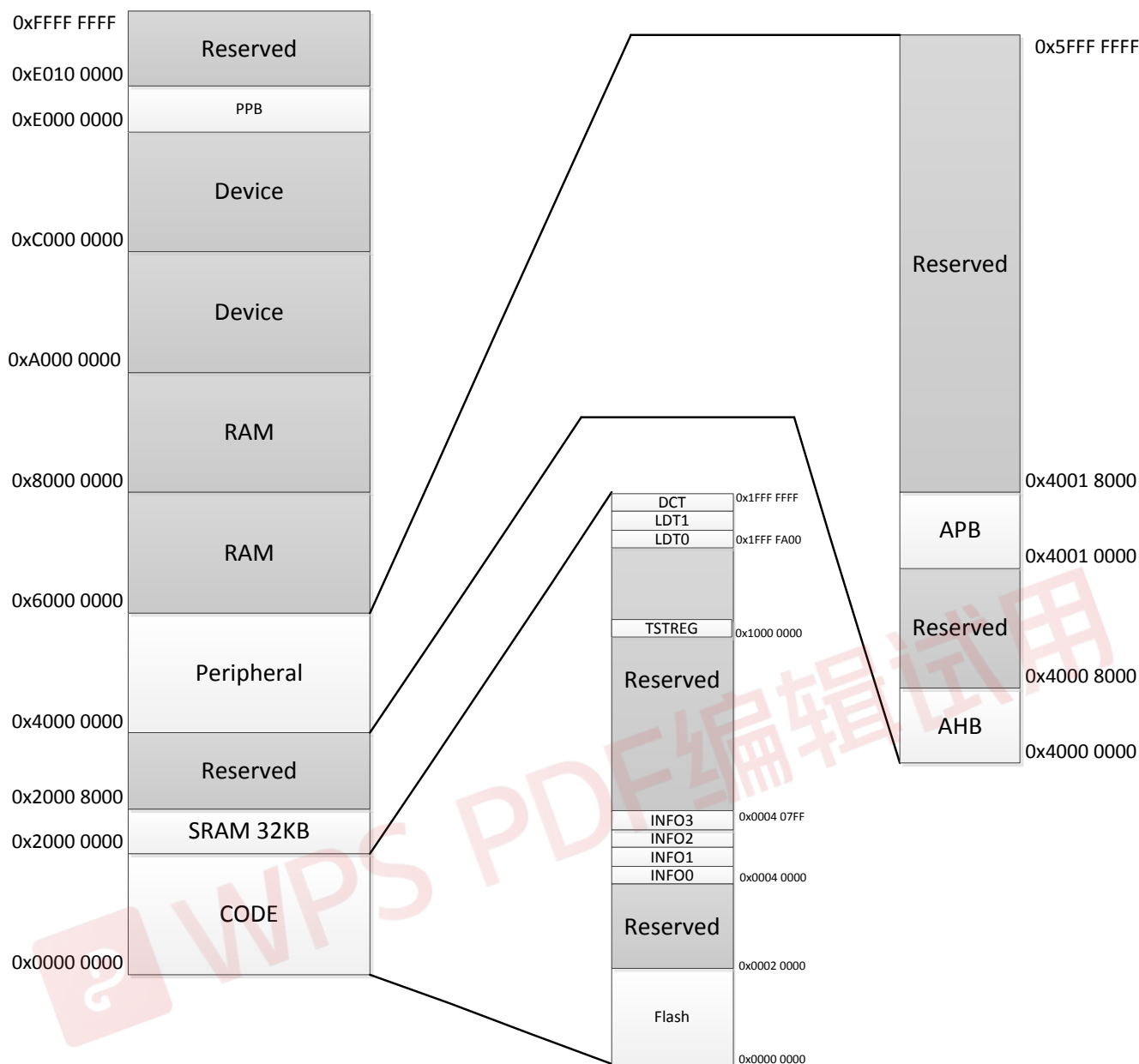


图 4-3 FM33LG02xA 总线地址

64KB flash+16KB RAM:

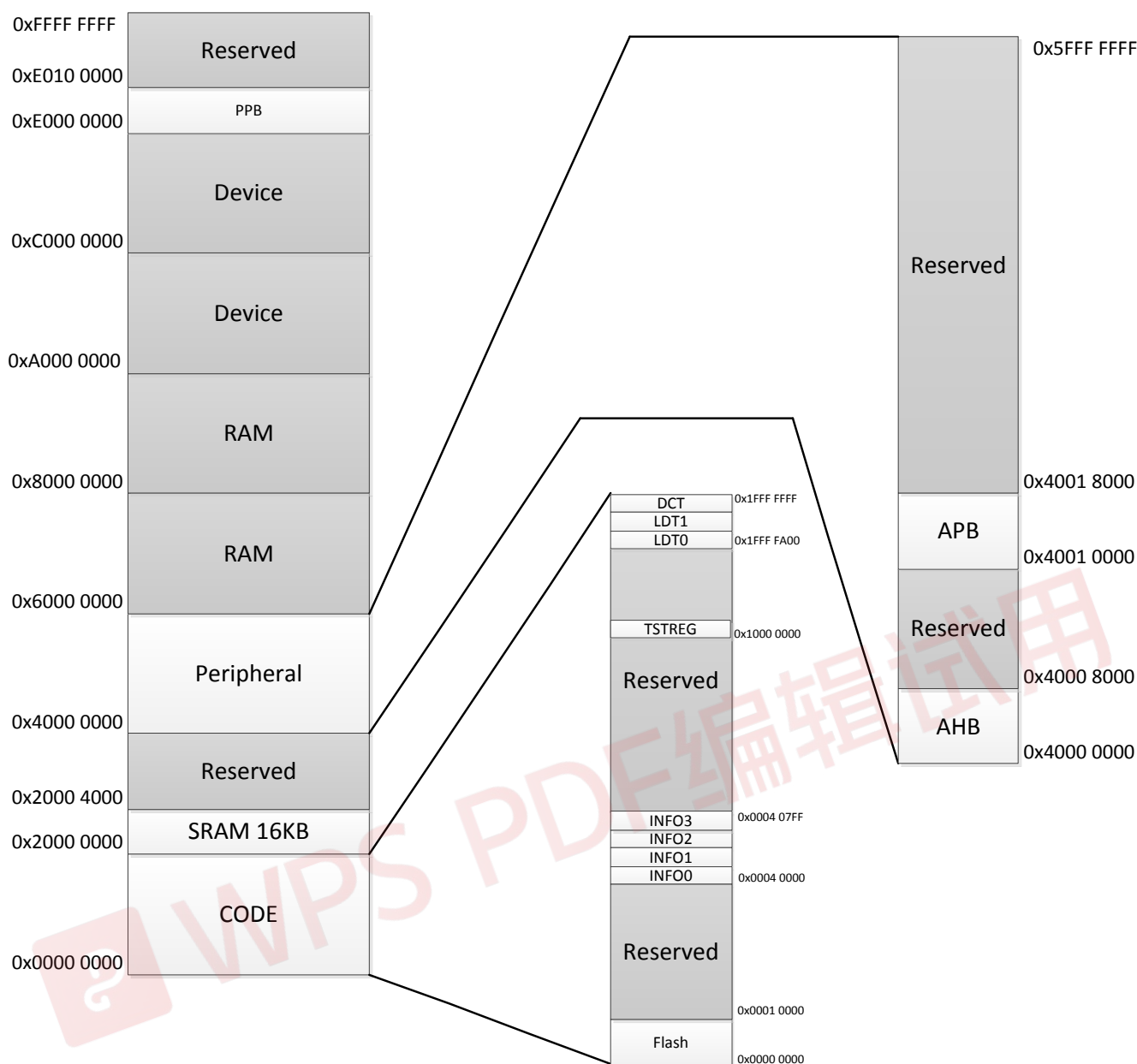


图 4-4 FM33LG01xA 总线地址

4.2.2 外设模块寄存器地址分配

下表罗列了所有外设模块的地址空间分配范围，每个外设模块占用 1KB 地址空间。

总线	地址边界	空间	外设
AHB	0x0000_0000~0x0007_FFFF	512KB	Flash main array
	0x1FFF_F000~0x1FFF_FFFF	4KB	Flash Option cell array
	0x2000_0000~0x2000_7FFF	32KB	SRAM
	0x2000_8000~0x2001_3FFF	-	-
	0x4000_0000~0x4000_03FF	1KB	SCU
	0x4000_0400~0x4000_07FF	1KB	DMA
	0x4000_0800~0x4000_0CFF	-	-
	0x4000_0C00~0x4000_0FFF	1KB	GPIO

	0x4000_1000~0x4000_13FF	1KB	NVMIF Registers
	0x4000_1400~0x4000_17FF	-	-
	0x4000_1800~0x4000_1BFF	-	-
	0x4000_1C00~0x4000_1FFF	-	-
	0x4000_2000~0x4000_23FF	1KB	PMU
	0x4000_2400~0x4000_27FF	1KB	CMU
	0x4000_2800~0x4000_2BFF	1KB	RMU
	0x4001_0000~0x4001_FFFF	64KB	APB
APB	0x4001_0000~0x4001_03FF	1KB	CRC
	0x4001_0400~0x4001_07FF	1KB	SPI0
	0x4001_0800~0x4001_0BFF	1KB	SPI1
	0x4001_0C00~0x4001_0FFF	1KB	LCD
	0x4001_1000~0x4001_13FF	1KB	RTCA
	0x4001_1400~0x4001_17FF	1KB	IWDT
	0x4001_1800~0x4001_1BFF	1KB	WWDT
	0x4001_1C00~0x4001_1FFF	1KB	U7816
	0x4001_2000~0x4001_23FF	1KB	UART0
	0x4001_2400~0x4001_27FF	1KB	I2C
	0x4001_2800~0x4001_2BFF	1KB	SVD
	0x4001_2C00~0x4001_2FFF	1KB	RAMBIST
	0x4001_3000~0x4001_33FF	1KB	ATIM
	0x4001_3400~0x4001_37FF	1KB	LPTIM32
	0x4001_3800~0x4001_3BFF	1KB	AES
	0x4001_3C00~0x4001_3FFF	1KB	TRNG
	0x4001_4000~0x4001_43FF	1KB	LPUART0
	0x4001_4400~0x4001_47FF	1KB	LPUART1
	0x4001_4800~0x4001_4BFF	1KB	SPI2
	0x4001_4C00~0x4001_4FFF	1KB	GPTIM0
	0x4001_5000~0x4001_53FF	1KB	LPUART2
	0x4001_5400~0x4001_57FF	1KB	COMPx
	0x4001_5800~0x4001_5BFF	1KB	AutoTrim
	0x4001_5C00~0x4001_5FFF	1KB	ADC
	0x4001_6000~0x4001_63FF	1KB	BSTIM32
	0x4001_6400~0x4001_67FF	1KB	GPTIM1
	0x4001_6800~0x4001_6BFF	1KB	UART1
	0x4001_6C00~0x4001_6FFF	1KB	PGL
	0x4001_7000~0x4001_73FF	1KB	UART3
	0x4001_7400~0x4001_77FF	1KB	UART4
	0x4001_7800~0x4001_7BFF	1KB	UART5
	0x4001_7C00~0x4001_7FFF	1KB	UARTIR
	0x4001_8000~0x4001_83FF	1KB	GPTIM2
	0x4001_8400~0x4001_87FF	1KB	-
	0x4001_8800~0x4001_8BFF	1KB	LPTIM16
	0x4001_9000~0x4001_93FF	1KB	ANTEST(BUF4TST)
0x4001_9800~0x4001_9BFF	1KB	DAC	
0x4001_9C00~0x4001_9FFF	1KB	DIVAS	
0x4001_A000~0x4001_A3FF	1KB	OPA	
0x4001_A400~0x4001_A7FF	1KB	VREF1p2	
0x4001_E000~0x4001_E3FF	1KB	CDIF controller	
0x4001_F000~0x4001_FFFF	4KB	CDIF(RTC_B, XTLF, VAO)	

表 4-1 外设模块总线地址列表

4.3 RAM

4.3.1 概述

FM33LG0A 含有一块 32KB RAM (8K*32)。

SRAM 地址空间范围是 0x2000_0000~0x2000_7FFF, 软件可以对 SRAM 进行字节、半字、字访问, CPU 和 DMA 都可以以最大系统频率对 SRAM 实现无等待的单周期读写。CPU 也可以从 SRAM 取指执行程序, 因此在对程序效率要求高的场合, 可以将部分代码导入 SRAM 中, 实现最高频率下无等待的执行。

WPS PDF 编辑试用

4.4 Flash

4.4.1 概述

FM33LG0A 使用的 Flash 容量为 64K*32, 即 256KB; 阵列组织格式包含 page(512B)、sector(2KB)、mat(256KB)

main array 共包含 512 个页, 另有 4 个信息页。Flash 支持页擦、扇区擦和全擦。

4.4.2 特殊信息扇区说明

Flash 特殊扇区说明如下

区域	说明	用途
LDT0	FMSH 数据区	保存 FMSH 的调校信息、模式字、测试数据等; 软件只读
LDT1	用户选项数据区	用户选项字节 (OPTBYTES)
RED	冗余信息	保存用于失效扇区替换的信息
IF	Information 区	4 个 page 共 2KB, 供用户使用; 软件可以读写

表 4-2Flash 特殊信息区

4.4.2.1 LDT0 page

LDT0 中保存原厂写入的芯片参数, 软件只可读不可改写。

LDT0 的总线地址是 0x1FFF_FA00~0x1FFF_FBFF; 以下参数软件在应用中可以从 LDT0 读取并写入对应的控制寄存器, 以实现模拟参数校准。

AHB addr	Bit[31:16]	Bit[15:0]	Description
0x1FFF_FA84	~VREFREG45_T RIM	VREFREG45_T RIM	VREFP_REGU 4.5V trim值
0x1FFF_FA88	~VREFREG30_T RIM	VREFREG30_T RIM	VREFP_REGU 3.0V trim值
0x1FFF_FA8C	~VREFREG25_T RIM	VREFREG25_T RIM	VREFP_REGU 2.5V trim值
0x1FFF_FA90	~VREFREG20_T RIM	VREFREG20_T RIM	VREFP_REGU 2.0V trim值
0x1FFF_FA94	~VREFREG15_T RIM	VREFREG15_T RIM	VREFP_REGU 1.5V trim值
0x1FFF_FA98	~ULPBG_TRIM	ULPBG_TRIM	ULPBGtrim值
0x1FFF_FB08	~VREFCAL	VREFCAL	3V,30C 下ADC对VREF1p2的转换 值
0x1FFF_FB0C	VREFRAW		VREF1p2实际电压值
0x1FFF_FB10	~TS_CAL	TS_CAL	3V, 30C下ADC对PTAT的转换值
0x1FFF_FB20	~RCLP_TRIM	RCLP_TRIM	RCLP调校值
0x1FFF_FB38	~RCHF24TRIM	RCHF24TRIM	RCHF 24MHz调校值
0x1FFF_FB3C	~RCHF16TRIM	RCHF16TRIM	RCHF 16MHz调校值
0x1FFF_FB40	~RCHF8TRIM	RCHF8TRIM	RCHF 8MHz调校值(auto-load)

0x1FFF_FB44	~RCLFTRIM	RCLFTRIM	RCLF调校值
-------------	-----------	----------	---------

表 4-3FlashLDT0 扇区

为了保证数据可靠，LDT0中的参数都采用高低半字互为正反码校验的方式保存。软件使用这些参数时，应先进行正反码校验，结果正确的情况下可以使用，否则应保持默认参数。

详细参数格式定义如下：

助记符	Bit[31:16]	Bit[15:0]	Description
VREFCAL	{4'h0, ~VREFCAL}	{4'hF, VREFCAL}	VDDA=VREFP=3V+/-10mV, 30C+/-1C 下 ADC 对 VREF1p2的转换值
VREFRAW			VREF1p2输出电压的实际测量值，数据格式TBD
RCLP_TRIM	{8'h00, ~trim}	{8'hFF, trim}	trim[7:0]表示8bit调校值
RCHF24TRIM	{8'b0000_0000, ~RCHFtrim[7:0]}	{8'b1111_1111, RCHFtrim[7:0]}	RCHFtrim[7:0]表示8bit调校值
RCHF16TRIM			
RCHF8TRIM			
VREFREG45_TRIM	{8'b0000_0000, ~VREFREGU_trim}	{8'b1111_1111, VREFREGU_trim}	VREFP_VREG 调校值 4.5V
VREFREG30_TRIM	{8'b0000_0000, ~VREFREGU_trim}	{8'b1111_1111, VREFREGU_trim}	VREFP_VREG 调校值 3.0V
VREFREG25_TRIM	{8'b0000_0000, ~VREFREGU_trim}	{8'b1111_1111, VREFREGU_trim}	VREFP_VREG 调校值 2.5V
VREFREG20_TRIM	{8'b0000_0000, ~VREFREGU_trim}	{8'b1111_1111, VREFREGU_trim}	VREFP_VREG 调校值 2.0V
VREFREG15_TRIM	{8'b0000_0000, ~VREFREGU_trim}	{8'b1111_1111, VREFREGU_trim}	VREFP_VREG 调校值 1.5V
ULPBG_TRIM	{11'b0000_0000_000, ~ULPBG_trim}	{11'b1111_1111_111, ULPBG_trim}	ULPBG_VDD 调校值 1.2V

表 4-4LDT0 数据格式

4.4.2.2 LDT1 page

LDT1为用户配置信息区，主要用于保存用户选项字节和Flash锁定信息。LDT1仅能使用SWD改写，即用户通过编程器改写。

LDT1的总线地址是0x1FFF_FC00~0x1FFF_FDFF，执行flash全擦后，才能擦除LDT1。

AHB addr	Bit[31:16]	Bit[15:0]	Description
0x1FFF_FC00	~OPTBYTES[15:0]	OPTBYTES[15:0]	用户选项字节低半字
0x1FFF_FC04	~OPTBYTES[31:16]	OPTBYTES[31:16]	用户选项字节高半字
0x1FFF_FC08	LOCK1		ACLOCK 配置字，控制低 16 blocks
0x1FFF_FC0C	LOCK2		ACLOCK 配置字，控制

	高 16 blocks
--	-------------

表 4-5 FlashLDT1 扇区

OPTBYTES 选项字节定义如下：

Bitfield	助记符	功能描述	出厂默认
31:24	BTSWPEN	启动区交换使能 0x55: 允许启动区交换功能 其他: 禁止启动区交换	0xFF
23:20	IWDTSLP	配置 IWDTC 在低功耗模式下是否允许停止计数 0xA: 在 Sleep/DeepSleep 模式下允许应用停止 IWDTC 计数 其他: 任何模式下禁止应用停止 IWDTC	0xA
19:16	DFLSEN	Data flash 使能 0x5: 使能数据 flash, main array 的最高 16KB 地址被定义为 data flash 其他: 禁止数据 flash	0xF
15:8	ACLKEN	应用代码保护使能 0x33: 禁止 ACLOCK 其他: 使能 ACLOCK	0x33
7:0	DBRDPEN	调试接口访问保护使能 0xAA: 关闭调试接口保护 其他: 使能调试接口保护	0xAA

表 4-6 Flash 选项字节

【注】在出厂时，用户通过 SWD 接口可以任意改写 OPTBYTES；但是一旦 ACLKEN 或 DBRDPEN 被使能，用户必须通过 SWD 全擦 flash 后才能重新改写 OPTBYTES。

LOCK 信息用于配制 Flash 内容保护，以 8KB block 为单位进行访问权限保护。详情参见“Flash 内容保护”章节。

LOCK 配置字节定义如下：

Bitfield	助记符	功能描述	出厂默认
31:0	LOCK1	Block Lock 字 1, 每 2it 对应 8KB Block 11: 无保护 01、10: 软件读写保护, 仅取指 00: 软件读写保护, 仅取指; SWD 读写保护 LOCK1[1:0]对应 Block0(Flash 最低地址 8KB 空间), LOCK1[31:30] 对应 Block15 (Flash 地址空间 120~128KB), 其他以此类推	0xFFFFFFFF
31:0	LOCK2	Block Lock 字 2, 每 2it 对应 8KB Block 11: 无保护 01、10: 软件读写保护, 仅取指 00: 软件读写保护, 仅取指; SWD 读写保护 LOCK2[1:0] 对应 Block16 (Flash 地址空间	0xFFFFFFFF

X-ON Electronics

Largest Supplier of Electrical and Electronic Components

Click to view similar products for [32-bit Microcontrollers - MCU category](#):

Click to view products by [Fudan manufacturer](#):

Other Similar products are found below :

[MCF51AC256AVFUE](#) [MCF51AC256BCFUE](#) [MCF51AC256BVFUE](#) [MB91F464AAPMC-GSE2](#) [R5S726B0D216FP#V0](#) [MB91F248PFV-GE1](#) [MB91243PFV-GS-136E1](#) [SAK-TC1782F-320F180HR BA](#) [TC364DP64F300WAAKXUMA1](#) [R5F566NNDDFP#30](#)
[R5F566NNDDFC#30](#) [R5F566NNDDBD#20](#) [MC96F8216ADBN](#) [A96G181HDN](#) [A96G140KNN](#) [A96G174FDN](#) [A31G213CL2N](#)
[A96G148KNN](#) [A96G174AEN](#) [AC33M3064TLBN-01](#) [V3s](#) [T3](#) [A40i-H](#) [V526](#) [A83T](#) [R11](#) [V851s](#) [A133](#) [V833](#) [F1C100S](#) [T3L](#) [T507](#) [A33](#)
[A63](#) [T113-i](#) [H616](#) [V853](#) [V533](#) [R16-J](#) [V536-H](#) [A64-H](#) [V831](#) [V3LP](#) [T113-S3](#) [F1C200S](#) [F133-A](#) [R128-S2](#) [D1-H](#) [ADUCM360BCPZ128-TR](#)
[APT32S003F8PT](#)