

EZ-PD™ PMG1-S2 パワーデリバリー MCU

EZ-PD™ PMG1 ファミリの概要

EZ-PD™ PMG1 (第1世代パワーデリバリーマイクロコントローラー)は、高電圧のUSB-Cパワーデリバリー(PD)マイクロコントローラー(MCU)のファミリーです。これらのチップには、Arm® Cortex®-M0/M0+ CPU, USB-C PD コントローラー, およびアナログとデジタルペリフェラルが搭載されます。EZ-PD™ PMG1は、高電圧USB-C PDポートとの間で電力を供給/消費し、マイクロコントローラーを活用して追加の制御機能を提供する組み込みシステムを対象としています。Figure 1に、EZ-PD™ PMG1 ファミリのセグメンテーションを示します。

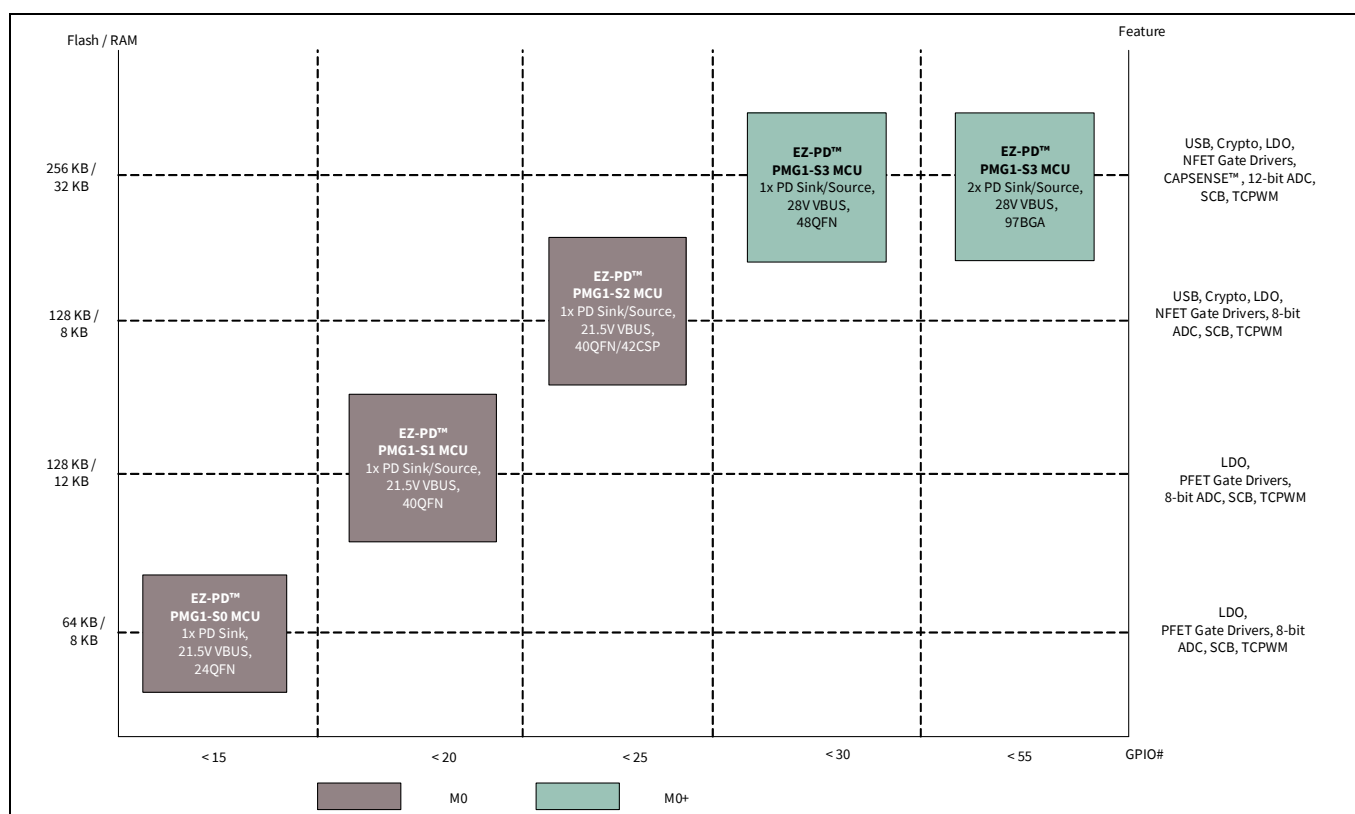


Figure 1 EZ-PD™ PMG1 ファミリー セグメンテーション

EZ-PD™ PMG1 ファミリの概要

Table 1 に EZ-PD™ PMG1 ファミリのさまざまな MCU の機能の比較を示します。

Table 1 EZ-PD™ PMG1 ファミリのさまざまな MCU の機能の比較

サブシステム または範囲	項目	EZ-PD™ PMG1-S0	EZ-PD™ PMG1-S1	EZ-PD™ PMG1-S2	EZ-PD™ PMG1-S3
CPU および メモリサブ システム	コア	Arm® Cortex®-M0	Arm® Cortex®-M0	Arm® Cortex®-M0	Arm® Cortex®-M0+
	最大周波数 (MHz)	48	48	48	48
	フラッシュ (KB)	64	128	128	256
	SRAM (KB)	8	12	8	32
パワー デリバリー	パワー デリバリー ポート	1	1	1	48-QFN の場合は 1 ポート 97-BGA の場合は 2 ポート
	ロール	シンク	DRP	DRP	DRP
	MOSFET ゲート ドライバ	1x PFET	2x PFET	2x NFET	柔軟な 2x NFET
	フォールト保護	VBUS OVP および UVP	VBUS OVP, UVP, および OCP。 SCP および RCP (ソースコン フィギュレー ションのみ)	VBUS OVP, UVP, および OCP	VBUS OVP, UVP, お よび OCP。 SCP および RCP (ソースコンフィ ギュレーションの み)
USB	Billboard クラス をサポートする 統合されたフル スピード USB 2.0 デバイス	無	無	有	有
電圧範囲	電源電圧 (V)	VDDD (2.7 ~ 5.5) VBUS (4 ~ 21.5)	VSYS (2.75 ~ 5.5) VBUS (4 ~ 21.5)	VSYS (2.7 ~ 5.5) VBUS (4 ~ 21.5)	VSYS (2.8 ~ 5.5) VBUS (4 ~ 28)
	IO (V)	1.71 ~ 5.5	1.71 ~ 5.5	1.71 ~ 5.5	1.71 ~ 5.5
デジタル	SCB (I2C/UART/SPI と して設定可能)	2	4	4	48-QFN の場合は 7 (そのうち 5 の みを SPI および UART として設定 可能) 97-BGA の場合は 8
	TCPWM ブロック (タイマー, カウ ンター, パルス幅 変調器として設 定可能)	4	2	4	48-QFN の場合は 7 97-BGA の場合は 8
	ハードウェア 認証ブロック (暗号)	無	無	有 (AES-128/192/25 6, SHA1, SHA2-224, SHA2-256, PRNG, CRC)	有 (AES-128, SHA2-256, TRNG, ベクトルユニッ ト)

EZ-PD™ PMG1 ファミリの概要

Table 1 EZ-PD™ PMG1 ファミリのさまざまな MCU (continued) の機能の比較

サブシステム または範囲	項目	EZ-PD™ PMG1-S0	EZ-PD™ PMG1-S1	EZ-PD™ PMG1-S2	EZ-PD™ PMG1-S3
アナログ	ADC	2x 8 ビット SAR	1x 8 ビット SAR	2x 8 ビット SAR	2x 8 ビット SAR 1x 12 ビット SAR
	内蔵温度 センサー	有	有	有	有
ダイレクト メモリアク セス (DMA)	DMA	無	無	無	有
GPIO	I/O の最大数	12(10+2 OVT)	17(15+2 OVT)	20(18+2 OVT)	48-QFN の場合は 26 (24+2 OVT) 97-BGA の場合は 50 (48+2 OVT)
充電規格	充電ソース	-	BC 1.2, AC	BC 1.2, AC	BC 1.2, AC, AFC お よび Quick Charge 3.0
	充電シンク	BC 1.2, Apple Charging (AC)	BC 1.2, AC	BC 1.2, AC	BC 1.2, AC
ESD 保護	ESD 保護	有 (最大 ±8kV 接 触放電, 最大 ±15kV 空中放電, 人体モデル (HBM) とデバイ ス帯電モデル (CDM))	有 (HBM と CDM)	有 (最大 ±8kV 接 触放電, 最大 ±15kV 空中放電, 人体モデルとデ バイス帯電モデ ル)	有 (HBM と CDM)
パッケージ	パッケージ オプ ション	24-QFN (4x4mm, 0.5mm ピッチ)	40-QFN (6x6mm, 0.5mm ピッチ)	40-QFN (6x6mm, 0.5mm ピッチ) 42-CSP(2.63x3.18 mm, 0.4mm ピッ チ)	48-QFN (6x6mm, 0.5mm ピッチ) 97-BGA (6x6mm, 0.5mm および 0.65mm ピッチ)

本書の残りの部分では、EZ-PD™ PMG1-S2 デバイスについて詳しく説明します。

EZ-PD™ PMG1-S2 の概要

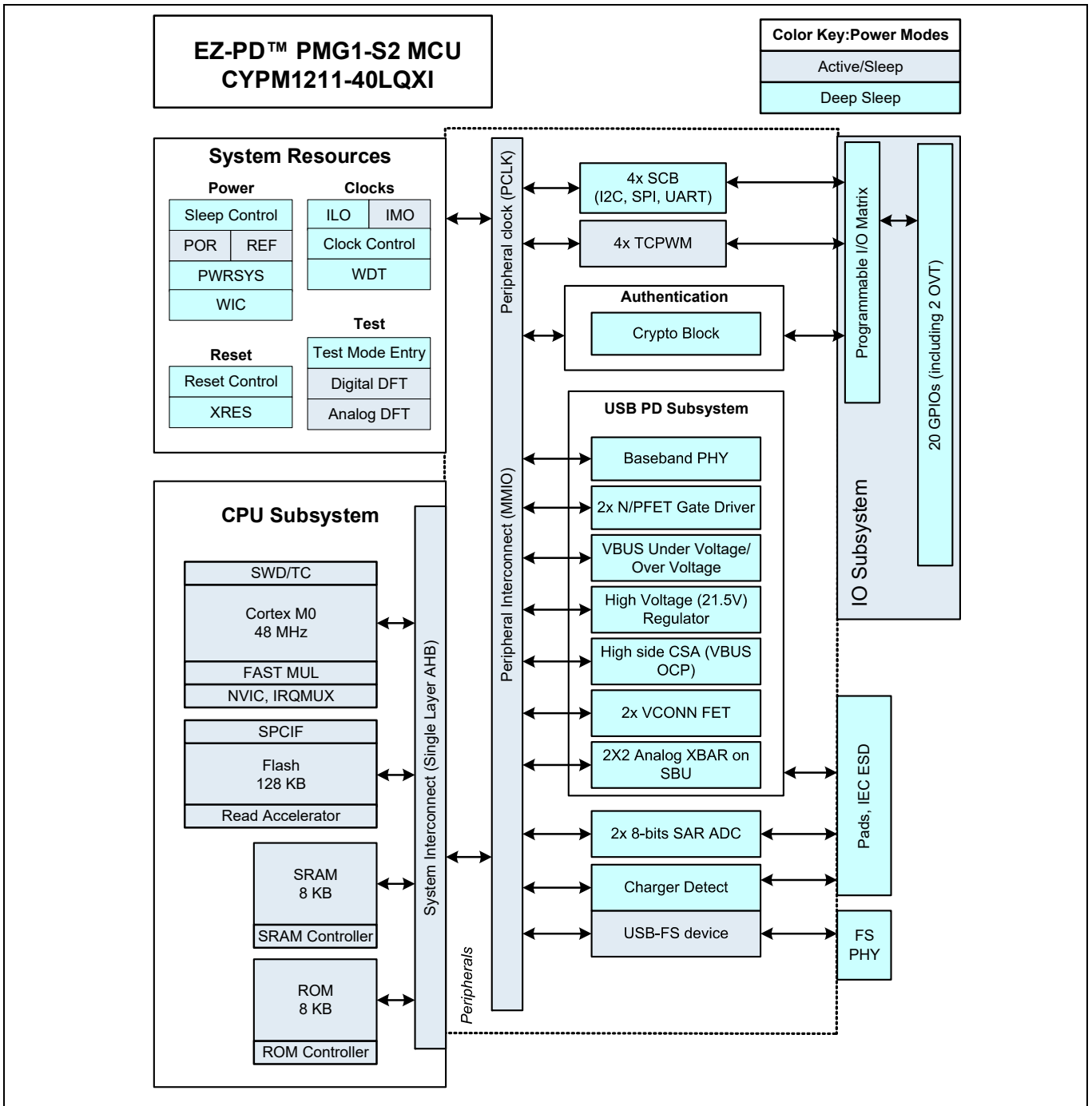
EZ-PD™ PMG1-S2 は、128KB フラッシュ、8KB SRAM、20 個の GPIO、フルスピード USB デバイス コントローラー、認証用暗号化エンジン、20V トレラントレギュレータ、および 5V (VCONN) 電源を切り替える 1 対の FET を持っています。また、EZ-PD™ PMG1-S2 は外部 VBUS FET およびシステム レベル ESD 保護を制御するための 2 対のゲートドライバも統合しています。EZ-PD™ PMG1-S2 は 40-QFN パッケージで提供されています。

特長

- Type-C および USB PD のサポート
 - 1 個の USB Type-C ポートに対応
 - 統合された USB パワー デリバリー 3.0 のサポート
 - 内蔵された USB PD BMC トランシーバ
 - 内蔵 VCONN FET
 - コンフィギュレーション可能な R_p と R_D
 - デッド バッテリー検出のサポート
 - 高速ロール スワップと拡張データ メッセージの統合
 - 統合されたハードウェア ベースの過電流保護 (OCP) と過電圧保護 (OVP)
- 32 ビット MCU サブシステム
 - 48MHz Arm® Cortex®-M0 CPU
 - 128KB フラッシュ
 - 8KB SRAM
- 内蔵デジタルブロック
 - ハードウェア暗号化ブロックによる認証
 - Billboard クラスをサポートするフルスピード USB デバイス コントローラー
 - USB PD プロトコルが必要とする応答時間要件を満たす統合されたタイマー / カウンター
 - I²C, SPI, または UART 機能を備えた、実行時に再設定可能な 4 個のシリアル通信ブロック (SCB)
- クロックおよび発振器
 - 内蔵発振器により外部クロックが不要
- 電源
 - VSYS(2.7V ~ 5.5V)
 - VBUS (4.0V ~ 21.5V)
 - 外部 VBUS FET スイッチ制御用に 2 個の統合されたデュアル出力ゲート ドライバ
 - GPIO 用の独立した電源電圧ピンにより、I/O 上の 1.71V ~ 5.5V シグナリングが可能
 - リセット : 30μA, ディープスリープ : 30μA, スリープ : 3.5mA
- システム レベル ESD 保護
 - CC, SBU, USBDP, USBDM, および VBUS のピン
 - IEC61000-4-2 レベル 4C に基づいた ±8kV 接触放電および ±15kV 空中放電
- パッケージ
 - 40 ピン QFN および 42 ボール CSP
 - 産業温度範囲 (-40°C ~ +105°C) に対応

ブロック図

ブロック図



目次

目次

EZ-PD™ PMG1 ファミリの概要	1
EZ-PD™ PMG1-S2 の概要	4
特長	4
ブロック図	5
目次	6
1 開発サポート	8
1.1 ドキュメント	8
1.2 オンライン	8
1.3 ツール	8
1.4 ModusToolbox™ 用 Eclipse IDE	9
2 機能概要	10
2.1 CPU およびメモリ サブシステム	10
2.1.1 CPU	10
2.1.2 フラッシュ	10
2.1.3 SRAM	10
2.2 暗号化ブロック	10
2.3 統合された billboard デバイス	10
2.4 USB PD サブシステム (USB PD SS)	10
2.5 フルスピード USB サブシステム	11
2.6 ペリフェラル	11
2.6.1 シリアル通信ブロック (SCB)	11
2.6.2 タイマー / カウンター / PWM (TCPWM) ブロック	12
2.7 GPIO	12
3 電源システム概要	13
4 ピン配置	14
5 アプリケーション図	18
6 電氣的仕様	21
6.1 絶対最大定格	21
6.2 ピンベースの絶対最大定格	22
6.3 デバイスレベルの仕様	24
6.3.1 I/O	26
6.3.2 XRES	27
6.4 デジタル ペリフェラル	28
6.4.1 GPIO ピン用のパルス幅変調 (PWM)	28
6.4.2 I ² C	29
6.5 システム リソース	31
6.5.1 電圧低下 SWD インターフェースのパワーオンリセット (POR)	31
6.5.2 内部主発振器	31
6.5.3 内部低速発振器 - 電源切断	32
6.5.4 ゲートドライバ仕様	33
6.5.5 SBU	34
6.5.6 充電器検出	34
6.5.7 アナログ - デジタル変換器	35
6.5.8 メモリ	36
7 注文情報	37
7.1 注文コードの定義	37
8 パッケージ	38
9 略語	40
10 本書の表記法	43
10.1 測定単位	43

目次

改訂履歴.....	44
免責事項.....	45

1 開発サポート

EZ-PD™ PMG1 ファミリーには、開発プロセスを支援する豊富なドキュメント、開発ツール、およびオンラインリソースが用意されています。詳細については、[EZ-PD™ PMG1 MCU](#) をご覧ください。

1.1 ドキュメント

EZ-PD™ PMG1 ファミリーをサポートするドキュメント一式により、ユーザーは疑問点に対する答えを素早く見つけられます。重要なドキュメントのいくつかをここにリストアップします。

ソフトウェアユーザーガイド : ModusToolbox™ ソフトウェアの使用に関する段階を追った手引書です。ソフトウェア ユーザー ガイドには、ModusToolbox™ ソフトウェアによるビルド プロセスの詳細、ModusToolbox™ ソフトウェアを用いたソース制御の使い方などが記載されています。

コンポーネント データシート : EZ-PD™ PMG1 の柔軟性によって、デバイスが量産に入ってから長い期間の後でも新しいペリフェラル (コンポーネント) を作成できます。コンポーネント データシートには、機能説明、API ドキュメント、推奨サンプルコード、AC/DC 仕様を含む、特定のコンポーネントの選択および使用に必要な情報がすべて記載されています。

アプリケーション ノート : 入門のアプリケーション ノートとハードウェア設計ガイドラインが含まれます。

テクニカルリファレンスマニュアル : テクニカルリファレンスマニュアル (TRM) には、すべての EZ-PD™ PMG1 レジスタの詳細な説明など、EZ-PD™ PMG1 デバイスを使用する際に必要な技術的詳細がすべて記載されています。TRM は [EZ-PD™ PMG1 MCU](#) Web ページのドキュメントセクションにあります。

1.2 オンライン

印刷された資料のほかに、[EZ-PD™ PMG1 MCU フォーラム](#) によって 24 時間 365 日、世界中の他のユーザーや PMG1 の専門家と連絡がとれます。

1.3 ツール

業界標準のコア、プログラミング、およびデバッグ インターフェースを備えた EZ-PD™ PMG1 ファミリーは、開発ツールエコシステムの一部です。

革新的で使いやすい ModusToolbox™ 用 Eclipse IDE、サポートされるサードパーティーのコンパイラ、プログラマ、デバッガ、および開発キットの最新情報については、[ModusToolbox™ ソフトウェア](#) をご覧ください。

開発サポート

1.4 ModusToolbox™ 用 Eclipse IDE

ModusToolbox™ は、Windows, macOS, および Linux プラットフォームで実行される Eclipse ベースの開発環境であり、ModusToolbox™ 用 Eclipse IDE を含みます。ModusToolbox™ 用 Eclipse IDE はアプリケーションを構築するために、いくつかのデバイスリソース、ミドルウェア、およびファームウェアを組み合わせます。ModusToolbox™ ソフトウェアを使用すると、デバイスリソースとミドルウェアライブラリを有効にして設定し、C/C++/アセンブリのソースコードを記述し、デバイスをプログラムしてデバッグできます。

ModusToolbox™ ソフトウェアの使用の詳細については、refer to [AN232553 - Getting started with EZ-PD™ PMG1 MCU on ModusToolbox™ software](#) および ModusToolbox™ ソフトウェアに統合されたドキュメントとヘルプを参照してください。Figure 2 に示すように、ModusToolbox™ 用 Eclipse IDE では以下のことができます。

1. キットまたはデバイスでフィルターされるテンプレート アプリケーションのリストに基づいて新しいアプリケーションを作成するか、サンプルコードのコレクションをオンラインで閲覧する
2. Device Configurator でデバイス リソースを設定して、ワークスペースでハードウェアシステム設計を構築する
3. ソフトウェア コンポーネントまたはミドルウェアを追加する
4. アプリケーションファームウェアを開発する

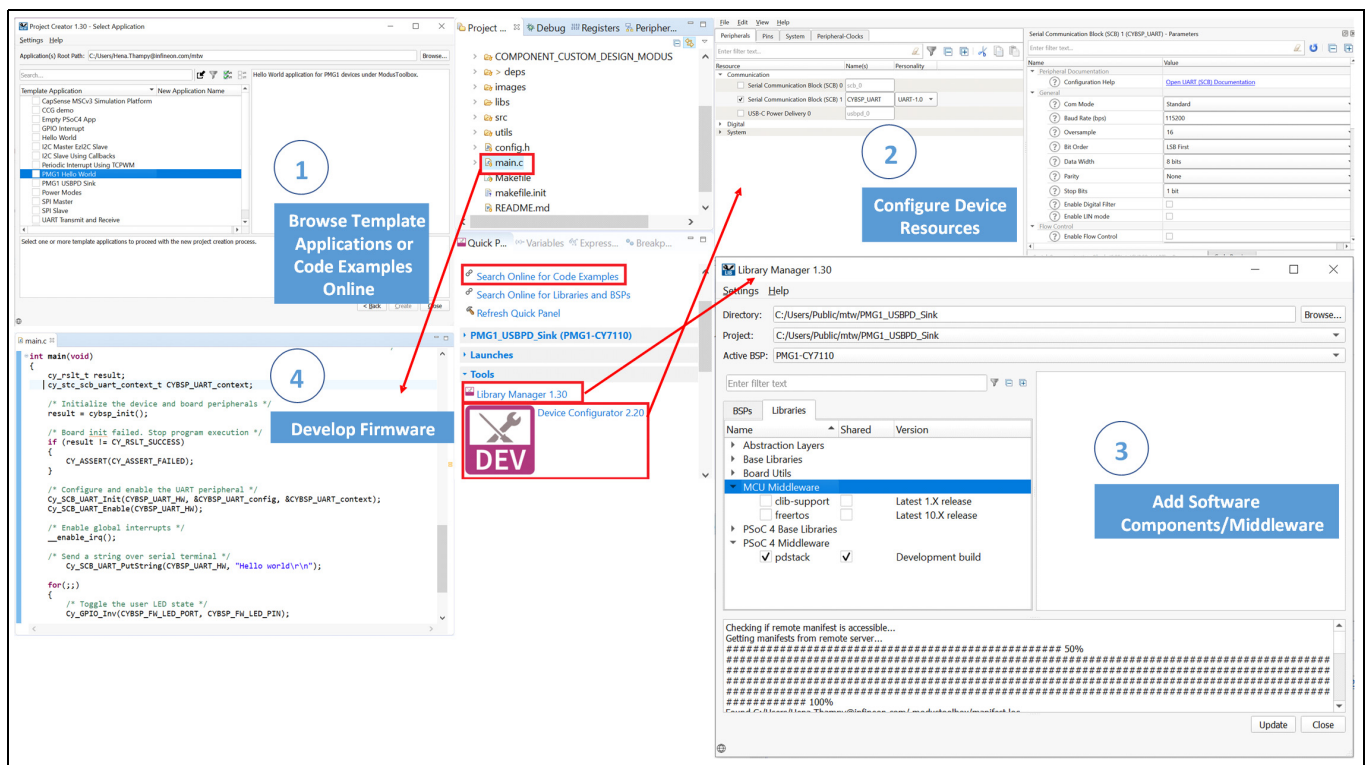


Figure 2 ModusToolbox™ 用 Eclipse IDE およびミドルウェア

2 機能概要

2.1 CPU およびメモリ サブシステム

2.1.1 CPU

EZ-PD™ PMG1-S2 内の Cortex®-M0 CPU 32 ビット MCU サブシステムの一部であり、広範なクロックゲーティングに対応した低消費電力動作に最適化されています。ほとんどの場合、これは 16 ビット命令を使用し、Thumb-2 命令セットのサブセットを実行します。インフィニオンは本製品に、1 サイクルで 32 ビットの結果を出すハードウェア乗算器を実装しています。これは、32 の割込み入力を備えたネスト型ベクタ割込みコントローラー (NVIC) ブロックとウェイクアップ割込みコントローラー (WIC) を含みます。WIC はディープスリープモードからプロセスを復帰させることが可能です。これにより、チップがディープスリープモードにあるときにメイン プロセッサへの電源を切れます。Cortex®-M0 CPU はマスク不可割込み (NMI) 入力を提供します。これは、ユーザーが要求したシステム機能に使用されていないとき、ユーザーによって使用できます。

CPU はまた、2 線式 JTAG のシリアルワイヤデバッグ (SWD) インターフェースも備えています。EZ-PD™ PMG1-S2 に使用するデバッグコンフィギュレーションには、4 個のブレークポイント (アドレス) コンパレータと 2 個のウォッチポイント (データ) コンパレータがあります。

2.1.2 フラッシュ

EZ-PD™ PMG1-S2 デバイスは、フラッシュブロックからの平均アクセス時間を改善するために CPU に密結合されたフラッシュアクセラレータと、2 つの 64KB バンクを備えたフラッシュモジュールを持っています。フラッシュブロックは、48MHz では 1 ウェイトステート (WS) アクセス時間、24MHz では 0 WS アクセス時間に対応しています。フラッシュアクセラレータは、シングルサイクル SRAM のアクセス性能の平均 85% を達成します。

2.1.3 SRAM

ブートおよびコンフィギュレーションルーチンを含む監視 ROM が提供されます。

2.2 暗号化ブロック

EZ-PD™ PMG1-S2 は、ファームウェアイメージのハードウェアによる認証のための暗号化ブロックを搭載しています。信頼できるエコシステムでファームウェアのフィールドでのアップグレードもサポートします。EZ-PD™ PMG1-S2 暗号化ブロックは暗号化機能を提供しています。それは高度暗号化標準 (AES) ブロック暗号、セキュアハッシュアルゴリズム (SHA-1 および SHA-2)、巡回冗長検査 (CRC) および疑似乱数生成用のハードウェア加速ブロックを含みます。

2.3 統合された billboard デバイス

EZ-PD™ PMG1-S2 には、Billboard クラスのデバイスとして機能できる完全なフルスピード USB 2.0 デバイスコントローラーが内蔵されています。USB 2.0 デバイスコントローラーは、他のデバイスクラスにも対応できます。

2.4 USB PD サブシステム (USB PD SS)

USB-PD サブシステムには、USB Type-C およびパワーデリバリーに関するすべてのブロックが含まれています。サブシステムには以下のものが含まれます。

- バイフェーズ マーク コーディング (BMC) PHY: 高速ロールスワップ (FRS) 送信および検出機能付き USB-PD トランシーバ
- CC ライン用の VCONN パワー FET
- SBU1/SBU2 および AUX_P/AUX_N のピン間のアナログクロスバースイッチ
- AUX_P/AUX_N ピンのプログラム可能なプルアップ / プルダウン終端抵抗
- ホットプラグ検出 (HPD) プロセッサ
- VBUS_C レギュレータ (20V LDO)

機能概要

- VSYS 電源と VBUS_C レギュレータ出力間の電源スイッチ
- VBUS_C の過電圧 (OV) と低電圧 (UV) の検出器
- 過電流検出用の電流検出アンプ (CSA)
- VBUS_P と VBUS_C 外部パワー FET 用のゲートドライバ
- VBUS_C 放電スイッチ
- USB BC1.2 および他の独自プロトコル用の充電器検出 / エミュレーション
- 2つの 8ビット SAR ADC インスタンス
- 次のピンでの 8kV IEC ESD 保護 : VBUS_C, CC1, CC2, SBU1, SBU2, USBDP, USBDM

EZ-PD™ PMG1-S2 USB PD サブシステムは USB Type-C コネクタのピンにインターフェースで接続します。これは、USB Type-C ベースバンド トランシーバと物理層ロジックを含みます。このトランシーバは BMC および 4b/5b 符号化 / 復号機能だけでなく、1.2V アナログ フロントエンド (AFE) も統合しています。このサブシステムは、UFP/DFP ロール用の R_p と R_D を含む、EZ-PD™ PMG1-S2 デバイスのロールを識別するために必要な終端抵抗を統合しています。これは VCONN 電源を VCONN_Source ピンから CC1/CC2 ピンに供給するためのパワー FET も内蔵しています。アナログ クロスバーはディスプレイポート サイドバンド シグナリングをサポートするために、SBU1/SBU2 ピンのいずれかを AUX_P/AUX_N ピンのいずれかに接続することを有効にします。統合された HPD プロセッサは、ディスプレイポートのソースまたはシンクの HPD 信号を制御または監視するために使用できます。

過電圧 / 低電圧 (OV/UV) ブロックは、VBUS_C 電源電圧のプログラム可能な過電圧および低電圧の状態を監視します。CSA は外部 DC-DC VBUS 電源コンバータから消費される電流に比例する外付け検出抵抗の両端の電圧を増幅します。CSA 出力は、ADC で測定するか、または過電流状態を検出するために構成できます。VBUS_P と VBUS_C ゲートドライバは、VBUS_C と VBUS_P 電源電圧用の外部パワー FET のゲートを制御します。ゲートドライバは、P 型と N 型両方の外部パワー FET をサポートするために構成できます。ゲートドライバは、デフォルトで N 型 FET デバイス用に構成されています。P 型 FET を使用するアプリケーションでは、ゲートドライバを適切に構成する必要があります。OV/UV および CSA ブロックは、プログラムされた過電圧および過電流状態でパワー FET を自動的にオフにするための割込みを生成できます。VBUS_C 放電スイッチは、外付け抵抗を介して VBUS_C ラインを放電できます。

USB-PD サブシステムは、アナログ - デジタル変換用の 2 個の 8ビット 125ksps 逐次比較レジスタ (SAR) ADC も含みます。ADC の電圧リファレンスは、VDDD 電源から生成されます。それぞれの ADC は 8ビット DAC とコンパレータを含みます。DAC 出力はコンパレータの非反転入力となります。コンパレータの反転入力は、4 入力マルチプレクサからのものです。マルチプレクサの 4 本の入力は、1 対のグローバルアナログ マルチプレクサバス、内部バンドギャップ電圧、および絶対温度に比例する内部電圧です。各 GPIO ピンは、スイッチを介してグローバルアナログ マルチプレクサバスに接続でき、いずれの ADC もピン電圧をサンプリングできるようにします。ADC で GPIO ピンの電圧を検出するとき、そのピン電圧は VDDIO 電源電圧を超えられません。

2.5 フルスピード USB サブシステム

FSUSB サブシステムは**統合された billboard デバイス**に説明するように、フルスピード USB デバイス コントローラーを含みます。

2.6 ペリフェラル

2.6.1 シリアル通信ブロック (SCB)

EZ-PD™ PMG1-S2 は I²C, SPI, または UART インターフェースを実装するように設定できる 4 個の SCB を内蔵しています。ハードウェア I²C ブロックは、マルチマスタ アービトレーションが可能なフル マルチマスタおよびスレーブ インターフェースを実装します。SPI モードでは、SCB ブロックはマスタまたはスレーブとして動作するように設定できます。

I²C モードでは、SCB ブロックは最大 1Mbps (ファストモード プラス) で動作でき、CPU の割込みオーバーヘッドとレイテンシを削減するためにバッファリング オプションを柔軟に選択できます。これらのブロックはまた、EZ-PD™ PMG1-S2 のメモリにメールボックス アドレス範囲を作る I²C に対応しており、メモリ アレイへの読み書きをする I²C 通信を効果的に縮小します。さらに、送受信の深さ 128 の FIFO

機能概要

にも対応しています。これは、CPU がデータを読み出す時間を増加させて、CPU が時間どおりにデータを読み出せないことに起因したクロックストレッチの必要性を大幅に低減します。

I²C ペリフェラルは NXP I²C バスの仕様とユーザー マニュアル (UM10204) で定義されているとおりに I²C 標準モード、ファストモード、およびファストモードプラスのデバイスと互換性があります。

I²C バス I/O は、オープンドレインモードの GPIO で実装されます。

以下の点では、EZ-PD™ PMG1-S2 の SCB1 ~ 3 ブロック上の I²C ポートは I²C 仕様に完全に準拠していません。

- SCB1 の I²C ポート用の GPIO セルは、過電圧耐性がないため、I²C システムの残りの部分から独立してホットスワップや電源投入できません。
- ファストモードプラスの I_{OL} 仕様は、V_{OL} 0.4V で 20mA です。GPIO セルは V_{OL} 最大値 0.6V で I_{OL} 最大値は 8mA です。
- ファストモードとファストモードプラスは、GPIO セルで満たせない最小立ち下り時間の仕様があります。低速ストロングモードはバス負荷によってはこの仕様を満たすことがあります。

2.6.2 タイマー / カウンター / PWM (TCPWM) ブロック

EZ-PD™ PMG1-S2 には 4 個の TCPWM ブロックがあります。各 TCPWM ブロックは、16 ビットタイマー、カウンタ、パルス幅変調器 (PWM)、および直交デコーダ機能を実装します。

2.7 GPIO

EZ-PD™ PMG1-S2 には、最大 20 個の GPIO (GPIO, SCB, SBU, Aux 信号用に設定可能) および GPIO として使用できる SWD ピンがあります。SCB0 からの I²C ピンは過電圧耐性があります。

GPIO ブロックは以下を実装します。

- 7 つの駆動強度モード
 - 入力のみ
 - 弱プルアップ、強プルダウン
 - 強プルアップ、弱プルダウン
 - オープンドレイン、強プルダウン
 - オープンドレイン、強プルアップ
 - 強プルアップ、強プルダウン
 - 弱プルアップ、弱プルダウン
- 入力閾値選択 (CMOS または LVTTTL)
- 駆動強度モード以外に、入力と出力バッファのイネーブル / ディセーブルの個別制御
- 前の状態をラッチするための保持モード (ディープスリープモードで I/O 状態を維持するため)
- EMI を改善するための dV/dt 関連のノイズ制御用の選択可能なスルーレート

電源投入とリセットの間、I/O ピンは無効状態になり、入力に過電流を与えず、過剰なターンオン電流を発生させないようにします。高速 I/O マトリックスとして知られている多重化ネットワークは、1 本の I/O ピンに接続され得る複数の信号間を多重化するために使用されます。

3 電源システム概要

Figure 3 に、EZ-PD™ PMG1-S2 の電源システム要件の概要を示します。EZ-PD™ PMG1-S2 は VBUS (4.0V ~ 21.5V) または VSYS (2.7V ~ 5.5V) の外部電源から動作できます。VBUS 電源電圧は低ドロップアウトレギュレータ (LDO) によってチップ内で 3.3V レベルに安定化されます。チップ内部の VDDD レールは VBUS レギュレータの出力および非安定化 VSYS の間で切り替えられます。スイッチング電源 VDDD は、一部のアナログブロック内で直接使用されるか、またはレギュレータによってコアの大部分に電源を供給する VCCD にさらに降圧されます。リセットモードの他に、EZ-PD™ PMG1-S2 は 3つの電力モード (アクティブ、スリープ、ディープスリープ) があります。これらの電力モード間の遷移は電源システムによって管理されます。GPIO には、個別のパワードメイン VDDIO が提供されます。レギュレータの出力である VDDD ピンと VCCD ピンは、レギュレータの安定性のみを目的として、1 μ F のコンデンサを接続するために引き出されています。したがって、これらのピンは汎用的な電源としてサポートされていません。EZ-PD™ PMG1-S2 が 3.3V より高い VSYS から電源給電される時、専用 USB レギュレータは USB 動作を許可します。

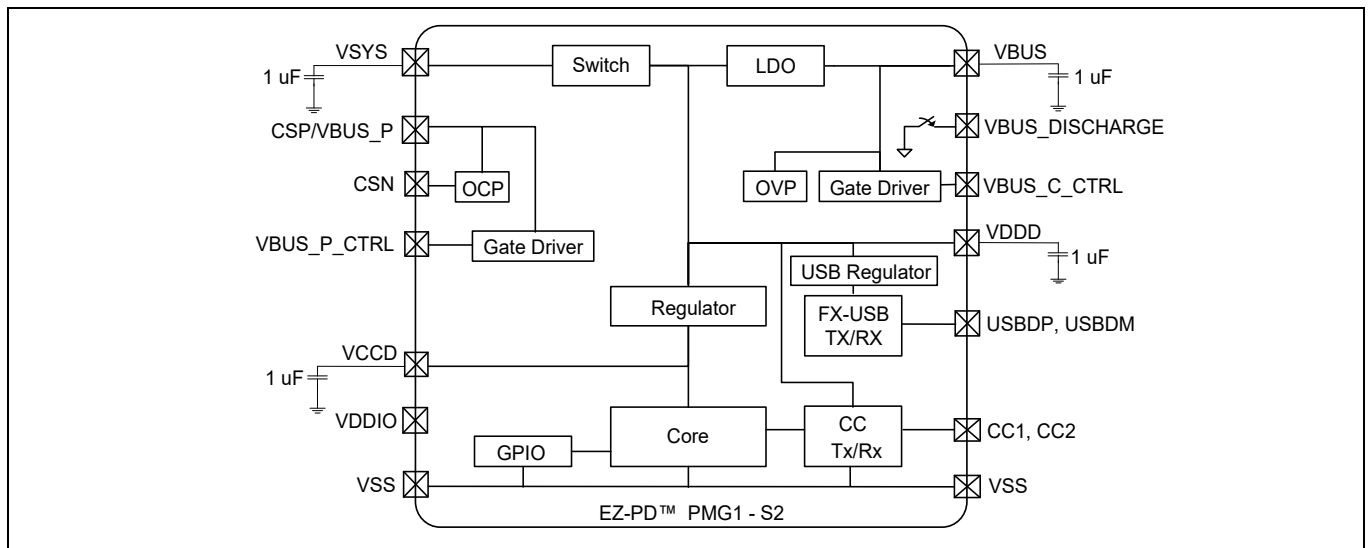


Figure 3 EZ-PD™ PMG1-S2 電源システムのブロック図

Table 2 EZ-PD™ PMG1-S2 電力モード

モード	説明
リセット	電源が有効および XRES はアサートされていない。内部リセットソースはアサートされたか、またはスリープコントローラーがシステムをリセット状態から起動している。
アクティブ	電源が有効および CPU が命令を実行している。
スリープ	電源が有効および CPU が命令を実行していない。電力節約のために、動作中でないすべてのロジックはクロックゲートされる。
ディープスリープ	主レギュレータおよびほとんどのハード IP がオフにされる。ディープスリープレギュレータがロジックに電源を供給するが、低速クロックのみ利用可能。

ピン配置

4 ピン配置

Table 3 EZ-PD™ PMG1-S2 CYPM1211-40LQXI のピン説明

グループ	40ピン QFN	42ボール CSP	ピン名	説明
GPIO および シリアル インター フェース	7	F6	P1.0/UART_2_TX/SPI_2_MISO	GPIO/UART_2_TX/SPI_2_MISO
	8	D5	P1.1/UART_2_RX/SPI_2_SEL	GPIO/UART_2_RX/SPI_2_SEL
	9	E5	P1.2/UART_0_RX/ UART_3_CTS/SPI_3_MOSI/ I2C_3_SCL	GPIO/UART_0_RX/UART_3_CTS/SPI_3_MOSI/I2C_3_SCL
	10	G6	P1.3/UART_0_TX/ UART_3_RTS/SPI_3_CLK/ I2C_3_SDA	GPIO/UART_0_TX/UART_3_RTS/SPI_3_CLK/I2C_3_SDA
	11	E4	P1.6/AUX_P/UART_1_TX/ SPI_1_MISO	ディスプレイポート AUX_P 信号 /GPIO/UART_1_TX/SPI_1_MISO
	12	F5	P1.4/SBU1/UART_3_TX/ SPI_3_MISO	USB Type-C SBU1 信号 /GPIO/UART_3_TX/SPI_3_MISO
	13	G5	P1.5/SBU2/UART_3_RX/ SPI_3_SEL	USB Type-C SBU2 信号 /GPIO/UART_3_RX/SPI_3_SEL
	14	G4	P1.7/AUX_N/UART_1_RX/ SPI_1_SEL	ディスプレイポート AUX_N 信号 /GPIO/UART_1_RX/SPI_1_SEL
	15	F4	P2.0/SWD_IO/UART_1_CTS/ SPI_1_CLK/I2C_1_SCL	GPIO / SWD_IO/UART_1_CTS/SPI_1_CLK/ I2C_1_SCL
	16	G3	P2.1/SWD_CLK/UART_1_RTS/ SPI_1_MOSI/I2C_1_SDA	GPIO/SWD_CLK/ UART_1_RTS/SPI_1_MOSI/ I2C_1_SDA
	23	E2	P2.4	GPIO
	24	D3	P2.5/UART_0_TX/SPI_0_MOSI	GPIO/UART_0_TX/SPI_0_MOSI
	25	D2	P2.6/UART_0_RX/SPI_0_CLK	GPIO/UART_0_RX/SPI_0_CLK
	27	C3	P0.0/GPIO_OVT/ UART_0_CTS/ SPI_0_SEL/I2C_0_SDA	P0.0/GPIO_OVT/UART_0_CTS/SPI_0_SEL/I2C_0_SDA/ TCPWM_line_0
	28	C2	P0.1/GPIO_OVT/ UART_0_RTS/SPI_0_MISO/ I2C_0_SCL	P0.1/GPIO_OVT/UART_0_RTS/SPI_0_MISO/ I2C_0_SCL/TCPWM_line_1
	34	A2	P3.2	GPIO/TCPWM_line_0
	35	B2	P3.3	GPIO/TCPWM_line_1
	36	B3	P3.4/UART_2_CTS/SPI_2_MOSI/ I2C_2_SDA	GPIO/UART_2_CTS/SPI_2_MOSI/I2C_2_SDA/TCPWM_line_2
	37	A3	P3.5/ UART_2_RTS/SPI_2_CLK/ I2C_2_SCL	GPIO/UART_2_RTS/SPI_2_CLK/I2C_2_SCL/TCPWM_line_3
38	B4	P3.6	GPIO	
USB FS	21	F1	USBDP	USB 2.0 DP
	22	E1	USBDM	USB 2.0 DM
USB Type-C	3	B6, C5	CC2	USB PD コネクタ検出 / コンフィギュレーション チャンネル 2
	5	C6, D6	CC1	USB PD コネクタ検出 / コンフィギュレーション チャンネル 1

ピン配置

Table 3 EZ-PD™ PMG1-S2 CYPM1211-40LQXI のピン説明 (continued)

グループ	40ピン QFN	42ボール CSP	ピン名	説明
VBUS	1	A5	VBUS_P_CTRL1	プロデューサスイッチのVBUSゲートドライバコントロール1
	2	A6	VBUS_P_CTRL0	プロデューサスイッチのVBUSゲートドライバコントロール0
	29	C1	VBUS_C_CTRL1	コンシューマスイッチのVBUSゲートドライバコントロール1
	30	C4	VBUS_C_CTRL0	コンシューマスイッチのVBUSゲートドライバコントロール0
	32	A1	VBUS_DISCHARGE	VBUS 放電制御出力
VBUS OCP/SCP/ RCP	39	A4	CSN	電流センス負入力
	40	B5	CSP/VBUS_P	VBUS プロデューサ入力。このピンを CSN ピンよりも高い電位に接続
リセット	26	D1	XRES	外部リセット入力。内部で VDDIO にプルアップ。
電源	4	D4	VCONN_Source	VCONN FET 用入力電源電圧 VCONN > 4.75V @ 1.5W 供給用の VCONN_Source = 5.0V ~ 5.5V VCONN > 3.00V @ 1W 供給用の VCONN_Source = 3.5V ~ 5.5V
	17	G2	VDDD	VDDD 電源入力 / 出力 (2.7V ~ 5.5V)
	18	F3	VDDIO	I/O 用の 1.71V ~ 5.5V 電源。グローバルアナログマルチプレクサバスにも電力供給。
	19	F2	VCCD	フィルターコンデンサ用の 1.8V レギュレータ出力
	20	G1	VSYS	システム電源 (2.7V ~ 5.5V)
	31	B1	VBUS	VBUS 入力
GND	33	E3	VSS	グラウンド電源 (GND)
	EPAD			
NC	6	E6	NC	未接続

ピン配置

Table 4 SCB および それらの機能

ポート	40ピン QFN	42ボール CSP	SCB 機能		
ピン	ピン番号	ピン番号	UART	SPI	I2C
P0.0	27	C3	UART_0_CTS	SPI_0_SEL	I2C_0_SDA
P0.1	28	C2	UART_0_RTS	SPI_0_MISO	I2C_0_SCL
P1.0	7	F6	UART_2_TX	SPI_2_MISO	-
P1.1	8	D5	UART_2_RX	SPI_2_SEL	-
P1.2	9	E5	UART_0_RX UART_3_CTS	SPI_3_MOSI	I2C_3_SCL
P1.3	10	G6	UART_0_TX UART_3_RTS	SPI_3_CLK	I2C_3_SDA
P1.4	12	F5	UART_3_TX	SPI_3_MISO	-
P1.5	13	G5	UART_3_RX	SPI_3_SEL	-
P1.6	11	E4	UART_1_TX	SPI_1_MISO	-
P1.7	14	G4	UART_1_RX	SPI_1_SEL	-
P2.0	15	F4	UART_1_CTS	SPI_1_CLK	I2C_1_SCL
P2.1	16	G3	UART_1_RTS	SPI_1_MOSI	I2C_1_SDA
P2.5	24	D3	UART_0_TX	SPI_0_MOSI	-
P2.6	25	D2	UART_0_RX	SPI_0_CLK	-
P3.4	36	B3	UART_2_CTS	SPI_2_MOSI	I2C_2_SDA
P3.5	37	A3	UART_2_RTS	SPI_2_CLK	I2C_2_SCL

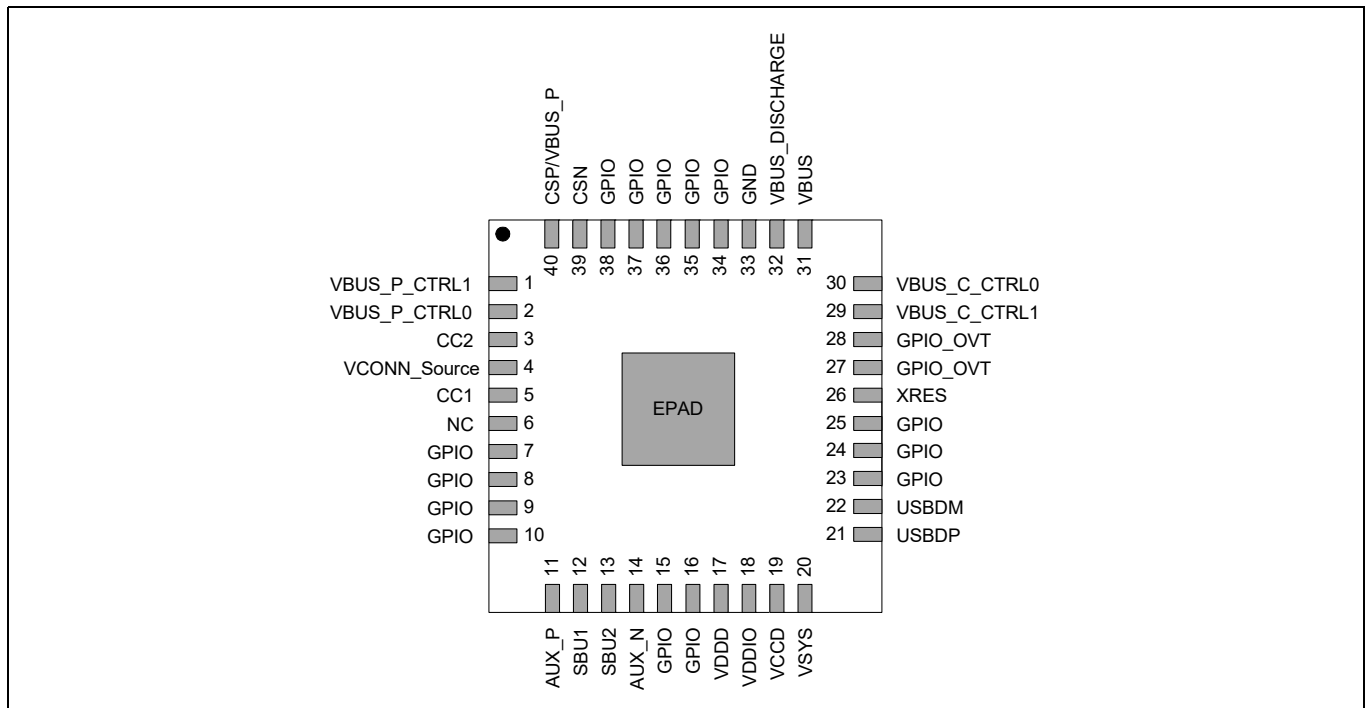


Figure 4 40-QFN パッケージのピン配置 (上面図)

ピン配置

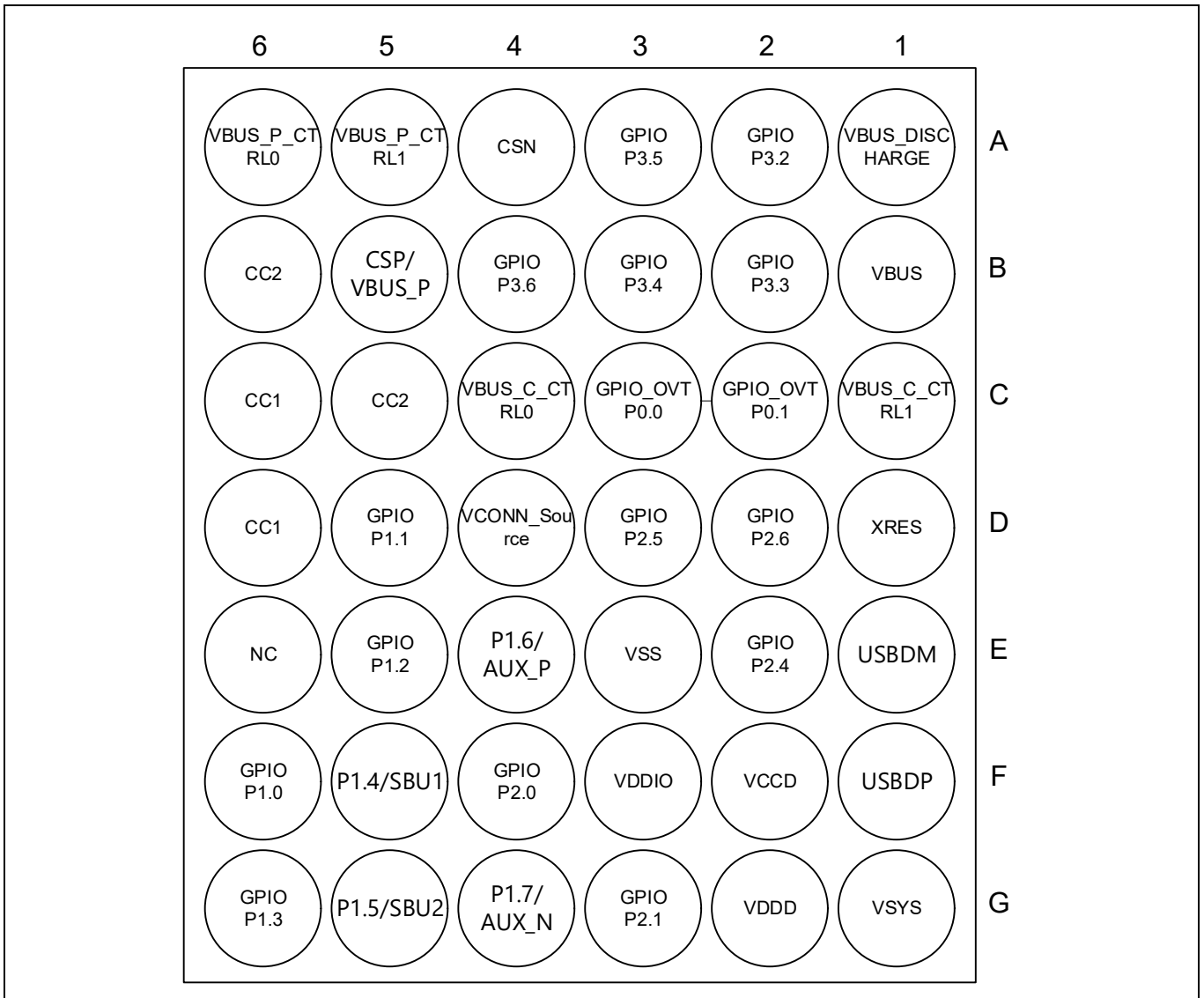


Figure 5 42-WLCSP 底面のピン配置 (ボールが上)

5 アプリケーション図

Figure 6 に、EZ-PD™ PMG1-S2 を使用したパワー シンク アプリケーションを示します。このアプリケーションでは、Type-C レセプタクルは電力を消費するために使用されます。EZ-PD™ PMG1-S2 デバイスは、Type-C レセプタクルに接続されたソース デバイスとパワー コントラクトをネゴシエートします。また、コンシューマパスの FET を制御および駆動し、Type-C VBUS ライン上の過電圧 / 低電圧の状態を監視します。

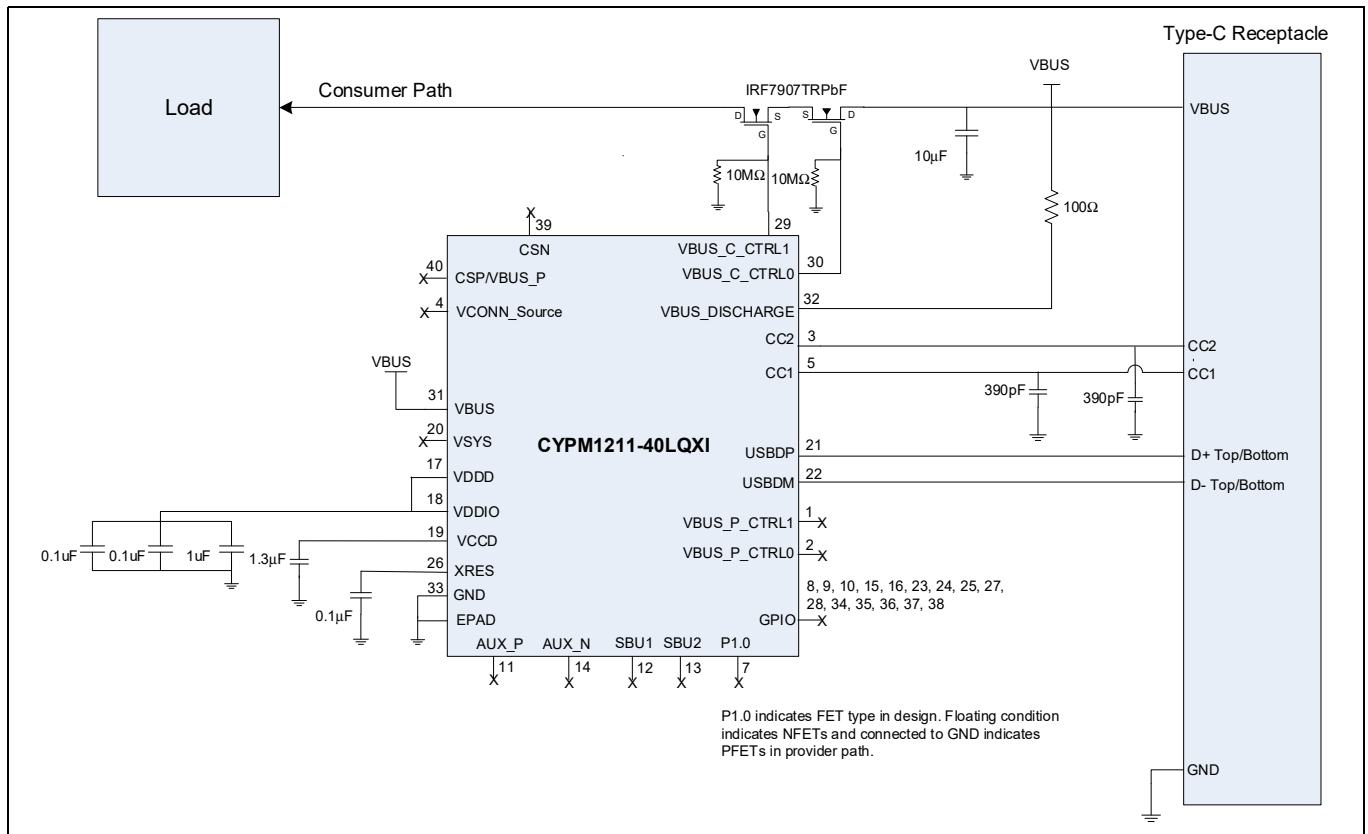


Figure 6 EZ-PD™ PMG1-S2 ベースのシンク アプリケーション図

Figure 7 に、EZ-PD™ PMG1-S2 デバイスを使用したパワー ソースのアプリケーション図を示します。このアプリケーションでは、EZ-PD™ PMG1-S2 は DFP (電力プロバイダ) のみとして使用します。パワー ソース アプリケーションでサポートできる最大パワー プロファイルは、最大 20V、100W です。PMG1-S2 は両タイプの FET を駆動でき、GPIO P1.0 (フローティングまたは接地) の状態は電力プロバイダパスで使用されている FET (N-MOS または P-MOS FET) のタイプを示します。電源アダプタケーブルを取り外したとき、VBUS を迅速に放電するために、EZ-PD™ PMG1-S2 デバイスの VBUS_DISCHARGE ピンに接続された抵抗を使用して放電パスを構成します。

Type-C ポートの VBUS 電圧は、低電圧および過電圧の状態を検出するために、内部回路を使用して監視されます。VBUS の過電流は、「CSN」ピンと「CSP/VBUS_P」ピンの間に接続された 10mΩ の検出抵抗を通過する電流を検知することによって検出されます。VBUS ライン上のこれらの障害のいずれかは、高電圧ゲートドライバ出力 (VBUS_P_CTRL0 および VBUS_P_CTRL1 ピン) で制御されるプロバイダパス FET を使用することで、VBUS プロバイダパスをオフにするためにさらに使用できます。

EZ-PD™ PMG1-S2 デバイスはまた、Type-C レセプタクルの D+ と D- のラインを介して独自の充電プロトコルをサポートできます。EZ-PD™ PMG1-S2 デバイスの VCONN_Source ピンに 5V 電源を供給することによ

アプリケーション図

り、デバイスは Type-C コネクタの CC1 または CC2 のピンのいずれかを介して VCONN 電源を供給することもできます。

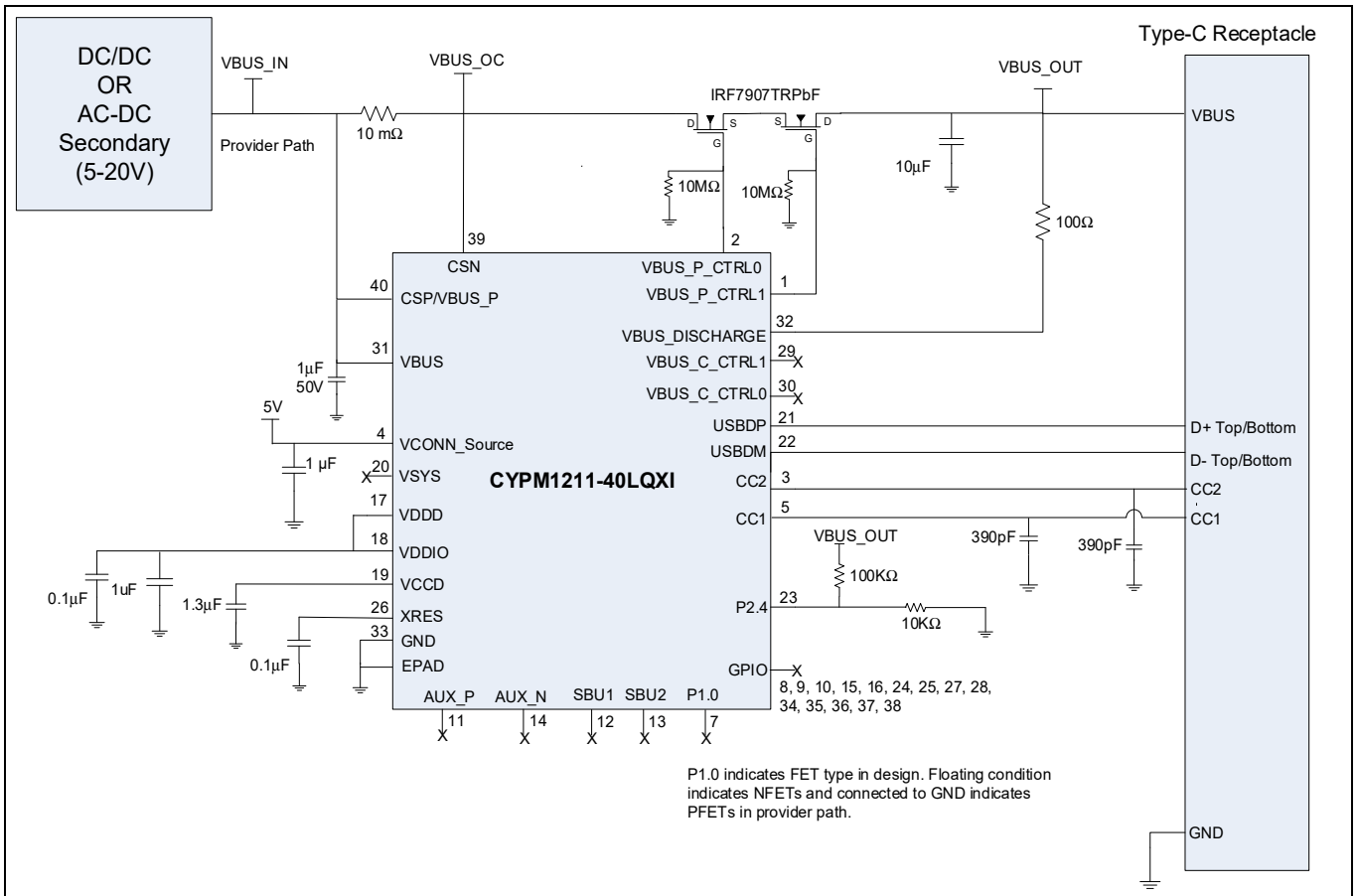


Figure 7 EZ-PD™ PMG1-S2 ベースのソース アプリケーション図

アプリケーション図

Figure 8 に、EZ-PD™ PMG1-S2 デバイスを使用した DRP アプリケーション図を示します。Type-C ポートは電力プロバイダおよび電力コンシューマとして使用できます。

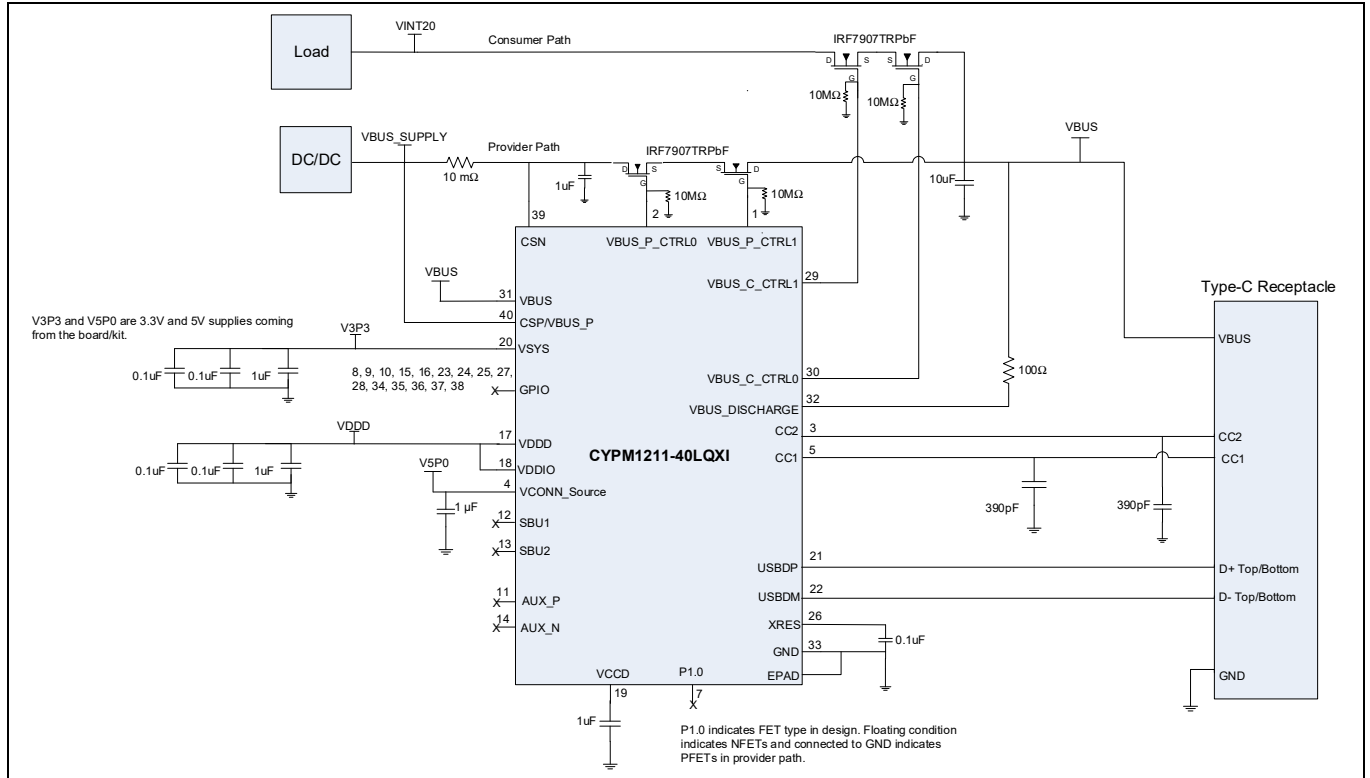


Figure 8 EZ-PD™ PMG1-S2 ベースの DRP アプリケーション図

電氣的仕様

6 電氣的仕様

6.1 絶対最大定格

Table 5 絶対最大定格^[1]

パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件	
V _{SYS_MAX}	V _{SS} を基準にしたデジタル電源電圧	-	-	6	V ^[2]	絶対最大値	
V _{CONN_SOURCE_MAX}	V _{SS} を基準にした最大電源電圧	-	-	6	V		
V _{BUS_MAX_ON}	V _{SS} を基準にした最大電源電圧。V _{BUS} レギュレータが有効。	-	-	26	V		
V _{BUS_MAX_OFF}	V _{SS} を基準にした最大電源電圧。V _{BUS} レギュレータが100%の時間有効。	-	-	24.5	V		
	V _{SS} を基準にした最大電源電圧。V _{BUS} レギュレータが25%の時間有効。	-	-	26	V		
V _{DDIO_MAX}	V _{SS} を基準にした最大電源電圧。	-	-	6	V		
V _{GPIO_ABS}	GPIO 電圧	-0.5 ^[3]	-	V _{DDIO} + 0.5	V		
V _{GPIO_OVT_ABS}	OVT GPIO 電圧	-0.5	-	6	V		
I _{GPIO_ABS}	GPIO ごとの最大電流	-25	-	25	mA		
V _{CC_ABS}	CC1 と CC2 ピンの最大電圧	-	-	6	V		
I _{GPIO_INJECTION}	GPIO 注入電流。V _{IH} > V _{DDD} の場合は Max、V _{IL} < V _{SS} の場合は Min	-0.5	-	0.5	mA		絶対最大値、ピンごとの注入された電流
ESD_HBM	静電気放電 (人体モデル) (ESD-HBM)	2200	-	-	V		-
ESD_CDM	静電気放電 (デバイス帯電モデル) (ESD-CDM)	500	-	-	V		-
LU	ラッチアップ時のピン電流	-100	-	100	mA	125°C でテスト済み	
ESD_IEC_CON	静電気放電 (IEC61000-4-2)	8000	-	-	V	CC1, CC2, VBUS, USBDP, USBDM, SBU1 および SBU2 ピンの接触放電	
ESD_IEC_AIR	静電気放電 (IEC61000-4-2)	15000	-	-	V	CC1, CC2, VBUS, USBDP, USBDM, SBU1 および SBU2 ピンの空中放電	

注:

- Table 5 に記載されている絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響する可能性があります。最大保管温度は JEDEC 標準「JESD22-A103、High Temperature Storage Life」に準拠した 150°C です。絶対最大条件以下で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様に従って動作しない可能性があります。
- 特に指定がない限り、すべての電圧はグラウンドを基準にしています。
- システムでは、負のスパイクがここで指定された最小電圧を超える場合は、ショットキーダイオードを追加して負のスパイクをクランプすることを推奨します。

電氣的仕様

6.2 ピンベースの絶対最大定格

Table 6 ピンベースの絶対最大定格

No.	ピン (40 QFN)	ピン (42 CSP)	名称	絶対 最小値 (V)	絶対 最大値 (V)	備考
1	7	F6	P1.0	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
2	8	D5	P1.1	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
3	9	E5	P1.2	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
4	10	G6	P1.3	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
5	11	E4	P1.6	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
6	12	F5	P1.4	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
7	13	G5	P1.5	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
8	14	G4	P1.7	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
9	15	F4	P2.0	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
10	16	G3	P2.1	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
11	23	E2	P2.4	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
12	24	D3	P2.5	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
13	25	D2	P2.6	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
14	27	C3	P0.0	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
15	28	C2	P0.1	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
16	34	A2	P3.2	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
17	35	B2	P3.3	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
18	36	B3	P3.4	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
19	37	A3	P3.5	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
20	38	B4	P3.6	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
21	21	F1	USB DP	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
22	22	E1	USB DM	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
23	3	B6, C5	CC2	-	6	-
24	5	C6, D6	CC1	-	6	-
25	1	A5	VBUS_P_CTR L1	-0.5	26	-
26	2	A6	VBUS_P_CTR L0	-0.5	26	-
27	29	C1	VBUS_C_CTR L1	-0.5	26	-
28	30	C4	VBUS_C_CTR L0	-0.5	26	-
29	32	A1	VBUS_DISCH ARGE	-	26	-
30	39	A4	CSN	-	26	-
31	40	B5	CSP/VBUS_P	-	26	-
32	26	D1	XRES	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
33	4	D4	VCONN_Sour ce	-	6	-

電氣的仕様

Table 6 ピンベースの絶対最大定格 (continued)

No.	ピン (40 QFN)	ピン (42 CSP)	名称	絶対 最小値 (V)	絶対 最大値 (V)	備考
34	17	G2	VDDD	-	6	これは出力専用ピンです
35	18	F3	VDDIO	-	VDDD	-
36	19	F2	VCCD	-	1.95	これは出力専用ピンです
37	20	G1	VSYS	-	6	-
38	31	B1	VBUS	-	26	-
39	33	E3	VSS	-	-	-
40	EPAD		VSS	-	-	-
41	6	E6	NC	-	-	-

電氣的仕様

6.3 デバイスレベルの仕様

特記のない限り、すべての仕様は $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$ および $T_J \leq 120^{\circ}\text{C}$ の条件で有効です。

Table 7 DC仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PWR#1	VSYS	-	2.7	-	5.5	V	UFP モード
SID.PWR#1_A	VSYS	-	3	-	5.5	V	DFP/DRP または ゲートドライバモード
SID.PWR#23	VCONN	電源入力電圧	2.7	-	5.5	V	-
SID.PWR#13	VDDIO	IO 電源電圧	1.71	-	5.5 ^[4]	V	$2.7\text{V} < \text{VDDD} < 5.5\text{V}$
SID.PWR24	VCCD	コア ロジック用の出力電圧	-	1.8	-	V	-
SID.PWR#4	IDD	供給電流	-	25	-	mA	VSYS または VBUS から VBUS = 5V, $T_A = 25^{\circ}\text{C} / \text{VSYS} = 5\text{V}, T_A = 25^{\circ}\text{C}$ FS USB, CC 入出力が Tx または Rx, I/O ソース電流なし, 2 個の SCB が 1Mbps で動作, CPU が 24MHz で動作
SID.PWR#1_B	VSYS	USB 動作の電源	4.5	-	5.5	V	USB 設定、USB レギュレータが有効
SID.PWR#1_C	VSYS	USB 動作の電源	3.15	-	3.45	V	USB 設定、USB レギュレータが無効
SID.PWR#1_D	VSYS	充電器検出 / エミュレーション動作の電源	3.15	-	5.5	V	$-40^{\circ}\text{C} \sim +85^{\circ}\text{C} T_A$
SID.PWR#27	VBUS	電源入力電圧	3.5	-	21.5	V	FS USB が無効。VBUS < 15mA 時の総消費電流
SID.PWR#28	VBUS	USB 動作の電源入力電圧	4.5	-	21.5	V	FS USB 設定、USB レギュレータが無効
SID.PWR#30	VBUS_P	電源入力電圧	4.00	-	21.5	V	-
SID.PWR#15	C _{efc}	VCCD の外部レギュレータ電圧バイパス	1	1.3	1.6	μF	X5R セラミックまたはこれより良質のもの
SID.PWR#16	C _{exc}	VSYS 用の電源デカップリングコンデンサ	0.8	1	-	μF	X5R セラミックまたはこれより良質のもの

スリープモード。VSYS = 2.7V ~ 5.5V。Typ 値は $V_{DD} = 3.3\text{V}$ および $T_A = 25^{\circ}\text{C}$ で測定

SID25A	I _{DD20A}	CC, I ² C, WDT ウェイクアップが有効。IMO が 48MHz	-	3.5	-	mA	VSYS = 3.3V, $T_A = 25^{\circ}\text{C}$, CPU を除くすべてのブロックがオン, USB はサスペンスモード、I/O ソース電流なし
--------	--------------------	--	---	-----	---	----	---

ディープスリープモード

SID_DS	I _{DD_DS}	VSYS = 3.0 ~ 3.6V。CC 接続, I ² C, WDT ウェイクアップがオン	-	30	-	μA	電源 = VSYS, DFP モード, Type-C 未接続。CC 接続, I ² C および WDT がウェイクアップ用に有効
--------	--------------------	---	---	----	---	----	---

注

4. VDDIO > VDDD の場合、GPIO P2.4 は使用できません。これは未接続にする必要があります。ピン番号は **Table 3** を参照してください。

電氣的仕様

Table 7 DC仕様 (continued)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
XRES 電流							
SID307	I _{DD_XR}	XRES がアサート時の供給電流 XRES 内部プルアップ抵抗に消費される電流は含まれない	-	30	-	μA	電源 = V _{SYS} = 3.3V, Type-C デバイス未接続, T _A = 25°C

Table 8 AC仕様 (特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.CLK#4	F _{CPU}	CPU 入力周波数	DC	-	48	MHz	すべての V _{DDD}
SID.PWR#20	T _{SLEEP}	スリープモードからの復帰時間	-	0	-	μs	-
SID.PWR#21	T _{DEEPSLEEP}	ディープスリープモードからの復帰時間	-	-	35	μs	-
SID.XRES#5	T _{XRES}	外部リセットパルス幅	5	-	-	μs	すべての V _{DIO}
SYS.FES#1	T _{PWR_RDY}	電源投入から「I ² C/CC コマンドが受信できる」までの時間	-	5	25	ms	-

電氣的仕様

6.3.1 I/O

Table 9 I/O の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.GIO#37	V _{IH_CMOS}	入力電圧 HIGH 閾値	0.7 × VDDIO	-	-	V	CMOS 入力
SID.GIO#38	V _{IL_CMOS}	入力電圧 LOW 閾値	-	-	0.3 × VDDIO	V	CMOS 入力
SID.GIO#39	V _{IH_VDDIO2.7-}	LVTTL 入力, VDDIO < 2.7V	0.7 × VDDIO	-	-	V	-
SID.GIO#40	V _{IL_VDDIO2.7-}	LVTTL 入力 VDDIO < 2.7V	-	-	0.3 × VDDIO	V	-
SID.GIO#41	V _{IH_VDDIO2.7+}	LVTTL 入力 VDDIO ≥ 2.7V	2.0	-	-	V	-
SID.GIO#42	V _{IL_VDDIO2.7+}	LVTTL 入力 VDDIO ≥ 2.7V	-	-	0.8	V	-
SID.GIO#33	V _{OH_3V}	出力 HIGH 電圧	VDDIO - 0.6	-	-	V	3V VDDIO で I _{OH} = 4mA
SID.GIO#34	V _{OH_1.8V}	出力 HIGH 電圧	VDDIO - 0.5	-	-	V	1.8V VDDIO で I _{OH} = 1mA
SID.GIO#35	V _{OL_1.8V}	出力 LOW 電圧	-	-	0.6	V	1.8V VDDIO で I _{OL} = 4mA
SID.GIO#36	V _{OL_3V}	出力 LOW 電圧	-	-	0.6	V	3V VDDIO で I _{OL} = 4mA (SBU および AUX ピン用)
SID.GIO#5	R _{PU}	プルアップ抵抗値	3.5	5.6	8.5	kΩ	+25°C T _A , すべての VDDIO
SID.GIO#6	R _{PD}	プルダウン抵抗値	3.5	5.6	8.5	kΩ	+25°C T _A , すべての VDDIO
SID.GIO#16	I _{IL}	入力リーク電流 (絶対値)	-	-	2	nA	+25°C T _A , すべての VDDIO。特性評価で保証
SID.GIO#17	C _{PIN}	ピン最大負荷容量	-	3.0	7	pF	すべての VDDIO, すべてのパッケージ, SBU と AUX を除くすべての I/O。特性評価で保証
SID.GIO#17A	C _{PIN_SBU}	ピン最大負荷容量	-	16	18	pF	すべての VDDIO, すべてのパッケージ, SBU ピンのみ。特性評価で保証
SID.GIO#17B	C _{PIN_AUX}	ピン最大負荷容量	-	12	14	pF	すべての VDDIO, すべてのパッケージ, AUX ピンのみ。特性評価で保証
SID.GIO#43	V _{HYSTTL}	入力ヒステリシス, LVTTL VDDIO > 2.7V	15	40	-	mV	特性評価で保証
SID.GIO#44	V _{HYS CMOS}	入力ヒステリシス CMOS	0.05 × VDDIO	-	-	mV	VDDIO < 4.5V。特性評価で保証

電氣的仕様

Table 9 I/O の DC 仕様 (continued)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID69	I_{DIODE}	保護ダイオードをと おって VDDIO/Vss に流れ る電流	-	-	100	μA	特性評価で保証
SID.GIO#45	I_{TOT_GPIO}	チップの最大合計シン ク電流	-	-	85	mA	特性評価で保証
OVT							
SID.GIO#46	I_{IHS}	OVT 入力のパッド電圧 > VDDIO の場合の入力電流	-	-	10.00	μA	I ² C 仕様による

Table 10 I/O の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID70	T_{RISEF}	高速ストロング モードでの立ち 上り時間	2	-	12	ns	3.3V VDDIO, $C_{load} = 25\text{pF}$
SID71	T_{FALLF}	高速ストロング モードでの立ち 下り時間	2	-	12	ns	3.3V VDDIO, $C_{load} = 25\text{pF}$

6.3.2 XRES

Table 11 XRES の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.XRES#1	V_{IH_XRES}	XRES ピンの入力電圧 HIGH 閾値	$0.7 \times$ VDDIO	-	-	V	CMOS 入力
SID.XRES#2	V_{IL_XRES}	XRES ピンの入力電圧 LOW 閾値	-	-	$0.3 \times$ VDDIO	V	CMOS 入力
SID.XRES#3	C_{IN_XRES}	XRES ピンの入力静電容量	-	-	7	pF	特性評価で保証
SID.XRES#4	$V_{HYSXRES}$	XRES ピンの入力電圧ヒステ リシス	-	$0.05 \times$ VDDIO	-	mV	特性評価で保証

電氣的仕様

6.4 デジタルペリフェラル

次の仕様は、タイマーモードでのタイマー / カウンター / PWM ペリフェラルに適用されます。

6.4.1 GPIO ピン用のパルス幅変調 (PWM)

Table 12 PWM の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.TCPWM.3	$T_{CPWMFREQ}$	動作周波数	-	-	Fc	MHz	Fc max = CLK_SYS。 Max = 48MHz
SID.TCPWM.4	$T_{PWMENEXT}$	入力トリガパルス幅	2/Fc	-	-	ns	すべてのトリガイベント
SID.TCPWM.5	T_{PWMEXT}	出力トリガパルス幅	2/Fc	-	-	ns	オーバーフロー, アンダーフロー, および CC (カウンタ = 比較値) 出力の最小幅
SID.TCPWM.5A	T_{CRES}	カウンターの分解能	1/Fc	-	-	ns	逐次カウント同士間の最小時間
SID.TCPWM.5B	PWM_{RES}	PWM 分解能	1/Fc	-	-	ns	PWM 出力の最小パルス幅
SID.TCPWM.5C	Q_{RES}	直交位相入力分解能	1/Fc	-	-	ns	直交位相入力同士間の最小パルス幅

電氣的仕様

6.4.2 I²CTable 13 固定 I²C の DC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID149	I _{I2C1}	100kHz でのブロック消費電流	-	-	60	μA	-
SID150	I _{I2C2}	400kHz でのブロック消費電流	-	-	185	μA	-
SID151	I _{I2C3}	1Mbps でのブロック消費電流	-	-	390	μA	-
SID152	I _{I2C4}	I ² C がディープスリープモードで有効の場合	-	-	1.4	μA	-

Table 14 固定 I²C の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID153	F _{I2C1}	ビットレート	-	-	1	Mbps	-

Table 15 固定 UART の DC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID160	I _{UART1}	100Kb/s でのブロック消費電流	-	-	125	μA	-
SID161	I _{UART2}	1000Kb/s でのブロック消費電流	-	-	312	μA	-

Table 16 固定 UART の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID162	F _{UART}	ビットレート	-	-	1	Mbps	-

Table 17 固定 SPI の DC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID163	I _{SPI1}	1Mb/s でのブロック消費電流	-	-	360	μA	-
SID164	I _{SPI2}	4Mb/s でのブロック消費電流	-	-	560	μA	-
SID165	I _{SPI3}	8Mb/s でのブロック消費電流	-	-	600	μA	-

Table 18 固定 SPI の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID166	F _{SPI}	SPI 動作周波数 (マスタ, 6 倍オーバーサンプリング)	-	-	8	MHz	-

電氣的仕様

Table 19 固定 SPI マスタモードの AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID167	T_{DMO}	SClock 駆動エッジ後の MOSI 有効時間	-	-	15	ns	-
SID168	T_{DSI}	SClock 取得エッジ前の MISO 有効時間	20	-	-	ns	フルクロック, MISO の遅いサン プリング
SID169	T_{HMO}	直前の MOSI データ ホールド時間	0	-	-	ns	スレーブ取得エッ ジを基準にする

Table 20 固定 SPI スレーブ モードの AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID170	T_{DMI}	Sclock 取得エッジ前の MOSI 有効時間	40	-	-	ns	-
SID171	T_{DSO}	Sclock 駆動エッジ後の MISO 有効時間	-	-	$42 + 3 \times T_{CPU}$	ns	$T_{CPU} = 1/F_{CPU}$
SID171A	T_{DSO_EXT}	外部クロック モードでの Sclock 駆動エッジ後の MISO 有効時間	-	-	48	ns	-
SID172	T_{HSO}	直前の MISO データ ホールド時間	0	-	-	ns	-
SID172A	T_{SSELCK}	SSEL 有効から最初の SCK 有効エッジまでの時間	100	-	-	ns	-

電氣的仕様

6.5 システム リソース

6.5.1 電圧低下 SWD インターフェースのパワーオンリセット (POR)

Table 21 低精度パワー オンリセット (IPOR)

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID185	V _{RISEIPOR}	パワー オンリセット (POR) 立ち上りトリップ電圧	0.80	-	1.50	V	-
SID186	V _{FALLIPOR}	POR 立ち下りトリップ電圧	0.70	-	1.4	V	-

Table 22 高精度パワー オンリセット (POR)

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID190	V _{FALLPPOR}	アクティブ / スリープモードでの電圧低下検出 (BOD) トリップ電圧	1.48	-	1.62	V	-
SID192	V _{FALLDPSLP}	ディープスリープモードでの BOD トリップ電圧	1.1	-	1.5	V	-

Table 23 SWD インターフェース仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.SWD#1	F_SWDCCLK1	$3.3V \leq VDDIO \leq 5.5V$	-	-	14	MHz	SWDCCLK ≤ 1/3 CPU クロック周波数
SID.SWD#2	F_SWDCCLK2	$1.8V \leq VDDIO \leq 3.3V$	-	-	7	MHz	SWDCCLK ≤ 1/3 CPU クロック周波数
SID.SWD#3	T_SWDI_SETUP	$T = 1/f \text{ SWDCCLK}$	$0.25 \times T$	-	-	ns	特性評価で保証
SID.SWD#4	T_SWDI_HOLD	$T = 1/f \text{ SWDCCLK}$	$0.25 \times T$	-	-	ns	特性評価で保証
SID.SWD#5	T_SWDO_VALID	$T = 1/f \text{ SWDCCLK}$	-	-	$0.50 \times T$	ns	特性評価で保証
SID.SWD#6	T_SWDO_HOLD	$T = 1/f \text{ SWDCCLK}$	1	-	-	ns	特性評価で保証

6.5.2 内部主発振器

Table 24 IMO の DC 仕様

(設計で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID218	I _{IMO1}	48MHz での IMO 動作電流	-	-	1000	μA	-

Table 25 IMO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.CLK#13	F _{IMOTOL}	24, 36, および 48MHz での周波数誤差 (トリム済み)	-	-	±2	%	-25°C ≤ T _A ≤ 85°C, すべての VDD
SID226	T _{STARTIMO}	IMO 起動時間	-	-	7	μs	特性評価で保証
SID229	T _{JITRMSIMO2}	24MHz での RMS ジッタ	-	145	-	ps	特性評価で保証
SID.CLK#1	F _{IMO}	IMO 周波数	24	-	48	MHz	すべての VDD

電氣的仕様

6.5.3 内部低速発振器 - 電源切断

Table 26 ILO の DC 仕様

(設計で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID231	I _{ILO1}	I _{LO} 動作電流	-	0.3	1.05	μA	-
SID233	I _{ILOLEAK}	I _{LO} リーク電流	-	2	15	nA	-

Table 27 ILO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID234	T _{STARTILO1}	I _{LO} 起動時間	-	-	2	ms	特性評価で保証
SID238	T _{ILODUTY}	I _{LO} デューティ比	40	50	60	%	特性評価で保証
SID.CLK#5	F _{ILO}	I _{LO} 周波数	20	40	80	kHz	-

Table 28 PD の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PD.1	R _{p_std}	デフォルト USB 電源での DFP CC 終端抵抗	64	80	96	μA	-
SID.PD.2	R _{p_1.5A}	1.5A 電源での DFP CC 終端抵抗	166	180	194.4	μA	-
SID.PD.3	R _{p_3.0A}	3.0A 電源での DFP CC 終端抵抗	304	330	356.4	μA	-
SID.PD.4	R _D	UFP CC 終端抵抗	4.59	5.1	5.61	kΩ	-
SID.PD.5	R _{D_DB}	CC1 と CC2 での UFP デッドバッテリー CC 終端抵抗。1.5A と 3.0A の R _p 終端値は有効。	4.08	5.1	6.12	kΩ	CC1 と CC2 での UFP デッドバッテリー CC 終端抵抗。デフォルト R _p 終端抵抗では、CC1 と CC2 の電圧は 1.32V 未満であることが保証される。
SID.PD.15	V _{gndoffset}	BMC レシーバで許容されるグラウンド オフセット	-400	-	400	mV	リモート BMC トランスミッタを基準にする。特性評価で保証

Table 29 CSA 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.CSA.1	Out_E_Trim_15_DS	ディープスリープリファレンスを使用した Av = 15 での総合誤差	-7.00	-	7.00	%	特性評価で保証
SID.CSA.2	Out_E_Trim_15_BG	バンドギャップリファレンスを使用した Av = 15 での総合誤差	-4.50	-	4.50	%	特性評価で保証
SID.CSA.3	Out_E_Trim_100	バンドギャップリファレンスまたはディープスリープリファレンスを使用した Av = 100 での総合誤差	-24.50	-	24.50	%	-

電氣的仕様

Table 30 UV/OV仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.UVOV.1	V _{THUVOV1}	電圧閾値精度、 V _{BUS} ≤ 16V	-6		6	%	VBUS = 3.75V, 4.5V, 5.25V, 12V, 16V でテスト済み
SID.UVOV.2	V _{THUVOV2}	電圧閾値精度、 V _{BUS} > 16V	-10		10	%	VBUS = 20V でテスト済み

6.5.4 ゲートドライバ仕様

Table 31 ゲートドライバの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
DC.NGDO.1	VGS1	ゲート - ソース間 オーバードライブ 電圧	5	-	16.5	V	1. ゲートドライバ電源電圧 ≥ 5V。ゲートドライバ電源電圧は、VBUS_P_CTRL_ 出力の場合は VBUS_P、VBUS_C_CTRL_ 出力の場合は VBUS_C。 2. ゲートドライバ電流 = 0 3. ゲートドライバコンフィギュレーション = NFET 4. ゲートドライバポンプクロック分周器 = 1
DC.NGDO.2	VGS2	ゲート - ソース間 オーバードライブ 電圧	3.75	-	16.5	V	1. ゲートドライバ電源電圧 ≥ 3.75V。ゲートドライバ電源電圧は、VBUS_P_CTRL_ 出力の場合は VBUS_P、VBUS_C_CTRL_ 出力の場合は VBUS_C。 2. ゲートドライバ電流 = 0 3. ゲートドライバコンフィギュレーション = NFET 4. ゲートドライバポンプクロック分周器 = 1
DC.NGDO.6	R _{PD}	「プルダウン」有効時の抵抗	-	-	5	kΩ	-

Table 32 ゲートドライバの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
AC.NGDO.1	T _{ON}	gate_driver_supply_voltage + 5V (電源電圧 ≥ 5V の場合) および VBUS*2 (電源電圧 < 5V の場合) までのゲートターンオン時間	-	-	1	ms	1. ゲートドライバコンフィギュレーション = NFET 2. 負荷 = SI9936 MOSFET のゲート

電氣的仕様

6.5.5 SBU

Table 33 アナログクロスバー スイッチ仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.SBU.1	Ron_sw	スイッチ オン抵抗	-	-	10	Ω	0V ~ 3.6V の電圧入力
SID.SBU.2	Rpu_aux_1	AUX_P/N プルアップ抵抗 - 100k	80	-	120	kΩ	-
SID.SBU.3	Rpu_aux_2	AUX_P/N プルアップ抵抗 - 1M	0.8	-	1.2	MΩ	-
SID.SBU.4	Rpd_aux_1	AUX_P/N プルダウン抵抗 - 100k	80	-	120	kΩ	-
SID.SBU.5	Rpd_aux_2	AUX_P/N プルダウン抵抗 - 1M	0.8	-	1.2	MΩ	-
SID.SBU.6	Rpd_aux_3	AUX_P/N プルダウン抵抗 - 470k	329	-	611	kΩ	-
SID.SBU.7	Rpd_aux_4	AUX_P/N プルダウン抵抗 - 4.7M	3.29	-	6.11	MΩ	-

6.5.6 充電器検出

Table 34 充電器検出仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.CD.1	VDAT_REF	BC1.2 データ検出電圧閾値	250	-	400	mV	-
SID.CD.2	VDM_SRC	BC1.2 DM 電圧ソース	500	-	700	mV	25μA ~ 175μA のシンク電流
SID.CD.3	VDP_SRC	BC1.2 DP 電圧ソース	500	-	700	mV	25μA ~ 175μA のシンク電流
SID.CD.4	IDM_SINK	BC1.2 DM シンク電流	25	-	175	μA	-
SID.CD.5	IDP_SINK	BC1.2 DP シンク電流	25	-	175	μA	-
SID.CD.6	IDP_SRC	BC1.2 DP DCD ソース電流	7	-	13	μA	-
SID.CD.7	RDP_UP	USB FS DP プルアップ終端抵抗	0.9	-	1.575	kΩ	-
SID.CD.8	RDM_UP	USB FS DM プルアップ終端抵抗	0.9	-	1.575	kΩ	-
SID.CD.9	RDP_DWN	USB FS DP プルアップ終端抵抗	14.25	-	24.8	kΩ	-
SID.CD.10	RDM_DWN	USB FS DM プルアップ終端抵抗	14.25	-	24.8	kΩ	-
SID.CD.11	RDAT_LKG	DP/DM データ ラインのリーク終端抵抗	300	-	500	kΩ	充電器検出機能およびデータラインリークが有効
SID.CD.12	RDCP_DAT	DP と DM 間の BC1.2 DCP ポート抵抗	-	-	40	Ω	-
SID.CD.13	VSETH	USB FS 論理閾値	1.26	-	1.54	V	-

電氣的仕様

6.5.7 アナログ - デジタル変換器

Table 35 ADC の DC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.ADC.1	Resolution	ADC 分解能	-	8	-	ビット	-
SID.ADC.2	INL	積分非直線性	-1.5	-	1.5	LSB	-
SID.ADC.3	DNL	微分非直線性	-2.5	-	2.5	LSB	-
SID.ADC.4	Gain Error	利得誤差	-1	-	1	LSB	-

Table 36 ADC の AC 仕様

(設計で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.ADC.5	SLEW_Max	サンプリングされた電圧信号の変化率	-	-	3	V/ms	-

Table 37 VBUS_C レギュレータの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.20vreg.1	VBUSREG	VDDD で測定された VBUS レギュレータ出力電圧、 VBUS = 4.5V ~ 21.5V	3	-	3.6	V	VBUS = 4.5V ~ 21.5V。 無負荷および 30mA 負荷付きの状態 で測定された VDDD 電圧
SID.20vreg.2	VBUSREG2	VDDD で測定された VBUS レギュレータ出力電圧、 VBUS = 3.5V ~ 21.5V	3	-	3.6	V	VBUS = 4.5V ~ 21.5V。 無負荷および 15mA 負荷付きの状態 で測定された VDDD 電圧
SID.20vreg.6	VBUSLINREG	VBUS が 4.5V から 21.5V まで変化時の VBUS レギュレータラインの安定化	-	-	0.5	%/V	VBUS 電源が 4.5V から 21.5V に変化するとき、 VDDD の変化を測定。 特性評価で保証
SID.20vreg.8	VBUSLOADREG	VBUS が 4.5V から 21.5V まで変化時の VBUS レギュレータ負荷の安定化	-	-	0.2	%/mA	VBUS に 4.5V ~ 21.5V の電圧を印加し、 負荷電流を 0 ~ 30mA に増加。 VDDD の変化を測定。 特性評価で保証

Table 38 VBUS_C レギュレータの AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
AC.20vreg.1	T _{START}	レギュレータ起動時間	-	-	120	μs	VBUS を印加し、VDDD ピンの起動時間を測定
AC.20vreg.2	T _{STOP}	レギュレータ電源切断時間	-	-	1	μs	内部ディセーブル信号がアサートされてから VDDD の負荷電流が 30mA から 10μA に減少するまでの時間

Table 39 VSYS スイッチの仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.vddsw.1	Res_sw	VSYS 電源入力から出力電源 VDDD までの抵抗	-	-	1.5	Ω	VDDD で 5mA ~ 10mA の負荷電流で測定

電氣的仕様

6.5.8 メモリ

Table 40 フラッシュの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.MEM#3	FLASH_ERASE	行消去時間	-	-	15.5	ms	-
SID.MEM#4	FLASH_WRITE	行 (ブロック) 書き込み時間 (消去 + プログラム)	-	-	20	ms	-
SID.MEM#8	FLASH_ROW_PGM	消去後の行プログラム時間	-	-	7	ms	-
SID178	TBULKERASE	バルク消去時間 (64k バイト)	-	-	35	ms	-
SID180	TDEVPROG	総デバイス プログラム時間	-	-	7.5	s	特性評価で保証
SID182	FRET1	フラッシュ データ保持期間, $T_A \leq 55^\circ\text{C}$, 10 万回の P/E サイクル	20	-	-	年	特性評価で保証
SID182A	FRET2	フラッシュ データ保持期間, $T_A \leq 85^\circ\text{C}$, 1 万回の P/E サイクル	10	-	-	年	特性評価で保証
SID182B	FRET3	フラッシュ データ保持期間, $T_A \leq 105^\circ\text{C}$, 1 万回の P/E サイクル	3	-	-	年	特性評価で保証

注文情報

7 注文情報

Table 41 に、EZ-PD™ PMG1-S2 の製品番号と機能を示します。

Table 41 EZ-PD™ PMG1-S2 注文情報

製品番号	アプリケーション	終端抵抗	ロール	パッケージ	Si ID
CYPM1211-40LQXI CYPM1211-40LQXIT	DRP アプリケーション	$R_p^{[6]}, R_D^{[5]}, R_{D_DB}^{[7]}$	DRP	40-pin QFN	1D20
CYPM1211-42FNXIT				42-ball CSP	1D21

7.1 注文コードの定義

製品番号は CYPM1ABC-DEFGHIJ の形式であり、フィールドは以下のように定義されます。

Table 42 EZ-PD™ PMG1-S2 注文コードの定義

フィールド	説明	値	意味
CY	サイプレスの接頭辞	CY	会社 ID
PM	マーケティングコード	PM	PM = パワー デリバリー MCU ファミリ
1	MCU ファミリ世代	1	製品ファミリ世代
A	ファミリ	0	S0
		1	S1
		2	S2
		3	S3
B	PD ポート	1	1-PD ポート
		2	2-PD ポート
C	アプリケーション特有	X	アプリケーション特有
DE	ピン	XX	パッケージのピン数
FG	パッケージコード	LQ	QFN
		BZ	BGA
		FN	CSP
H	鉛フリー	X	鉛 : X = 鉛フリー
I	温度範囲	I	産業用
J	T&R のみ	T	テープ & リール

注:

5. 終端抵抗はアップストリームポートを意味します。
6. 終端抵抗はダウンストリームポートを意味します。
7. 終端抵抗はデッド バッテリ終端を意味します。

パッケージ

8 パッケージ

Table 43 パッケージの特性

パラメーター	説明	条件	Min	Typ	Max	単位
T _A	動作周囲温度	産業用温度範囲	-40	25	85	°C
		産業用拡張温度範囲			105	
T _J	動作接合部温度	産業用温度範囲	-40	25	100	
		産業用拡張温度範囲			125	
T _{JA}	パッケージ θ _{JA} (40 ピン QFN)	-	-	-	17	°C/W
T _{JC}	パッケージ θ _{JC} (40 ピン QFN)	-	-	-	2	
T _{JA}	パッケージ θ _{JA} (42 ピン CSP)	-	-	-	34	
T _{JC}	パッケージ θ _{JC} (42 ピン CSP)	-	-	-	0.3	

Table 44 はんだリフロー ピーク温度

パッケージ	最高ピーク温度	ピーク温度の 5°C 以内での最長時間
40 ピン QFN	260°C	30 秒
42 ボール CSP		

Table 45 パッケージの温度感度レベル (MSL), IPC/JEDEC J-STD-2

パッケージ	MSL
40 ピン QFN	MSL 3
42 ボール CSP	MSL 1

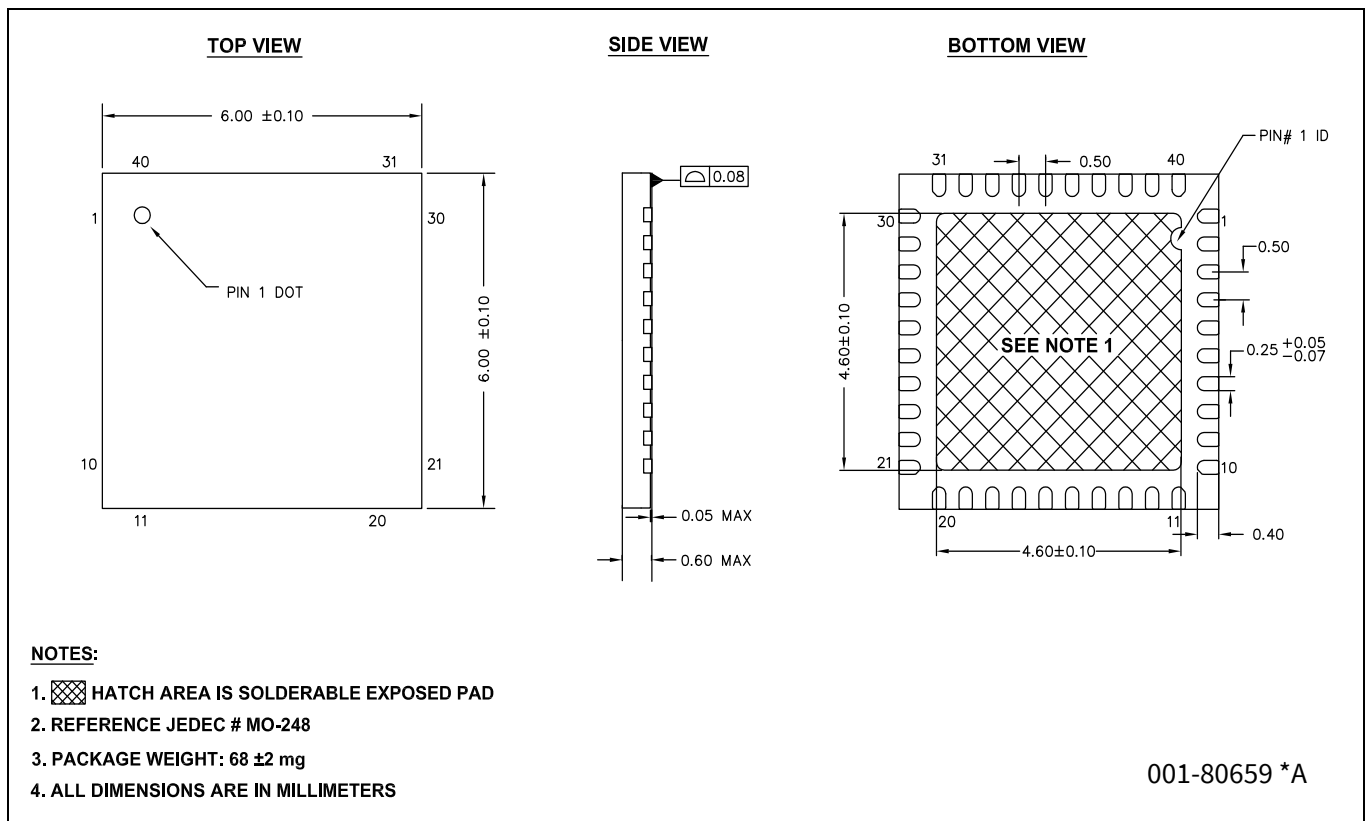


Figure 9 40 ピン QFN パッケージ外形図, 001-80659

パッケージ

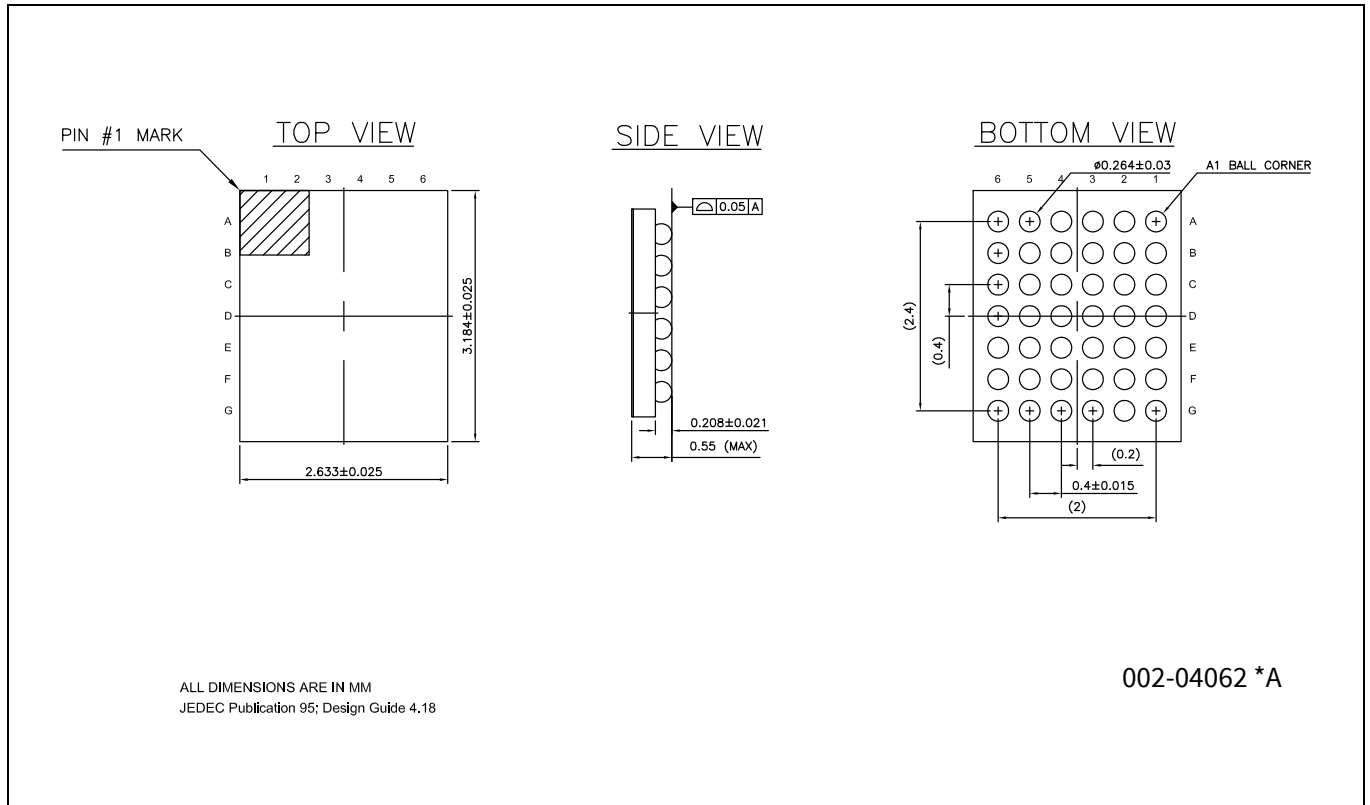


Figure 10 42 ボール CSP パッケージ外形図 , 002-04062

略語

9 略語

Table 46 本書で使用する略語

略語	説明
ADC	analog-to-digital converter (アナログ - デジタル変換器)
AES	advanced encryption standard (高度暗号化標準)
AHB	AMBA (advanced microcontroller bus architecture) high-performance bus (アドバンスド マイクロコントローラ バス アーキテクチャ高性能バス): Arm® データ転送バス的一种
API	application programming interface (アプリケーションプログラミングインターフェース)
Arm®	advanced RISC machine (高度な RISC マシン): CPU アーキテクチャ的一种
BMC	Biphase Mark Code (バイフェーズ マーク コーディング)
CC	configuration channel (コンフィギュレーションチャンネル)
CPU	central processing unit (中央演算処理装置)
CRC	cyclic redundancy check (巡回冗長検査): エラーチェックプロトコル的一种
CS	current sense (電流検出)
DFP	downstream facing port (ダウンストリームポート)
DIO	digital input/output (デジタル入出力): アナログなし、デジタル機能のみを持つ GPIO。GPIO を参照してください。
DRP	dual role port (デュアルロールポート)
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能読み出し専用メモリ)
EMCA	electronically marked cable assembly (電氣的マーク付きケーブルアセンブリ): 定格電流などのケーブル特性を Type-C ポートに報告する IC を内蔵した USB ケーブル
EMI	electromagnetic interference (電磁干渉)
ESD	electrostatic discharge (静電氣放電)
FS	full-speed (フルスピード)
GPIO	general-purpose input/output (汎用入出力)
HPD	hot plug detect (ホット プラグ検出)
IC	integrated circuit (集積回路)
IDE	integrated development environment (統合開発環境)
I ² C, 別名 IIC	Inter-Integrated Circuit (インター インテグレートド サーキット): 通信プロトコル的一种
ILO	internal low-speed oscillator (内部低速発振器): IMO も参照してください
IMO	internal main oscillator (内部主発振器): ILO も参照してください
IOSS	input/output subsystem (入力 / 出力サブシステム)
I/O	input/output (入出力): GPIO も参照してください
LDO	low-dropout regulator (低ドロップアウトレギュレータ)
LVD	low-voltage detect (低電圧検出)
LVTTL	low-voltage transistor-transistor logic (低電圧トランジスタ - トランジスタ ロジック)
MCU	microcontroller unit (マイクロコントローラユニット)
MMIO	memory mapped input/output (メモリ マップド入出力)
NC	no connect (未接続)
NMI	nonmaskable interrupt (マスク不可割込み)

略語

Table 46 本書で使用する略語 (continued)

略語	説明
NVIC	nested vectored interrupt controller (ネスト型ベクタ割込みコントローラー)
opamp	operational amplifier (オペアンプ , 演算増幅器)
OCP	overcurrent protection (過電流保護)
OVP	overvoltage protection (過電圧保護)
OVT	over voltage tolerant (過電圧耐性)
PCB	printed circuit board (プリント回路基板)
PD	power delivery (パワー デリバリー)
PGA	programmable gain amplifier (プログラマブルゲイン アンプ)
PHY	physical layer (物理層)
POR	power-on reset (パワー オンリセット)
PRES	precise power-on reset (高精度パワー オンリセット)
PRNG	pseudo random number generation (疑似乱数生成器)
PWM	pulse-width modulator (パルス幅変調器)
RAM	random-access memory (ランダム アクセス メモリ)
RCP	reverse current protection (逆電流保護): ソース コンフィギュレーションでのみサポート
RISC	reduced-instruction-set computing (縮小命令セット コンピューティング)
RMS	root-mean-square (二乗平均平方根)
RTC	real-time clock (リアルタイム クロック)
RX	receive (受信)
SAR	successive approximation register (逐次比較レジスタ)
SCB	serial communication block (シリアル通信ブロック)
SCL	I ² C serial clock (I ² C シリアル クロック)
SCP	short circuit protection (短絡保護): ソース コンフィギュレーションでのみサポート
SDA	I ² C serial data (I ² C シリアル データ)
S/H	sample and hold (サンプル / ホールド)
SHA	secure hash algorithm (セキュア ハッシュ アルゴリズム)
SPI	Serial Peripheral Interface (シリアル ペリフェラル インターフェース): 通信プロトコルの一種
SRAM	static random access memory (スタティック ランダム アクセス メモリ)
SWD	serial wire debug (シリアル ワイヤ デバッグ): テストプロトコルの一種
TCPWM	timer/counter pulse-width modulator (タイマー / カウンター / パルス幅変調器)
TRNG	true random number generation (真の乱数生成)
TX	transmit (送信)
Type-C	薄型 USB コネクタとリバーシブルなケーブルの新規格。最大 100W までの電力を提供することが可能。
UART	Universal Asynchronous Transmitter Receiver (汎用非同期トランスミッタ レシーバ): 通信プロトコルの一種
USB	Universal Serial Bus (ユニバーサル シリアル バス)
USB PD	USB Power Delivery (USB パワー デリバリー)
USB-FS	USB Full-Speed (USB フル スピード)

略語

Table 46 本書で使用する略語 (continued)

略語	説明
USBIO	USB input/output (USB 入出力): USB ポートへの接続に使用される PMG1-S2 ピン
USB PD SS	USB PD subsystem (USB PD サブシステム)
UVP	under voltage protection (低電圧保護)
VDM	vendor defined messages (ベンダー定義メッセージ)
XRES	external reset I/O pin (外部リセット I/O ピン)

本書の表記法

10 本書の表記法

10.1 測定単位

Table 47 測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
KB	1024 バイト
kHz	キロヘルツ
kΩ	キロオーム
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msp/s	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラド
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
Ω	オーム
pF	ピコファラド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル毎秒
V	ボルト

本書の表記法

改訂履歴

Document revision	Date	Description of change
**	2021-12-09	これは英語版 002-31598 Rev. *B を翻訳した日本語版 002-34371 Rev. ** です。
*A	2022-09-27	これは英語版 002-31598 Rev. *D を翻訳した日本語版 002-34371 Rev. *A です。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2022-09-27

Published by

Infineon Technologies AG
81726 Munich, Germany

© 2022 Infineon Technologies AG.
All Rights Reserved.

Do you have a question about this document?

Go to www.infineon.com/support

Document reference

002-34371 Rev. *A

重要事項

本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。

本文に記された一切の事例、手引き、もしくは一般的な価値、および/または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。

X-ON Electronics

Largest Supplier of Electrical and Electronic Components

Click to view similar products for [USB Interface IC](#) category:

Click to view products by [Infineon](#) manufacturer:

Other Similar products are found below :

[CY7C69356-48LTXC](#) [CYUSB2304-68LTXI](#) [USB2227-NU-11](#) [USB2251-NU-06](#) [USB3319C-GJ-TR](#) [USB3370B-EZK-TR](#) [CG7648AM](#)
[CY7C65215A-32LTXI](#) [CYPD2120-24LQXI](#) [CYUSB3014-BZXCT](#) [CYWB0164BB-BZXI](#) [CYWB0224ABS-BZXI](#) [CY7C65211A-24LTXI](#)
[USB3803CI-1-GL-TR](#) [LIF-UC120-SWG36ITR50](#) [UPD360-C/6HX](#) [UPD360-B/6HX](#) [CP2102NP1174GM](#) [CY7C65642-28LTXCT](#)
[CG8454AM](#) [DPO2039DABQ-13](#) [USB7216CT-I/KDX](#) [USB7216C-I/KDX](#) [UPD720211K8-711-BAL-A](#) [CYPD4225-40LQXIT](#) [CYPM1111-](#)
[40LQXI](#) [USB3317C-GJ-TR](#) [CY7C68034-56LTXC](#) [CYUSB3302-68LTXI](#) [TUSB213IRGYT](#) [TUSB213RGYT](#) [TUSB214RWBT](#)
[TUSB215RGYT](#) [USB2517I-JZX-TR](#) [USB3318-CP](#) [USB3343-CP](#) [USB3503T-I/ML](#) [USB4624I-1080HN](#) [CHY100D-TL](#) [STUSB1602AQTR](#)
[TUSB214IRWBT](#) [TUSB8043RGCT](#) [USB3319C-CP-TR](#) [USB3310C-CP-TR](#) [USB3310C-CP](#) [USB2532I-1080AEN](#) [CY7C65213-32LTXIT](#)
[CY7C68013A-56LTXIT](#) [CYUSB2024-BZXI](#) [CYUSB3025-BZXI](#)