

XNS125

DATASHEET

V4.0

1. 概述

XNS125 是一款低成本, 高集成度的 2.4GHz SoC 无线收发芯片, 片上集成发射机、接收机、频率综合器、GFSK 调制解调器和低功耗的 MCU。发射机支持功率可调, 接收机采用数字扩展通信机制, 在复杂环境各强干扰条件下, 可以达到优良的收发性能。外围电路简单, 只需少数外围被动器件。XNS125 传输 GFSK 信号, 发射功率最大可以到 13dBm。接收机采用低中频结构, 接收灵敏度最高可以达到-93dBm。数字信道能量检测可以随时监控信道质量。

芯片内置 MCU 采用类 flash 制程, 可以多次烧录而不损坏芯片, 更内置了 256x8b 数据 EEPROM (16bytes/page)。MCU 内建 16M 高速振荡器, 支持 2T 高效指令, 预留 10 个通用 IO。

典型应用领域:

- 无线 PC 外设
- 无线游戏手柄
- 短距离通信
- 无线遥控玩具
- 远程消费类电子设备 RF 终端

2. 芯片特性

- 2.4GHZ ISM 带宽
- 码率: 2Mbps/1MBbps/250KBps
- 极低的功耗(常温):

发射电流: 14.8mA (P0=0dBm)

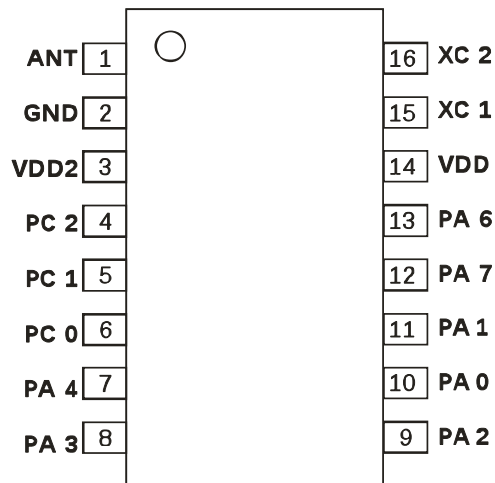
接收电流: 17.5mA 关断电流: 2.5uA 待机电流: 0.9mA

- 2.2~3.6V 供电

- Auto Transceive 数据包自动重传
- 数据包自动处理
- 6 个数据通道
- $\pm 20\text{ppm}$ 16MHz 的时钟输入
- 10 个功能自定义引脚
- PIC16-like 指令集
- 8 层硬件堆栈 x11bit
- 2T 或 4T 指令周期
- 2Kx14b 程序存储空间 (16bytes/page)
- 256x8b 数据 EEPROM (16bytes/page)
- 128x8b SRAM
- 1 x 带 8 位预分频的定时器 0
- 1 x 带 8 位预分频的定时器 2
- 带 7 位预分频的 WDT, 溢出频率约为 16ms~2048ms
- 低功耗模式 SLEEP
- 多个唤醒源, INT、端口变化中断、WDT、数据 EEPROM 写完成, 等等
- 内置高速 16M RC 振荡器
- 内置低速 32K RC 振荡器
- 支持外部晶振 16M 或 32K, 以及外部时钟模式
- 时钟缺失检测
- 双速启动模式 (晶体或外部时钟模式下)

- 内置 2 个高速高精度比较器
- 可编程的片上参考电压
- 比较结果可直接输出
- 支持 10 个通用 IO, 7 个 IO 带独立上拉控制
- 端口变化中断, PA0~PA4, PA6~PA7
- 支持在系统编程 ICSP
- 支持在线调试
- 程序空间保护
- 最大时钟工作频率: 16MHz

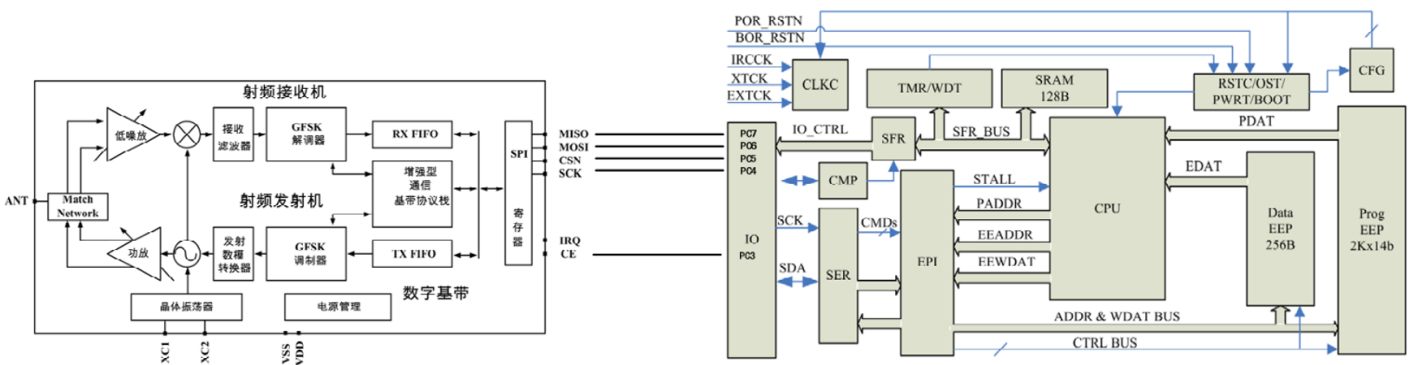
3. 芯片引脚定义



Pin No.	Pin Name	PinType	Description
1	ANT	-	RF output (PA) /input (LNA),
2	GND	G	Ground
3	VDD2	P	RF power 2
4	PC2	I/O	GPIO PortC.2
5	PC1	I/O	GPIO PortC.1
6	PC0	I/O	GPIO PortC.0

7	PA4	I/O	GPIO PortA.4.
8	PA3	I/O	GPIO PortA.3
9	PA2	I/O	GPIO PortA.2.
10	PA0	I/O	GPIO PortA.0
11	PA1	I/O	GPIO Port A.1
12	PA7	I/O	GPIO Port A.7
13	PA6	I/O	GPIO Port A.6
14	VDD	P	RF power 1 & MCU power
15	XC1	-	Crystal oscillator
16	XC2	-	Crystal oscillator

4. 芯片系统结构

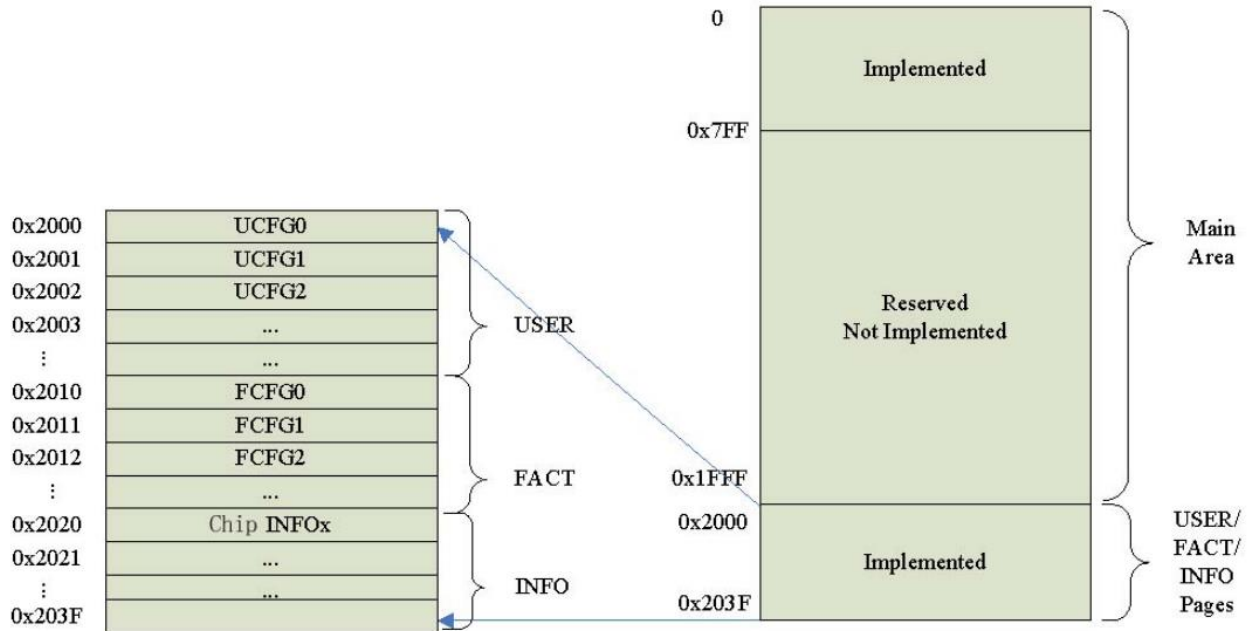


数字功能框图

4.1 程序存储器

地址寄存器为 13 位 (0x0000 ~ 0x1FFF), 最多支持 8K 地址空间。程序存储器一共 2Kx14b (0x0000 ~ 0x07FF), 加上 4 个额外的用户配置、工厂配置区, 共有 64x14b, 它们由 EEPROM 构成。一个 PAGE 是 16 个字, 一共有 132 个 PAGE。

其中 0~0x07FF 对主程序区访问, 其中未实现部分 0x800~0x1FFF 保留。用户和工厂配置信息区从 0x2000 开始, 到 0x203F 结束。



程序空间地址映射

5. MCU 描述

5.1 SFR

5.1.1 地址映射

5.1.1.1 SFR, BANK0

ADDR	Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	POR reset
BANK0										
0	INDF	使用 FSR 的内容对数据存储器进行访问 (非物理寄存器)								xxxx xxxx
1	TMR0	TIMER0 计数器								xxxx xxxx
2	PCL	程序计数器低 8 位								0000 0000
3	STATUS	-	-	PAGE	/TF	/PF	Z	HC	C	--01 1xxx
4	FSR	间接寻址指针寄存器								xxxx xxxx
5	PORTA	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0	00x0 0000
6	-	-								---- ----
7	PORTC	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0	0000 0000
8	-	-								---- ----
9	-	-								---- ----
A	PCLATH	-	-	-	程序计数器高 5 位锁存器					---0 0000
B	INTCON	GIE	PEIE	TOIE	INTE	PAIE	TOIF	INTF	PAIF	0000 0000
C	PIR1	EEIF	CKMEAI	-	C2IF	C1IF	OSFIF	TMR2IF	-	00-0 000-

			F								
D	-	-									----
E	-	-									----
F	-	-									----
10	-	-									----
11	TMR2	TIMER2[7:0] timer2 module register									0000 0000
12	T2CON	-	TOUTPS[3:0]				TMR2ON	T2CKPS[1:0]			-000 0000
13	-	-									----
14	-	-									----
15	-	-									----
16	-	-									----
17	-	-									----
18	WDTCON	-	-	-	WDTPS[3:0]			SWDTEN		---0 1000	
19	CMCON0	C2OUT	C1OU T	C2INV	C1INV	CIS	CM[2:0]			0000 0000	
1A	PRO	PRO[7:0]									1111 1111
1B	MSCKCON	-	-	-	SLVREN	-	CKMAVG	CKCNTI		---0 -00-	
1C	SOSCPRL	SOSCPRL [7:0]									1111 1111
1D	SOSCPRH	-	-	-	-	SOSCPRH [11:8]				---- 1111	
1E	-	-									----
1F	-	-									----
20~7F	SRAM BANK0, (96Bytes) 0x00-0x5F									xxxx xxxx	

NOTE:

-, 未实现, 保留, 读 0

5.1.1.2 SFR, BANK1

ADDR	Name	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	POR reset	
BANK1											
80	INDF	使用 SFR 的内容对数据存储器进行访问 (非物理寄存器)									xxxx xxxx
81	OPTION	/PAPU	INTEDG	TOCS	TOSE	PSA	PS2	PS1	PS0	1111 1111	
82	PCL	程序计数器低 8 位									0000 0000
83	STATUS	-	-	PAGE	/TF	/PF	Z	HC	C	--01 1xxx	
84	FSR	间接寻址指针寄存器									xxxx xxxx
85	TRISA	TRISA[7:6]			-	TRISA[4:0]				11-1 1111	
86	-	-									----
87	TRISC	TRISC[7:0]									1111 1111
88	-	-									----
89	-	-									----

8A	PCLATH	-	-	-	程序计数器高 5 位锁存器					---0 0000
8B	INTCON	GIE	PEIE	TOIE	INTE	PAIE	TOIF	INTF	PAIF	0000 0000
8C	PIE1	EEIE	CKMEAIE	-	C2IE	C1IE	OSFIE	TMR2IE	-	00-0 000-
8D	-	-	-	-	-	-	-	-	-	---- ----
8E	PCON	-	-	-	-	-	-	/POR	/BOR	---- --q q
8F	OSCCON	LFMOD	IRCF[2:0]			OSTS	HTS	LTS	SCS	0101 x000
90	-	-	-	-	-	-	-	-	-	---- ----
91	-	-	-	-	-	-	-	-	-	---- ----
92	PR2	PR2[7:0] timer2 period register								1111 1111
93	-	-	-	-	-	-	-	-	-	---- ----
94	-	-	-	-	-	-	-	-	-	---- ----
95	WPUA	WPUA[7:6]		-	WPUA[4:0]		-	-	-	11-1 1111
96	IOCA	IOCA[7:0]								0000 0000
97	-	-	-	-	-	-	-	-	-	---- ----
98	-	-	-	-	-	-	-	-	-	---- ----
99	VRCON	VREN	-	VRR	-	VR[3:0]			0-0- 0000	
9A	EEDAT	EEDAT[7:0]								0000 0000
9B	EEADR	EEADR[7:0]								0000 0000
9C	EECON1	-	-	WREN3	WREN2	WRERR	WREN1	-	RD	--00 x0-0
9D	EECON2	-	-	-	-	-	-	-	WR	---- ---0
9E	-	-	-	-	-	-	-	-	-	---- ----
9F	-	-	-	-	-	-	-	-	-	---- ----
A0~BF	SRAM BANK1 (32Bytes), 0x60~0x7F									xxxx xxxx
CO~EF	-									---- ----
F0~FF	SRAM, 访问 BANK0 的 0x70~0x7F									xxxx xxxx

NOTE:

-, 未实现, 保留, 读 0

注意:

- 1. INDF 不是物理寄存器;**
- 2. 灰色部分表示没有实现;**
- 3. 未实现的寄存器位不要写 1, 以后芯片升级可能会用到。**

5.1.1.3 TMR0, 地址 0x01

Bit	7	6	5	4	3	2	1	0
-----	---	---	---	---	---	---	---	---

Name	TMR0[7:0]
Reset	xxxx xxxx
Type	RW

Bit	Name	Function
7:0	TMR0[7:0]	Timer 0 计数结果寄存器

5.1.1.4 STATUS 寄存器, 地址 0x03, 0x83

Bit	7	6	5	4	3	2	1	0
Name	-	-	PAGE	/TF	/PF	Z	HC	C
Reset	-	-	0	1	1	x	x	x
Type	-	-	RW	RO	RO	RW	RW	RW

Bit	Name	Function
7:6	NA	没实现, 读 0
5	PAGE	PAGE: Register Bank Select bit (used for direct addressing) 1 = Bank 1 (80h – FFh)
4	/TF	TF: Time-out bit 1 = After power-up, CLRWDT instruction or SLEEP instruction 0 = A WDT time-out occurred
3	/PF	PF: Power-down bit 1 = After power-up or by the CLRWDT instruction 0 = By execution of the SLEEP instruction
2	Z	Z: Zero bit 1 = The result of an arithmetic or logic operation is zero 0 = The result of an arithmetic or logic operation is not zero
1	HC	HC: Digit Carry/Borrow bit (ADDWF, ADDLW, SUBLW, SUBWF instructions), For Borrow, the polarity is reversed. 1 = A carry-out from the 4 th low-order bit of the result occurred 0 = No carry-out from the 4 th low-order bit of the result
0	C	C: Carry/Borrow bit(1) (ADDWF, ADDLW, SUBLW, SUBWF instructions) 1 = A carry-out from the Most Significant bit of the result occurred 0 = No carry-out from the Most Significant bit of the result occurred

/TF	/PF	条件
1	1	上电或者低电压复位

0	U	WDT 复位
0	0	WDT 唤醒
U	U	正常运行下发生 MCLR 复位
1	0	睡眠状态下发生 MCLR 复位

注意：

1. 和其它寄存器一样，状态寄存器也可以作为任何指令的目标寄存器。如果一条指令影响 Z、HC 或 C 位的指令以状态寄存器作为目标寄存器，将禁止对这三位的写操作，它们只受逻辑结果影响，被置 1 或清 0。因此，当执行一条把状态寄存器作为目标寄存器的指令后，STATUS 内容可能和预想的不一致；
2. 建议只使用 BCR、BSR、SWAPR 和 STR 指令来改变状态寄存器。

5.1.1.5 PORTA 寄存器，地址 0x05

Bit	7	6	5	4	3	2	1	0
Name	PA7	PA6	PA5	PA4	PA3	PA2	PA1	PA0
Reset	x	x	x	x	x	x	x	x
Type	RW	RW	RO	RW	RW	RW	RW	RW

Bit	Name	Function
7	PA[7]	PORTA7 数据
6	PA[6]	PORTA6 数据
5	PA[5]	PA5 只有输入功能，不存在相应的数据寄存器
4	PA[4]	PORTA4 数据
3	PA[3]	PORTA3 数据
2	PA[2]	PORTA2 数据
1	PA[1]	PORTA1 数据
0	PA[0]	PORTA0 数据

5.1.1.6 PORTC 寄存器，地址 0x07

Bit	7	6	5	4	3	2	1	0
Name	PC7	PC6	PC5	PC4	PC3	PC2	PC1	PC0
Reset	x	x	x	x	x	x	x	x
Type	RW	RW	RW	RW	RW	RW	RW	RW

Bit	Name	Function
7:0	PORTC[7:0]	PORTC 数据寄存器

5.1.1.7 INTCON 寄存器, 地址 0x0B

Bit	7	6	5	4	3	2	1	0
Name	GIE	PEIE	TOIE	INTE	PAIE	TOIF	INTF	PAIF
Reset	0	0	0	0	0	0	0	0
Type	RW	RW	RW	RW	RW	RW	RW	RW

Bit	Name	Function
7	GIE	GIE: Global Interrupt Enable bit 全局中断使能 1 = Enables all unmasked interrupts 0 = Disables all interrupts
6	PEIE	PEIE: Peripheral Interrupt Enable bit 外设中断使能 1 = Enables all unmasked peripheral interrupts 0 = Disables all peripheral interrupts
5	TOIE	TOIE: Timer0 Overflow Interrupt Enable bit 定时器0溢出中断使能 1 = Enables the Timer0 interrupt 0 = Disables the Timer0 interrupt
4	INTE	INTE: PA2/INT External Interrupt Enable bit 外部中断使能 1 = Enables the PA2/INT external interrupt 0 = Disables the PA2/INT external interrupt
3	PAIE	PAIE: PORTA Change Interrupt Enable bit(1) 1 = Enables the PORTA change interrupt 0 = Disables the PORTA change interrupt
2	TOIF	TOIF: Timer0 Overflow Interrupt Flag bit(2) 定时器0溢出中断标志位 1 = Timer0 register has overflowed (must be cleared in software) 0 = Timer0 register did not overflow
1	INTF	INTF: PA2/INT External Interrupt Flag bit 外部中断标志位 1 = The PA2/INT external interrupt occurred (must be cleared in software) 0 = The PA2/INT external interrupt did not occur
0	PAIF	PAIF: PORTA Change Interrupt Flag bit 1 = When at least one of the PORTA <5:0> pins changed state (must be cleared in software) 0 = None of the PORTA <5:0> pins have changed state

5.1.1.8 PIR1 寄存器，地址 0x0C

Bit	7	6	5	4	3	2	1	0
Name	EEIF	CKMEAIF	-	C2IF	C1IF	OSFIF	TMR2IF	-
Reset	0	0	-	0	0	0	0	-
Type	RW	RW	-	RW	RW	RW	RW	-

Bit	Name	Function
7	EEIF	EEIF: EE写中断标志位 1 = EE 写操作完成 (必须软件清零) 0 = EE 写操作未完成
6	CKMEAIF	CKMEAIF: 快时钟测量慢时钟操作完成中断标志位 1 = 快时钟测量慢时钟操作完成 (必须软件清零) 0 = 快时钟测量慢时钟未完成
5	-	保留位，不要写1
4	C2IF	比较器 2 中断标志位 1 = 比较器 2 输出发生了变化 0 = 比较器 2 输出未发生改变
3	C1IF	比较器 1 中断标志位 1 = 比较器 1 输出发生了变化 0 = 比较器 1 输出未发生改变
2	OSFIF	振荡器故障中断标志位 1 = 系统振荡器发生故障，时钟输入切换为 INTOSC (必须用软件清 0) 0 = 系统时钟运行正常
1	TMR2IF	TMR2IF: Timer2 与PR2比较相等中断标志位 1 = timer2的值等于PR2 (必须软件清零) 0 = timer2 的值不等于 PR2
0	-	-

5.1.1.9 TMR2 寄存器，地址 0x11

Bit	7	6	5	4	3	2	1	0
Name	TMR2[7:0]							
Reset	0000 0000							
Type	RW							

Bit	Name	Function
7:0	TMR2[7:0]	Timer 2 计数结果寄存器

5.1.1.10 T2CON 寄存器，地址 0x12

Bit	7	6	5	4	3	2	1	0
Name	-	TOUTPS[3:0]				TMR2ON	T2CKPS[1:0]	
Reset	-	0000				0	00	
Type	-	RW				RW	RW	

Bit	Name	Function
7	-	未实现, 读 0
6:3	TOUTPS[3:0]	TOUTPS<3:0> : Timer2 Output Postscaler Select bits 定时器2输出后分频比选择 0000 = 1:1 后分频比 0001 = 1:2 后分频比 0010 = 1:3 后分频比 0011 = 1:4 后分频比 0100 = 1:5 后分频比 0101 = 1:6 后分频比 0110 = 1:7 后分频比 0111 = 1:8 后分频比 1000 = 1:9 后分频比 1001 = 1:10 后分频比 1010 = 1:11 后分频比 1011 = 1:12 后分频比 1100 = 1:13 后分频比 1101 = 1:14 后分频比 1110 = 1:15 后分频比 1111 = 1:16 后分频比
2	TMR2ON	TMR2ON : Timer2 On bit 打开定时器2 1 = Timer2 is on 打开 0 = Timer2 is off 关闭
1:0	T2CKPS[1:0]	T2CKPS<1:0> : Timer2 Clock Prescale Select bits 定时器2驱动时钟预分频比选择 00 = Prescaler is 1 01 = Prescaler is 4 1x = Prescaler is 16

5.1.1.11 WDTCON 寄存器, 地址 0x18

Bit	7	6	5	4	3	2	1	0
Name	-	-	-	WDTPS3	WDTPS2	WDTPS1	WDTPS0	SWDTEN
Reset	-	-	-	0	1	0	0	0
Type	-	-	-	RW	RW	RW	RW	RW

Bit	Name	Function
7:5	N/A	-
4:1	WDTPS[3:0]	WDTPS<3:0> : 看门狗定时器周期选择: Bit Value = 看门狗定时器驱动时钟之预分频比值 0000 = 1:32 0001 = 1:64 0010 = 1:128 0011 = 1:256 0100 = 1:512 (复位值) 0101 = 1:1024 0110 = 1:2048 0111 = 1:4096 1000 = 1:8192 1001 = 1:16384 1010 = 1:32768 1011 = 1:65536 1100 = 1:65536 1101 = 1:65536 1110 = 1:65536 1111 = 1:65536
0	SWDTEN	软件打开/关闭看门狗定时器: 1 = 打开 0 = 关闭

5.1.1.12 CMCON0 寄存器, 地址 0x19

Bit	7	6	5	4	3	2	1	0
Name	C2OUT	C1OUT	C2INV	C1INV	CIS	CM2	CM1	CM0
Reset	0	0	0	0	1	0	0	0
Type	RO	RO	RW	RW	RW	RW	RW	RW

Bit	Name	Function
7	C2OUT	比较器 2 输出 bit 当 C2INV=0 1: C2 V _{IN+} > C2 V _{IN-} 0: C2 V _{IN+} < C2 V _{IN-} 当 C2INV=1

		1: C2 $V_{IN+} < C2 V_{IN-}$ 0: C2 $V_{IN+} > C2 V_{IN-}$
6	C1OUT	比较器 1 输出 bit 当 C1INV=0 1: C1 $V_{IN+} > C1 V_{IN-}$ 0: C1 $V_{IN+} < C1 V_{IN-}$ 当 C1INV=1 1: C1 $V_{IN+} < C1 V_{IN-}$ 0: C1 $V_{IN+} > C1 V_{IN-}$
5	C2INV	比较器 2 输出反向 bit 0 = 不反向 1 = 反向
4	C1INV	比较器 1 输出反向 bit 0 = 不反向 1 = 反向
3	CIS	比较器输入切换 当 CM[2:0] = 010 时, 1 = C1 _{IN+} 接 C1 V_{IN-} C2 _{IN+} 接 C2 V_{IN-} 0 = C1 _{IN-} 接 C1 V_{IN-} C2 _{IN-} 接 C2 V_{IN-} 当 CM[2:0] = 001 时, 1 = C1 _{IN+} 接 C1 V_{IN-} 0 = C1 _{IN-} 接 C1 V_{IN-}
2-0	CM[2:0]	比较器模式位: 000 = 比较器关闭, CxIN管脚为模拟IO管脚 001 = 3个输入共用到2个比较器上 010 = 4个输入共用到2个比较器上 011 = 2个共参考比较器 100 = 2个独立比较器 101 = 1个独立比较器 110 = 2个带输出共参考比较器 111 = 比较器关闭, CxIN管脚为数字IO管脚

5.1.1.13 MSCKCON 寄存器, 地址 0x1B

Bit	7	6	5	4	3	2	1	0
MSCKCON	-	-	-	SLVREN	-	CKMAVG	CKCNTI	-
Reset	-	-	-	0	0	0	0	-
Type	-	-	-	RW	RW	RW	RW	-

Bit	Name	Function
7:5	-	保留位，不能写 1
4	SLVREN	软件控制 LVR 配置位 1: 编译选项里LVREN 使能时 SLVREN=1 为工作时开启LVR 睡眠时自动关闭LVR SLVREN=0 为始终开启LVR 2: 编译选项里 LVREN 关闭时，SLVREN=X 均为关闭 LVR
3	-	保留位，不能写 1
2	CKMAVG	快时钟测量慢时钟周期的测量平均模式 1 = 打开平均模式。(自动测量并累加 4 次) 0 = 关闭平均模式
1	CKCNTI	Clock Count Init -使能快时钟测量慢时钟周期 1 = 使能快时钟测量慢时钟周期 0 = 关闭快时钟测量慢时钟周期 注：这一位在测量完毕后会自动归零
0	-	保留位，不能写 1

5.1.1.14 SOSCPRL 寄存器，地址 0x1C, 1D

SOSCPRL, 地址 0x1C

Bit	7	6	5	4	3	2	1	0
Name	SOSCPRL[7:0]							
Reset	8' hff							
Type	RW							

SOSCPRH, 地址 0x1D

Bit	7	6	5	4	3	2	1	0
Name	-	-	-	-	SOSCPRH[11:8]			
Reset	-	-	-	-	4' hf			
Type	-	-	-	-	RW			

Bit	Name	Function
0x1C: 7:0 0x1D: 3:0	SOSCPRH[11:0]	低速振荡器周期 (单位: 快时钟周期数) 用于慢时钟测量功能

5.1.1.15 PR0 寄存器, 地址 0x1A

Bit	7	6	5	4	3	2	1	0
Name	PR0[7:0]							
Reset	1	1	1	1	1	1	1	1
Type	RW	RW	RW	RW	RW	RW	RW	RW

Bit	Name	Function
7:0	PR0[7:0]	Timer 0 周期(比较)寄存器 (详见 Timer0, timer2 描述章节)

5.1.1.16 OPTION 寄存器, 地址 0x81

Bit	7	6	5	4	3	2	1	0
Name	/PAPU	INTEDG	T0CS	T0SE	PSA	PS2	PS1	PS0
Reset	1	1	1	1	1	1	1	1
Type	RW	RW	RW	RW	RW	RW	RW	RW

Bit	Name	Function
7	/PAPU	PAPU: PORTA Pull-up Enable bit 1 = PORTA pull-ups are disabled 0 = PORTA pull-ups are enabled by individual PORT latch values
6	INTEDG	INTEDG: Interrupt Edge Select bit 1 = Interrupt on rising edge of PA2/INT pin 0 = Interrupt on falling edge of PA2/INT pin
5	T0CS	T0CS: Timer0 Clock Source Select bit 1 = Transition on PA2/T0CKI pin 0 = Internal instruction cycle clock (FOSC/2)
4	T0SE	T0SE: Timer0 Source Edge Select bit 1 = Increment on high-to-low transition on PA2/T0CKI pin 0 = Increment on low-to-high transition on PA2/T0CKI pin
3	PSA	PSA: Prescaler Assignment bit 1 = Prescaler is assigned to the WDT 0 = Prescaler is assigned to the Timer0 module
2	PS2	PS<2:0>: Prescaler Rate Select bits BIT VALUE TIMER0 RATE WDT RATE 000 1 : 2 1 : 1 001 1 : 4 1 : 2
1	PS1	
0	PS0	

	010	1 : 8	1 : 4
	011	1 : 16	1 : 8
	100	1 : 32	1 : 16
	101	1 : 64	1 : 32
	110	1 : 128	1 : 64
	111	1 : 256	1 : 128

5.1.1.17 TRISA 寄存器, 地址 0x85

Bit	7	6	5	4	3	2	1	0
Name	TRISA[7]	TRISA[6]	TRISA[5]	TRISA[4]	TRISA[3]	TRISA[2]	TRISA[1]	TRISA[0]
Reset	1	1	1	1	1	1	1	1
Type	RW	RW	RO	RW	RW	RW	RW	RW

Bit	Name	Function
7:6	TRISA[7:6]	TRISA<7:6> : RA<7:6> Port I/O Tri-State Control bits 1 = Port output driver is disabled 0 = Port output driver is enabled
5	TRISA[5]	TRISA<5> : Input only port Read 1
4:0	TRISA[4:0]	TRISA<4:0> : RA<4:0> Port I/O Tri-State Control bits 1 = Port output driver is disabled 0 = Port output driver is enabled

5.1.1.18 TRISC 寄存器, 地址 0x87

Bit	7	6	5	4	3	2	1	0
Name	TRISC							
Reset	1	1	1	1	1	1	1	1
Type	RW	RW	RW	RW	RW	RW	RW	RW

Bit	Name	Function
7:0	TRISC[7:0]	PORTC I/O Tri-State Control bits 1 = Port output driver is disabled 0 = Port output driver is enabled

5.1.1.19 PIE1 寄存器, 地址 0x8C

Bit	7	6	5	4	3	2	1	0
Name	EEIE	CKMEAIE	-	C2IE	C1IE	OSFIE	TMR2IE	-
Reset	0	0	-	0	0	0	0	-
TYPE	RW	RW	-	RW	RW	RW	RW	-

Bit	Name	Function
7	EEIE	EEIE: EE写中断使能位 1 = 使能EE 写操作完成中断 0 = 关闭 EE 写操作完成中断
6	CKMEAIE	CKMEAIE: 快时钟测量慢时钟操作完成中断使能位 1 = 使能快时钟测量慢时钟操作完成中断 0 = 关闭快时钟测量慢时钟操作完成中断
5	-	保留位, 不要写 1
4	C2IE	比较器 2 中断允许位 1 = 允许比较器 2 中断 0 = 禁止比较器 2 中断
3	C1IE	比较器 1 中断允许位 1 = 允许比较器 1 中断 0 = 禁止比较器 1 中断
2	OSFIE	振荡器故障中断允许位 1 = 允许振荡器故障中断 0 = 禁止振荡器故障中断
1	TMR2IE	TMR2IE: Timer2 与PR2比较相等中断使能位 1 = 使能 timer2的值等于PR2 中断 0 = 关闭使能 timer2的值等于 PR2 中断
0	-	-

5.1.1.20 OSCCON 寄存器, 地址 0x8F

Bit	7	6	5	4	3	2	1	0
Name	LFMOD	IRCF[2]	IRCF[1]	IRCF[0]	OSTS	HTS	LTS	SCS
Reset	0	3' b101			1	0	0	0
TYPE	RW	RW			RO	RO	RO	RW

Bit	Name	Function
7	LFMOD	低频内振模式: 1 = 256K 振荡频率模式 0 = 32K 振荡频率模式
6:4	IRCF[2:0]	内部振荡器频率选择

		111 =16 MHz 110 =8 MHz 101 =4 MHz(default) 100 =2 MHz 011 =1 MHz 010 =500 kHz 001 =250 kHz 000 =32 kHz (LFINTOSC)
3	OSTS	振荡器起振超时状态位 1 = 器件运行在 FOSC<2:0>指定的外部时钟之下 0 = 器件运行在内部振荡器之下
2	HTS	高速内部时钟状态 1 = HFINTOSC is ready 0 = HFINTOSC is not ready
1	LTS	低速内部时钟状态 1 = LFINTOSC is ready 0 = LFINTOSC is not ready
0	SCS	系统时钟选择位 1 = 系统时钟选择为内部振荡器 0 = 时钟源由 FOSC<2:0>决定

5.1.1.21 PR2 寄存器, 地址 0x92

Bit	7	6	5	4	3	2	1	0
Name	PR2[7:0]							
Reset	1	1	1	1	1	1	1	1
Type	RW	RW	RW		RW	RW	RW	RW

Bit	Name	Function
7:0	PR2[7:0]	Timer 2 周期(比较)寄存器 (详见 Timer2 描述章节)

5.1.1.22 WPUA 寄存器, 地址 0x95

Bit	7	6	5	4	3	2	1	0
Name	WPUA7	WPUA6	WPUA5	WPUA4	WPUA	WPUA2	WPUA1	WPUA0
Reset	1	1	-	1	1	1	1	1
Type	RW	RW	-	RW	RW	RW	RW	RW

Bit	Name	Function
7,6,4,3,2,1,0	WPUAx	Port A 弱上拉使能 1 = 使能 PORT A 端口弱上拉 0 = 断开 PORT A 端口弱上拉
5	NA	PORTA[5]的弱上拉功能由配置寄存器位 MCLRE 决定 MCLRE = 1 使能 PA5 弱上拉 MCLRE = 0 禁止 PA5 弱上拉

5.1.1.23 IOCA 寄存器, 地址 0x96

Bit	7	6	5	4	3	2	1	0
Name	IOCA[7:0]							
Reset	8' h00							
Type	RW							

Bit	Name	Function
7:0	IOCA[7:0]	端口状态触发中断设置 1 = 使能端口状态触发中断 0 = 关闭端口状态触发中断

5.1.1.24 VRCON 寄存器, 地址 0x99

Bit	7	6	5	4	3	2	1	0
Name	VREN	-	VRR	-	VR3	VR2	VR1	VR0
Reset	0	-	0	-	0	0	0	0
Type	RW	-	RW	-	RW	RW	RW	RW

Bit	Name	Function
7	VREN	CVref 使能位 1 = CVref 电路通电 0 = CVref 电路断电, 无泄漏电流
6	-	未实现, 读 0
5	VRR	CVref 范围选择位 1 = 低电平范围 0 = 高电平范围

4	-	未实现, 读 0
3:0	VR<3:0>	CVref 值选择位 VRR=1 时: CVref= (VR<3:0>/24)*VDD VRR=0 时: CVref= VDD/4 + (VR<3:0>/32)*VDD

5.1.1.25 PCON 寄存器, 地址 0x8E

Bit	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	-	/POR	/BOR
Reset	-	-	-	-	-	-	q	q
Type	-	-	-	-	-	-	RW	RW

Bit	Name	Function
7:2	-	保留位, 读 0
1	/POR	上电复位标志, 低有效 0: 发生了上电复位 1: 没发生上电复位或者由软件置 1 /POB 在上电复位后值为 0, 此后软件应该将其置 1
0	/BOR	低电压复位标志, 低有效 0: 发生了低电压复位 1: 没发生低电压复位或者由软件置 1 /BOR 在上电复位后其值不确定, 必须由软件置 1。发生后续复位后, 通过查询此位来确定是否低电压复位

5.1.1.26 EEDAT 寄存器, 地址 0x9A

Bit	7	6	5	4	3	2	1	0
Name	EEDAT[7:0]							
Reset	0	0	0	0	0	0	0	0
Type	RW	RW	RW	RW	RW	RW	RW	RW

5.1.1.27 EEADR 寄存器, 地址 0x9B

Bit	7	6	5	4	3	2	1	0
Name	EEADR[7:0]							
Reset	0	0	0	0	0	0	0	0
Type	RW	RW	RW	RW	RW	RW	RW	RW

5.1.1.28 EECON1 寄存器，地址 0x9C

Bit	7	6	5	4	3	2	1	0
Name	-	-	WREN3	WREN2	WRERR	WREN1	-	RD
Reset	-	-	0	0	x	0	-	0
Type	-	-	RW	RW	RW	RW	-	WO

Bit	Name	Function
7:6	-	保留位，读 0
5	WREN3	数据 EEPROM 写使能 3 和 WREN2、WREN1 结合使用
4	WREN2	数据 EEPROM 写使能 2 和 WREN3、WREN1 结合使用
3	WRERR	数据 EEPROM 写错误标志位 1: 在 EEPROM 编程周期发生了看门狗或者外部复位，中止 0: 在 EEPROM 编程周期正常完成
2	WREN1	数据 EEPROM 写使能 1 WREN3-1=111: 允许软件对 EEPROM 编程，编程完成后各位自动清 0 WREN3-1=其他值: 禁止软件对 EEPROM 编程
1	-	保留位，读 0
0	RD	数据 EEPROM 读控制位 此位是只写，读永远返回 0 写 1: 启动一次数据 EEPROM 读周期 写 0: 不启动读

5.1.1.29 EECON2 寄存器，地址 0x9D

Bit	7	6	5	4	3	2	1	0
Name	-	-	-	-	-	-	-	WR
Reset	-	-	-	-	-	-	-	0
Type	-	-	-	-	-	-	-	RW

Bit	Name	Function
7:1	-	保留位，读 0
0	WR	数据 EEPROM 写控制位 读操作: 1: 数据 EEPROM 编程周期进行中 0: 数据 EEPROM 不处于编程周期 写操作:

		1: 启动一次数据 EEPROM 编程周期 0: 无意义
--	--	---------------------------------

5.1.1.30 配置寄存器 UCFGx

软件不能访问 UCFG0、UCFG1、UCFG2，它们只在上电过程由硬件写入。

UCFG0，PROM 地址 0x2000。

Bit	7	6	5	4	3	2	1	0
Name	-	CPB	MCLRE	PWRTEB	WDTE	FOSC<2:0>		

位	名称	描述
Bit[7]	NA	保留位，读 0
Bit[6]	CPB	1: Flash 内容不保护 0: 启动 Flash 内容保护，MCU 能读，串口不能读 注意： 此位只能由 1 改写为 0，而不能由 0 改写为 1。由 0 改写成 1 的唯一方法是进行一次包括 USER_OPT 在内的片擦操作，并且重新上电后 CPB 才变为 1
Bit[5]	MCLRE	1: PA5/MCLR 脚执行 MCLR 功能，是复位脚 0: PA5/MCLR 脚执行 PA5 功能，是数字输入引脚
Bit[4]	PWRTEB	1: PWRT 禁止 0: PWRT 使能
Bit[3]	WDTE	1: WDT 使能，程序不能禁止 0: WDT 禁止，但程序可通过设置 WDTCON 的 SWDTEN 位将 WDT 使能
Bit[2:0]	FOSC[2:0]	000: 32K 晶振模式，PA6/PA7 接低速晶体 001: 20M 晶振模式，PA6/PA7 接高速晶体 010: 外部时钟模式，PA6 为 IO 功能，PA7 接时钟输入 011: INTOSC 模式，PA6 输出系统时钟的 2 分频，PA7 为 IO 引脚 1xx: INTOSCIO 模式，PA6 为 IO 引脚，PA7 为 IO 引脚

UCFG1，PROM 地址 0x2001。

Bit	7	6	5	4	3	2	1	0
Name	-	-	TSEL	FCMEN	IESO	RD_CTRL	LV DEN1	LV DEN0

位	名称	描述
Bit[7:6]	-	保留

Bit[5]	TSEL	指令周期选择位 1: 指令周期为 2T 0: 指令周期为 4T
Bit[4]	FCMEN	时钟故障监视使能 1: 使能时钟故障监视 0: 禁止时钟故障监视
Bit[3]	IESO	双速时钟使能 1: 使能双速时钟模式 0: 禁止双速时钟模式
Bit[2]	RD_CTRL	输出模式时读端口控制 1: 读数据端口返回的 PAD 上的值 0: 读数据端口返回的 Latch 上的值
BIT[1:0]	LV DEN[1:0]	低电压复位选择 00: 低电压复位使能 其它: 禁止低电压复位

UCFG2, PROM 地址 0x2002。

Bit	7	6	5	4	3	2	1	0
Name	-	-	-	-	LVDS[3:0]			

位	名称	描述												
Bit[7:4]	-	保留位												
Bit[3:0]	LVDS[3:0]	低电压复位阈值选择 <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>数值</th> <th>电压</th> </tr> </thead> <tbody> <tr> <td>0010</td> <td>1.8V</td> </tr> <tr> <td>0011</td> <td>2.0V</td> </tr> <tr> <td>0100</td> <td>2.2V</td> </tr> <tr> <td>0110</td> <td>2.8V</td> </tr> <tr> <td>其它</td> <td>保留</td> </tr> </tbody> </table>	数值	电压	0010	1.8V	0011	2.0V	0100	2.2V	0110	2.8V	其它	保留
数值	电压													
0010	1.8V													
0011	2.0V													
0100	2.2V													
0110	2.8V													
其它	保留													

5.1.1.31 PCL 和 PCLATH

程序计数器 (PC) 为 11 位宽。其低 8 位来自可读写的 PCL 寄存器, 高 3 位 (PC<10:8>) 来自 PCLATH, 不能直接读写。只要发生复位, PC 就将被清 0。下图显示了装载 PC 值的两种情形。注意图右边的 LCALL 和 LJUMP 指令, 由于指令中的操作码为 11 位, 而芯片的 PC 刚好是 11 位, 所以这时 PCLATH 并不需要用到。

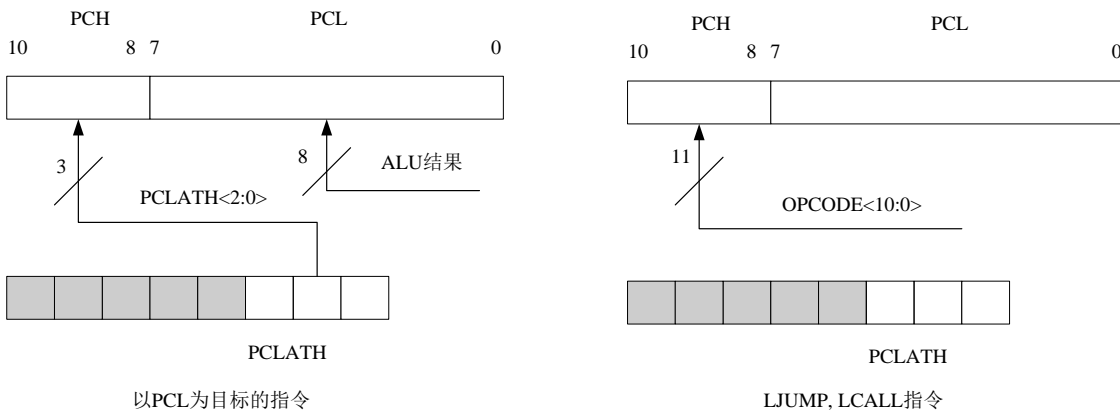


图 2.1.1 不同情况下 PC 的加载

修改 PCL

执行任何以 PCL 寄存器为目标寄存器的指令将同时使程序计数器 PC<10:8>位被 PCLATH 内容取代。这样可通过将所需的高 3 位写入 PCLATH 寄存器来改变程序计数器的所有内容。

计算 LJUMP 指令是通过向程序计数器加入偏移量 (ADDWR PCL) 来实现的。通过修改 PCL 寄存器跳转到查找表或程序分支表 (计算 LJUMP) 时应特别谨慎。假定 PCLATH 设置为表的起始地址, 如果表长度大于 255 条指令, 或如果存储器地址的低 8 位在表的中间从 0xFF 计满返回到 0x00, 那么在每次表起始地址与表内的目标地址之间发生计满返回时, PCLATH 必须递增。

5.1.1.32 INDF 和 FSR 寄存器

INDF 不是物理存在的寄存器, 对 INDF 进行寻址将产生间接寻址, 可寻址范围为 0~255。

任何使用 INDF 寄存器的指令, 实际上是对文件选择寄存器 FSR 所指向的单元进行存取。间接对 INDF 进行读操作将返回 0。间接对 INDF 进行写将导致空操作 (可能会影响状态标志位)。

5.2 系统时钟源

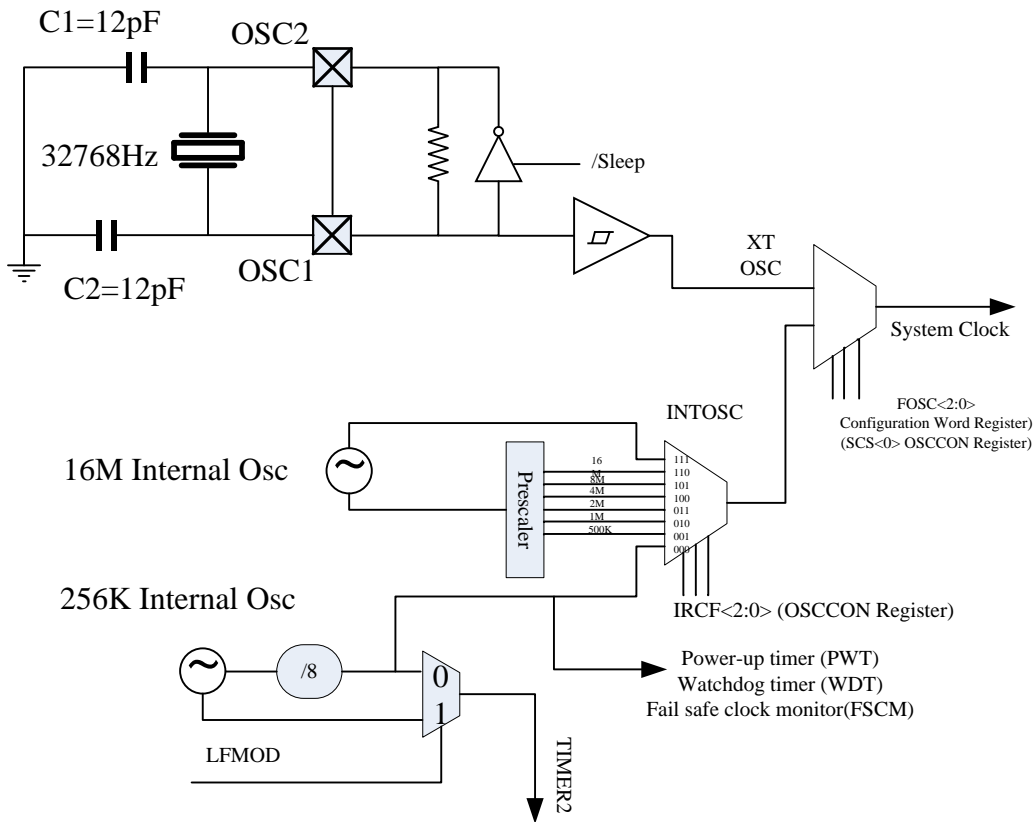


图 3.1 系统时钟源框图

本芯片包含 4 个时钟源：2 个内置振荡器作为各种时钟源，1 个外部晶体振荡器，1 个外部时钟灌入源。内置振荡器包括 1 个内部 16M 高速精准振荡器(HFINTOSC)，1 个内部 32K/256K(LFINTOSC)低速低功耗振荡器。这些时钟或振荡器结合预分频器可以给系统提供各种频率的时钟源。

系统时钟源的预分频器比例由 OSCCON 寄存器里的 IRCF<2:0>位控制。

注意：

看门狗、系统时钟源 (IRCF=000) 以及 PWRT 统一使用 8 分频之后的输出，即 32KHz，而不管 LFMOD 为何值。

5.2.1 时钟源模式

时钟源模式分为外部和内部模式。

- 外部时钟模式依靠外部电路提供时钟源，比如外部时钟 EC 模式，晶体谐振器 XT、LP 模式。
- 内部时钟模式内置于振荡器模块中，振荡器模块有 16MHz 高频振荡器和 32KHz 低频振荡器。

可通过 OSCCON 寄存器的系统时钟选择位 (SCS) 来选择内部或者外部时钟源。

5.2.2 外部时钟模式

5.2.2.1 振荡器起振定时器 (OST)

如果振荡器模块配置为 LP、XT 模式，振荡器起振定时器 (OST) 将对来自 OSC1 的振荡计数 1024 次。这发生在上电复位 (POR) 之后以及上电延时定时器 (PWRT) 延时结束 (如果被使能) 时，或从休眠中唤醒后。在此期间，程序计数器不递增，程序执行暂停。OST 确保使用石英晶体谐振器或陶瓷谐振器的振荡器电路已经启动并向振荡器模块提供稳定的系统时钟信号。当在时钟源之间切换时，需要一定的延时以使新时钟稳定。

5.2.2.2 EC 模式

外部时钟模式允许外部产生的逻辑电平作为系统时钟源。工作在此模式下时，外部时钟源连接到 OSC1 输入，OSC2 引脚可用作通用 I/O。

当选取 EC 模式时，振荡器起振定时器 (OST) 被禁止。因此，上电复位 (POR) 后或者从休眠中唤醒后的操作不存在延时。MCU 被唤醒后再次启动外部时钟，器件恢复工作，就好像没有停止过一样。

5.2.2.3 LP 和 XT 模式

LP 和 XT 模式支持连接到 OSC1 和 OSC2 的石英晶体谐振器或陶瓷谐振器的使用。

模式选择内部反相放大器的低或高增益设定，以支持各种谐振器类型及速度。

LP 振荡器模式选择内部反相放大器的最低增益设定。

LP 模式的电流消耗在两种模式中最小。该模式设计仅用于驱动 32.768 kHz 音叉式晶振（钟表晶振）。

XT 振荡器模式选择内部反相放大器的高增益设定。

5.2.3 内部时钟模式

振荡器模块有两个独立的内部振荡器，可配置或选取为系统时钟源。

1. HFINTOSC（高频内部振荡器）出厂时已校准，工作频率为 16MHz。
2. LFINTOSC（低频内部振荡器）未经校准，工作频率为 32 kHz。软件对 OSCCON 寄存器的内部振荡器频率选择位 IRCF<2:0> 进行操作，可选择系统时钟速度。

可通过 OSCCON 寄存器的系统时钟选择（SCS）位，在外部或内部时钟源之间选择系统时钟。

注意：OSCCON 寄存器的 LFMOD 可以选择 LFINTOSC 是 32KHz 或者 256KHz，但看门狗固定使用 32KHz，不管 LFMOD 为何值。

5.2.3.1 频率选择位 (IRCF)

16MHz HFINTOSC 和 32KHz LFINTOSC 的输出连接到预分频器和多路复用器（见图 3.1）。OSCCON 寄存器的内部振荡器频率选择位 IRCF<2:0> 用于选择内部振荡器的频率输出。可通过软件选择以下 8 个频率之一：

- 16MHz
- 8MHz
- 4MHz（复位后的缺省值）
- 2MHz
- 1MHz

- 500 kHz
- 250 kHz
- 32 kHz

5.2.3.2 HFINTOSC 和 LFINTOSC 时钟切换时序

当在 LFINTOSC 和 HFINTOSC 之间切换时，新的振荡器可能为了省电已经关闭（见图 3.2 和图 3.3）。在这种情况下，OSCCON 寄存器的 IRCF 位被修改之后、频率选择生效之前，存在一个延时。OSCCON 寄存器的 LTS 和 HTS 位将反映 LFINTOSC 和 HFINTOSC 振荡器的当前活动状态。频率选择时序如下：

1. OSCCON 寄存器的 IRCF<2:0>位被修改。
2. 如果新时钟是关闭的，开始一个时钟启动延时。
3. 时钟切换电路等待当前时钟下降沿的到来。
4. CLKOUT 保持为低，时钟切换电路等待两个新时钟下降沿的到来。
5. 现在 CLKOUT 连接到新时钟。OSCCON 寄存器的 HTS 和 LTS 位按要求被更新。
6. 时钟切换完成。

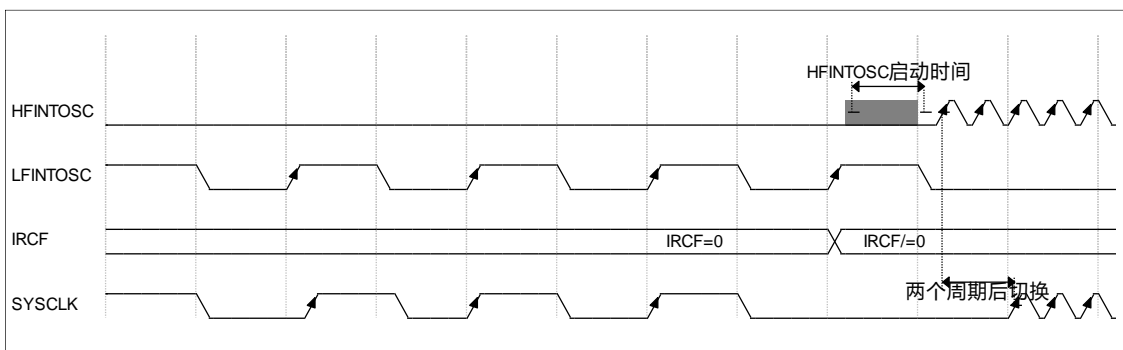


图 3.2 由慢时钟切换到快时钟

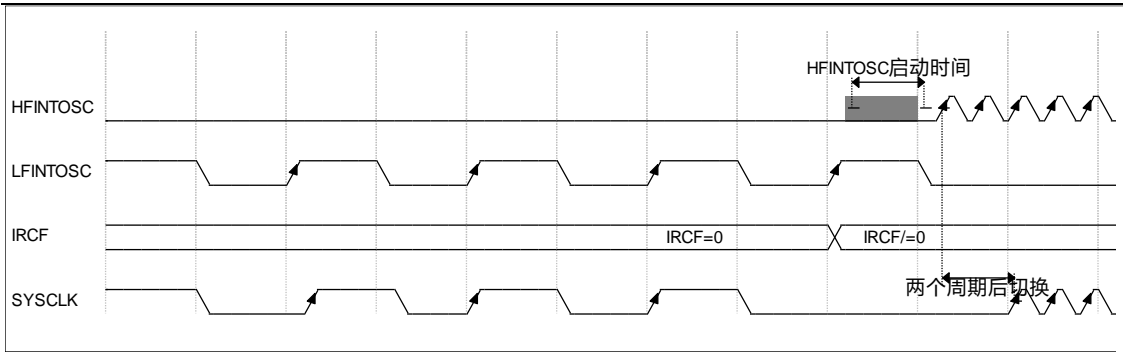


图 3.3 由快时钟切换到慢时钟

5.2.4 时钟切换

通过软件对 OSCCON 寄存器的系统时钟选择 (SCS) 位进行操作, 可将系统时钟源在外部和内部时钟源之间切换。

5.2.5 系统时钟选择 (SCS) 位

OSCCON 寄存器的系统时钟选择 (SCS) 位选择用于 CPU 和外设的系统时钟源。

- OSCCON 寄存器的位 SCS = 0 时, 系统时钟源由配置字寄存器 (UCFG0) 中 FOSC<2:0>位的配置决定。
- OSCCON 寄存器的位 SCS = 1 时, 根据 OSCCON 寄存器的 IRCF<2:0>位所选的内部振荡器频率选取系统时钟源。复位后, OSCCON 寄存器的 SCS 总是被清零。

注: 任何由硬件引起的时钟切换 (可能产生自双速启动或故障保护时钟监控器) 都不会更新 OSCCON 寄存器的 SCS 位。用户应该监控 OSCCON 寄存器的 OSTS 位以确定当前的系统时钟源。

5.2.5.1 振荡器起振超时状态 (OSTS) 位

OSCCON 寄存器的振荡器起振超时状态 (OSTS) 位用于指示系统时钟是来自外部时钟源, 还是来自内部时钟

源。外部时钟源由配置字寄存器 (UCFG0) 的 FOSC<2:0>定义。OSTS 还特别指明在 LP 或 XT 模式下, 振荡器起振定时器 (OST) 是否已超时。

5.2.6 双速时钟启动模式

双速启动模式通过最大限度地缩短外部振荡器起振与代码执行之间的延时, 进一步节省了功耗。对于频繁使用休眠模式的应用, 双速启动模式将在器件唤醒后除去外部振荡器的起振时间, 从而可降低器件的总体功耗。该模式使得应用能够从休眠中唤醒, 将 INTOSC 用作时钟源执行数条指令, 然后再返回休眠状态而无需等待主振荡器的稳定。

注: 执行 SLEEP 指令将中止振荡器起振时间, 并使 OSCCON 寄存器的 OSTS 位保持清零。

当振荡器模块配置为 LP 或 XT 模式时, 振荡器起振定时器 (OST) 使能 (见第 3.2.1 节“振荡器起振定时器”)。OST 将暂停程序执行, 直到完成 1024 次振荡计数。双速启动模式在 OST 计数时使用内部振荡器进行工作, 使代码执行的延时最大限度地缩短。当 OST 计数到 1024 且 OSCCON 寄存器的 OSTS 位置 1 时, 程序执行切换至外部振荡器。

5.2.6.1 双速启动模式配置

通过以下设定来配置双速启动模式:

- 配置字寄存器 (UCFG1) 中的位 IESO = 1; 内部/外部切换位 (使能双速启动模式)。
- OSCCON 寄存器的位 SCS = 0。
- 配置字寄存器 (CONFIG) 中的 FOSC<2:0>配置为 LP 或 XT 模式。

在下列操作之后, 进入双速启动模式:

- 上电复位 (POR) 且上电延时定时器 (PWRT)
- 延时结束 (使能时) 后, 或者从休眠状态唤醒。

如果外部时钟振荡器配置为除 LP 或 XT 模式以外的任一模式, 那么双速启动将被禁止。这是因为 POR 后或从休眠中退出时, 外部时钟振荡器不需要稳定时间。

5.2.6.2 双速启动顺序

1. 从上电复位或休眠中唤醒。
2. 使用内部振荡器以 OSCCON 寄存器的 IRCF<2:0> 位设置的频率开始执行指令。
3. OST 使能, 计数 1024 个时钟周期。
4. OST 超时, 等待内部振荡器下降沿的到来。
5. OSTS 置 1。
6. 系统时钟保持为低, 直到新时钟下一个下降沿的到来 (LP 或 XT 模式)。
7. 系统时钟切换到外部时钟源。

5.2.7 故障保护时钟监控器

故障保护时钟监控器 (FSCM) 使得器件在出现外部振荡器故障时仍能继续工作。FSCM 能在振荡器起振延时定时器 (OST) 到期后的任一时刻检测振荡器故障。FSCM 通过将配置字寄存器 (UCFG1) 中的 FCMEN 位置 1 来使能。FSCM 可用于所有外部振荡模式 (LP、XT 和 EC)。

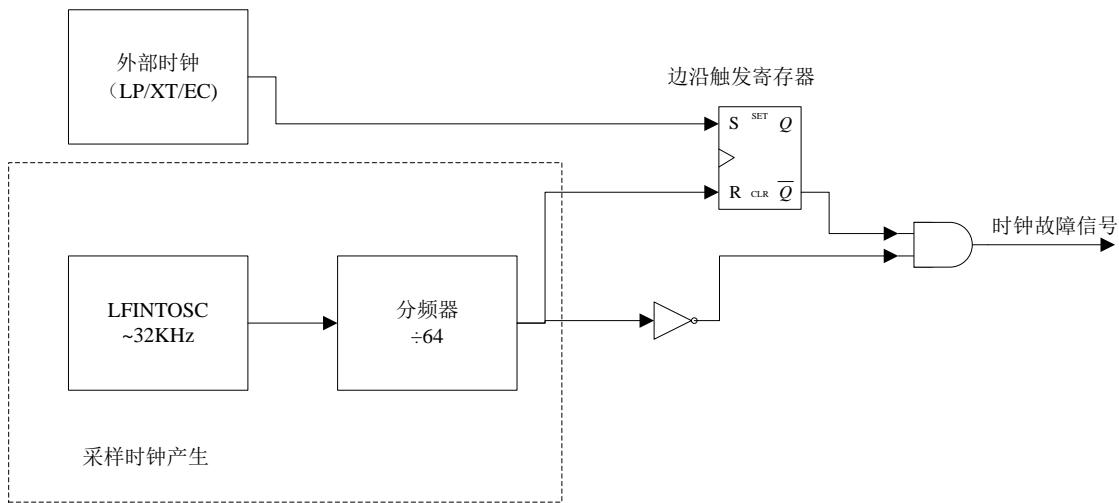


图 3.4 FSCM 原理框图

5.2.7.1 故障保护检测

FSCM 模块通过将外部振荡器与 FSCM 采样时钟比较来检测振荡器故障。LFINTOSC 除以 64，就产生了采样时钟。请参见图 3.4。故障检测器内部有一个锁存器。在外部时钟的每个下降沿，锁存器被置 1。在采样时钟的每个上升沿，锁存器被清零。如果采样时钟的整个半周期流逝而主时钟依然未进入低电平，就检测到故障。

5.2.7.2 故障保护操作

当外部时钟出现故障时，FSCM 将器件时钟切换到内部时钟源，并将 PIR1 寄存器的 OSFIF 标志位置 1。如果在 PIR1 寄存器的 OSFIE 位置 1 的同时将该标志位置 1，将产生中断。器件固件随后会采取措施减轻可能由故障时钟所产生的问题。系统时钟将继续来自内部时钟源，直到器件固件成功重启外部振荡器并切换回外部操作。

FSCM 所选的内部时钟源由 OSCCON 寄存器的 IRCF<2:0>位决定。这使内部振荡器可以在故障发生前就得以配置。

5.2.7.3 故障保护条件清除

复位、执行 SLEEP 指令或翻转 OSCCON 寄存器的 SCS 位后，故障保护条件被清除。OSCCON 寄存器的 SCS 位被修改后，OST 将重新启动。OST 运行时，器件继续从 OSCCON 中选定的 INTOSC 进行操作。OST 超时后，故障保护条件被清除，器件将从外部时钟源进行操作。必须先清除故障保护条件，才能清零 OSFIF 标志位。

5.2.7.4 复位或从休眠中唤醒

FSCM 设计为能在振荡器起振延时定时器 (OST) 到期后的任一时刻检测振荡器故障。OST 的使用场合为从休眠状态唤醒后以及任何类型的复位后。OST 不能在 EC 时钟模式下使用, 所以一旦复位或唤醒完成, FSCM 就处于激活状态。当 FSCM 被使能时, 双速启动也被使能。因此, 当 OST 运行时, 器件总是处于代码执行阶段。

注: 由于振荡器起振时间的范围变化较大, 在振荡器起振期间 (从复位或休眠中退出时), 故障保护电路不处于激活状态。经过一段适当的时间后, 用户应检查 OSCCON 寄存器的 OSTS 位, 以验证振荡器是否已成功起振以及系统时钟是否切换成功。

5.3. 复位时序

XNS125 有以下几种不同的复位：

- A) 上电复位 POR
- B) WDT(看门狗)复位 – 在常规运行期间
- C) WDT(看门狗)唤醒 – 在睡眠期间
- D) /MCLR 管脚复位 – 在常规运行期间
- E) /MCLR 管脚复位 – 在睡眠期间
- F) 低电压 (BOR/LVR) 复位
- G) 指令错误复位 (可禁止)

有些寄存器是不被任何复位影响的；这些寄存器的状态在上电复位时是未知的，也不受复位事件影响。大多数其它寄存器都会在以下复位事件时恢复到其“复位状态”：

- 上电复位 POR
- WDT(看门狗)复位 – 在常规运行期间
- WDT(看门狗)复位 – 在睡眠期间
- /MCLR 管脚复位 – 在常规运行期间
- 低电压 (BOR) 复位
- 错误指令复位

WDT(看门狗)睡眠唤醒不会造成和在常规运行状态下 WDT(看门狗)超时所造成的复位。因为睡眠唤醒本身就是一种继续的意思，而不是复位/TO 和/PD 位的设置和清零在不同复位条件下的动作是不同的。具体可参考表 4.1 和 4.2。

/MCLR 管脚背后的电路带有防抖功能，能够滤除一些干扰造成的尖细脉冲信号。

下图为复位电路的总体概述框图。

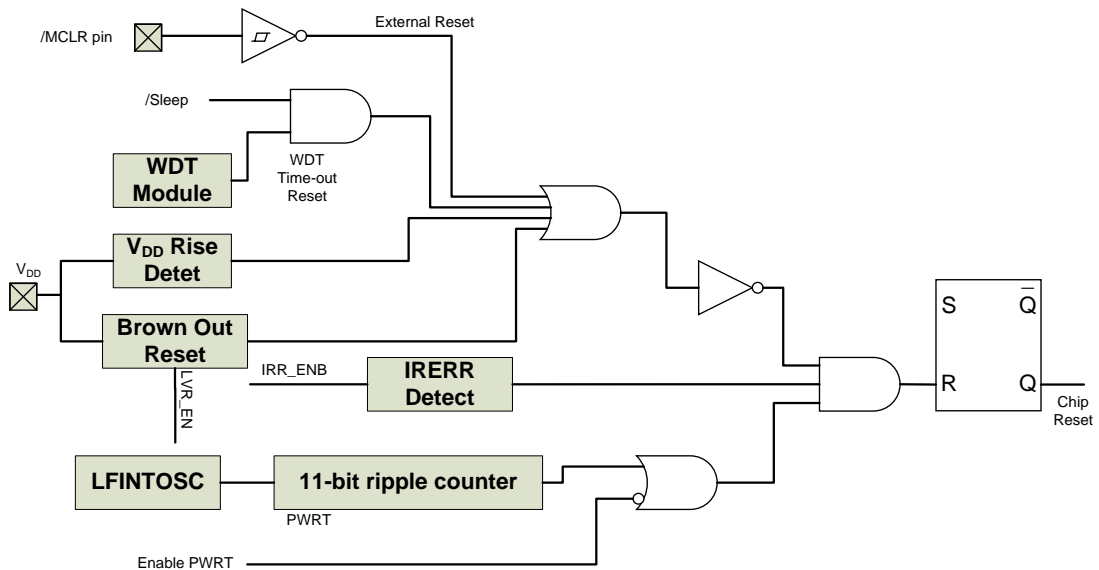


图 4.1 复位功能框图

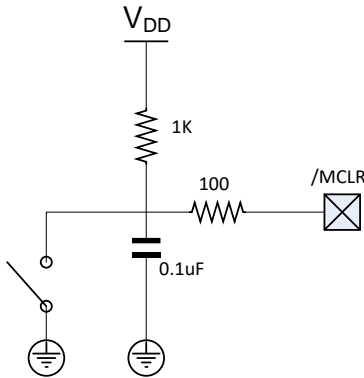
5.3.1 POR 上电复位

片上的 POR 电路会将芯片保持在复位状态直到 VDD 电源电压达到足够高，为充分利用片内复位电路的功能，用户可以简单地直接在 VDD 和/MCLR 之间结一个电阻。这样外部就无需任何 RC 复位电路。不过这要求 VDD 电压上升时间为最大。

上电完成后，系统复位不会立即释放，还要等一个约 4ms 的延时，期间数字电路保持在复位状态。

5.3.1.1 外部复位 MCLR

需要注意的是，WDT 复位不会把/MCLR 管脚拉低。在/MCLR 管脚上施加超过指标的电压（例如 ESD 事件）会造成/MCLR 复位，而且在管脚上产生超标的大电流，因此我们推荐用户不再直接用一个电阻将/MCLR 和 VDD 连接起来，而是采用以下电路。



在芯片的 CONFIG OPTION 寄存器 (UCFG0) 中有一个 MCLRE 使能位，将此位清零会使得复位信号由芯片内部产生。当此位为 1 时，芯片的 PA5/MCLR 脚成为外部复位脚。在这个模式下，/MCLR 脚上有个对 VDD 的弱上拉。

5.3.2 PWRT (上电计时器)

PWRT 为上电复位，低电压复位提供一个固定的 64ms (正常情况下) 的定时。这个定时器由内部慢时钟驱动。芯片在定时器超时之前都是被保持在复位状态。这段时间能保证 VDD 上升到足够高的电压使得系统能正常工作。PWRT 也可以通过系统 CONFIG 寄存器 (UCFG0) 来使能。在开启低电压复位功能时，用户应该也打开 PWRT。PWRT 定时是由 VDD 电压超过 VBOR 门限事件启动的。另外需要注意的是，由于由内部慢时钟驱动，定时的实际时间长度是随温度，电压等条件变化而变化的。这个时间不是一个精准参数。

5.3.3 BOR(LVR)低电压复位

低电压复位由 UCFG1<1:0>位来控制。低电压复位就是指当电源电压低于 VBOR 门限电压时所产生的复位。不过当 VDD 电压低于 VBOR 不超过 TBOR 时间时，低电压复位可能不会发生。

VBOR 电压在芯片出货之前需要校准，校准可通过串口写入内部校准寄存器来完成。

如果 BOR (低电压复位) 是使能 (UCFG1<1:0>=00) 的，那么最大 VDD 电压上升时间的要求就不存在。BOR
 咨询电话：0755-82077789

电路会将芯片控制在复位状态，一直到 VDD 电压达到 VBOR 门限电压以上。

需要注意的是，当 VDD 低于系统能正常工作的门限时，POR 电路并不会产生复位信号。如果要 BOR 电路产生复位信号，VDD 电压必须在 VSS 电平上保持 100uS 以上。

5.3.4 错误指令复位

当 CPU 的指令寄存器取指到未定义指令时，系统将进行复位，利用此功能可增加系统的抗干扰能力。

5.3.5 超时动作

在上电过程中，芯片内部的超时动作顺序按以下流程执行：

POR 结束后启动 PWRT 计时

由于计时是由 POR 脉冲结束启动的，如果/MCLR 在低电平状态下保持足够长的时间，超时事件就会发生。那么将/MCLR 拉高会让 CPU 立即开始执行。这在测试或者需要多个 MCU 同步的情况下会很有用。

Power Control Register (PCON)

PCON 寄存器里有 2 位指示哪一种复位发生了。Bit0 是/BOR 指示位，其在上电复位是未知态，软件必须将其置 1，然后检查其是否为 0。Bit1 是/POR 指示位，其在上电复位后为 0，软件必须将其置 1。

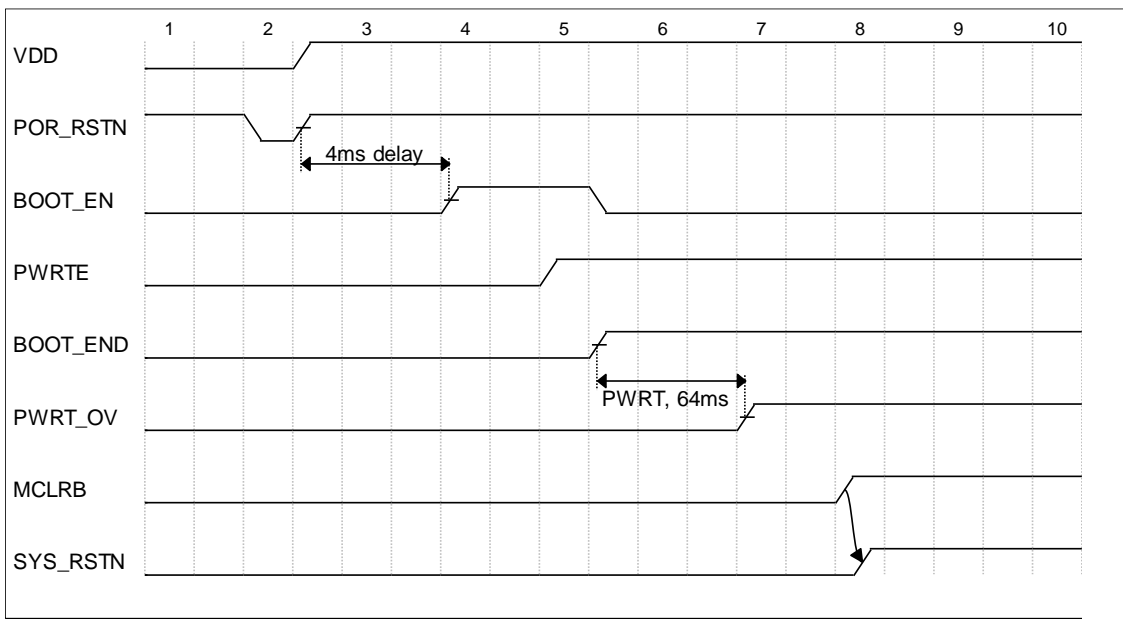


图 4.2 上电复位, 使用了 MCLR_B

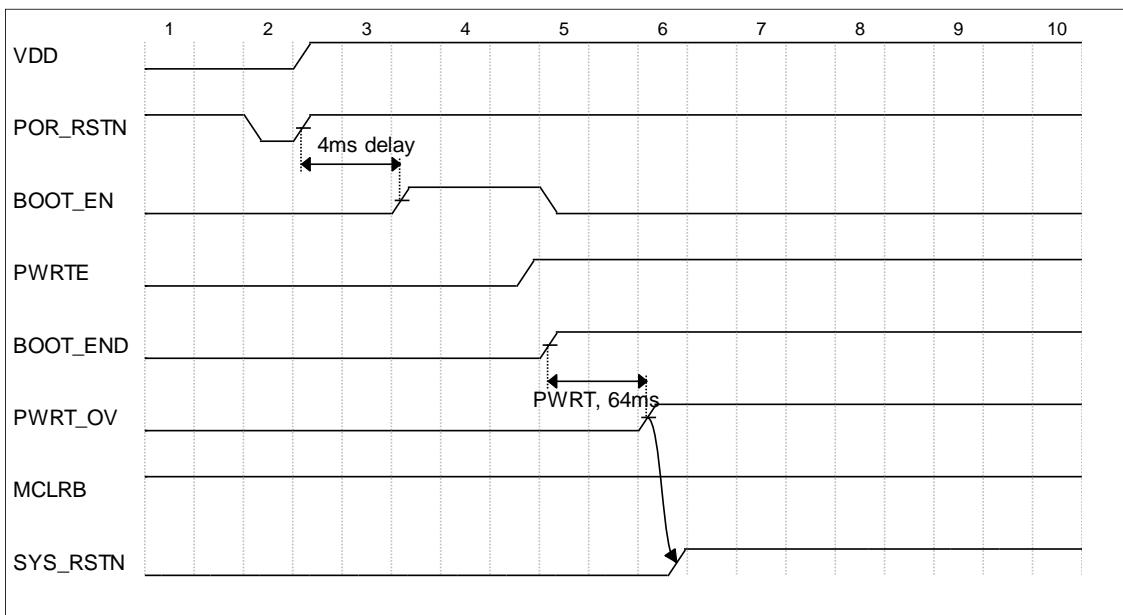


图 4.3 上电复位, 没使用 MCLR_B

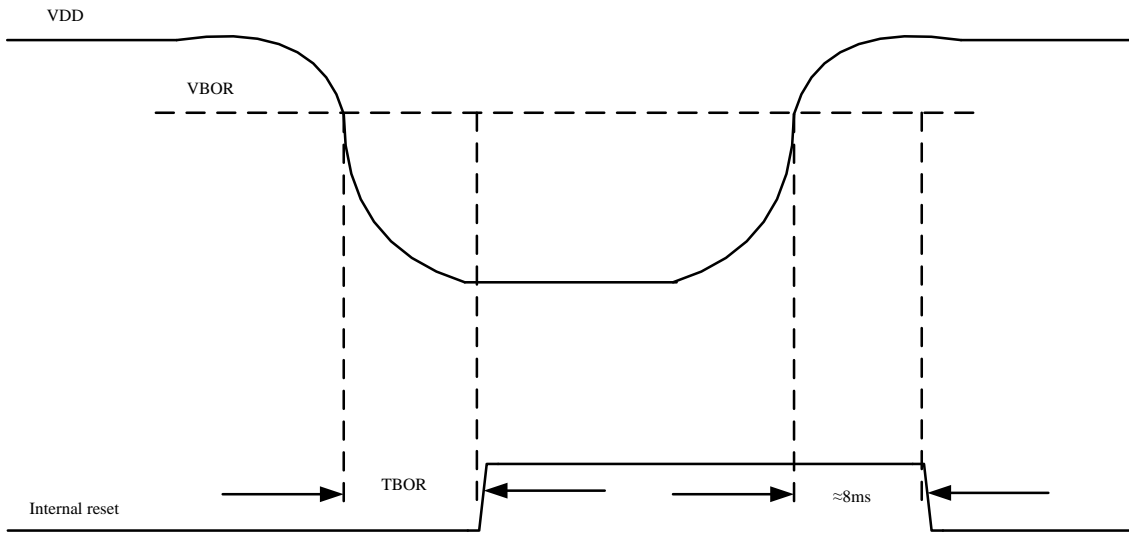


图 4.4 BOR 复位

注意:

1. 上电复位或低电压复位后, 并且在 PWRTEB (UCFG0.4) 为低时, PWRT 有效。它是 2048 个内部慢时钟周期, 约 64ms;
2. TBOR 时间约为 157us;
3. 电压恢复正常之后, 内部复位不会立即释放, 而是要等约为 4ms 的时间。

振荡器配置	上电复位		低电压复位		睡眠醒来
	/PWRTEB=0	/PWRTEB=1	/PWRTEB=0	/PWRTEB=1	
INTOSC	TPWRT	-	TPWRT	-	-

表 4.1 各种情况下的超时

/POR	/BOR	/TO	/PD	条件

0	x	1	1	POR
u	0	1	1	BOR
u	u	0	u	WDT 复位
u	u	0	0	WDT 唤醒
u	u	u	u	常规运行下/MCLR 复位
u	u	1	0	睡眠下/MCLR 复位

表 4.2 STATUS/PCON 位及其意义 (u-没变化 x-未知)

5.4 BOOT

在上电复位或低电压复位之后，插入一个状态，把程序 EEPROM 的 2000H 开始的单元映射到配置寄存器。

系统复位要等 BOOT 结束后才能释放，如图 4.2 和图 4.3 所示，该过程大概需要 17us。

5.5 烧录和控制串口

XNS125 具备一个烧录和控制串口。这个接口为用户和开发人员使用此芯片带来方便，具体请参考相关调试文档。

5.6 看门狗定时器

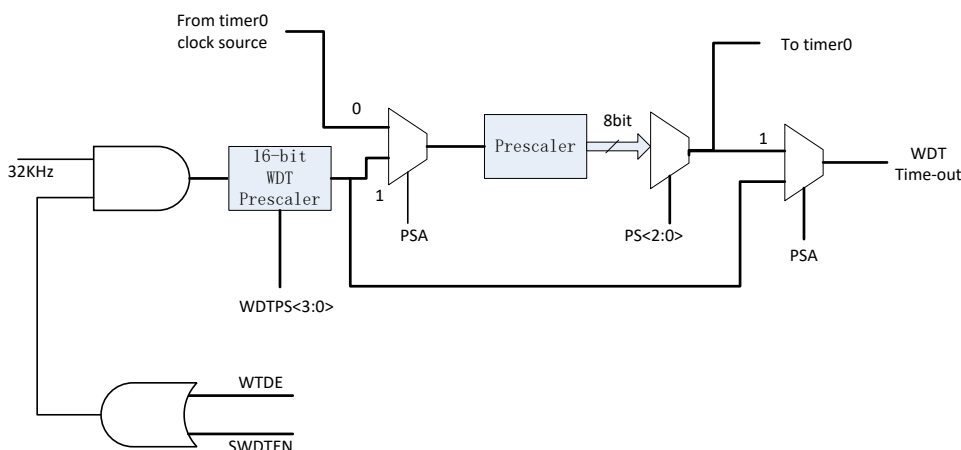


图 7.1 看门狗和定时器 0 框图

5.6.1 看门狗

看门狗的时钟源为内部慢时钟 (32KHz)，它是一个 16 位的计数器，和定时器 0 共用一个 8 位的预分频器，使能位位于配置寄存器 UCFG0 的第 3 位，WDTEN。为 1 时表示使能看门狗，为 0 时禁止，由上电启动过程 BOOT 决定，或者可通过外部串口写入。

清看门狗指令 CLRWDT、SLEEP 会清除看门狗计数器。

在使能了看门狗的情况下，MCU 睡眠时看门狗溢出事件可以作为一个唤醒源，而 MCU 正常工作时作为一个复位源。

条件	看门狗状态
WDTEN 和 SWDTEN 同时为 0	清零
CLRWDT 指令	
进入 SLEEP、退出 SLEEP 时刻	

注意：

1. 如果内部慢时钟从 32K 切换到 256K 模式(或反之从 256K 切换到 32K 模式)，都不影响看门狗计时，因为 WDT 固定使用 32K 时钟源，见 3.1 小节的时钟框图。

5.7 定时器 0

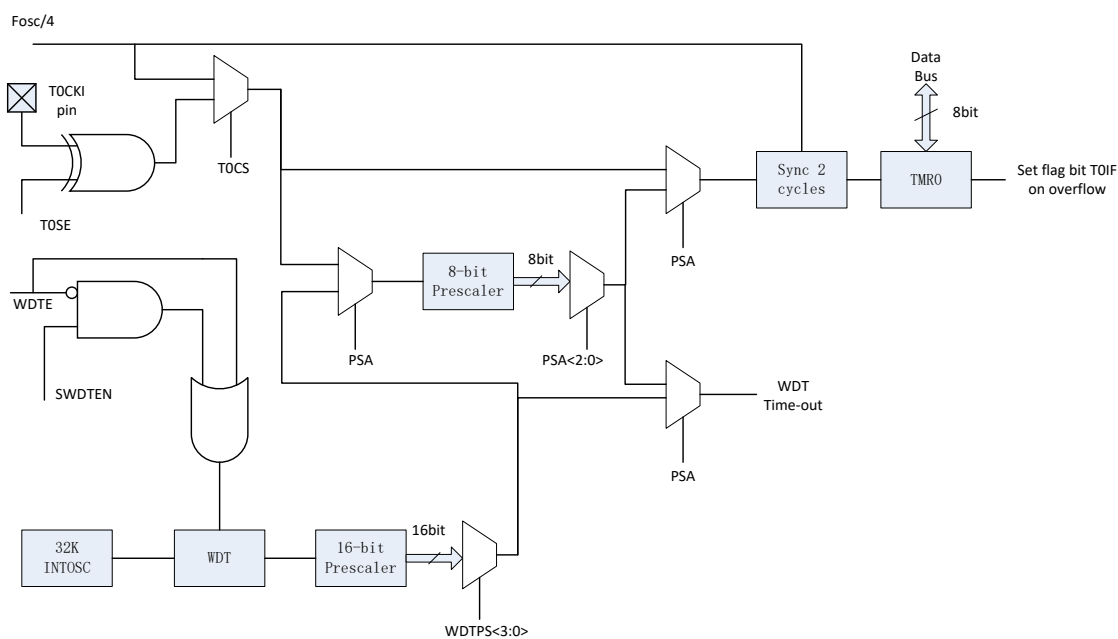


图 8.1 看门狗和定时器 0 框图

5.7.1 Timer 0

定时器 0 为 8 位，可配置为计数器或定时器使用，当作为外部事件 (T0CKI) 计数器时，可以配置为上升沿或者下降沿计数。作为定时器时，其计数时钟为系统时钟的 2 分频，即每一指令周期递增一次。

有一个与 WDT 共用的 8 位预分频器，PSA 为 0 时该预分频器分配给定时器 0 使用。

注意：

1. 当改变 PSA 的值时，硬件会自动把预分频器清 0。

5.7.2 Timer 0 定时器模式

该模式下，定时器 0 在每个指令周期加 1(不带预分频)。软件可以清零 OPTION 寄存器里的 T0CS 位以进入定时器模式。当软件对 TMR0 进行写操作时，定时器在写后面 2 个周期内不会递增。

5.7.3 Timer 0 计数器模式

该模式下，定时器 0 由每个 T0CKI 管脚的上升沿或下降沿触发加 1(不带预分频)。具体哪一钟沿触发由 OPTION 寄存器里的 T0SE 位决定。软件可以将 OPTION 寄存器里的 T0CS 位置 1 以进入计数器模式。

5.7.3.1 软件可配置预分频电路

芯片在定时器 0 和 watchdog 定时器前面有一个分频电路，可以分配给 Timer0 或者 watchdog 定时器用，但二者不能同时使用这个预分频电路。具体分配给 Timer0 还是 watchdog 由 OPTION 寄存器里的 PSA 位决定，PSA 为 0 时，预分频分配给 Timer0 使用。在 Timer0 预分频模式下，总共有 8 个预分频比 (1:2 到 1:256) 可以通过 OPTION 寄存器里的 PS[2:0]位设置。

预分频电路既不可读也不可写。任何对 TMR0 寄存器的写动作会清零预分频电路。

当预分频电路分配给 watchdog 时，1 条 CLRWDT 指令会清零预分频电路。

在定时器和 watchdog 之间切换预分频电路

由于分频电路可以分配给 Timer0 或者 watchdog 定时器用，在二者之间切换预分频器是有可能导致误复位。

在将预分频电路从分配给 TMR0 切换到分配给 watchdog 时，请务必执行以下指令顺序：

```
BANKSEL TMR0
```

```
CLRWDT ;Clear WDT
```

```
CLRR TMR0 ;Clear TMR0 and prescaler
```

```
BANKSEL OPTION_REG
```

```
BSR OPTION_REG,PSA ;Select WDT
```

```
CLRWDT
```

```
LDWI b' 11111000' ;Mask prescaler bits
```

```
ANDWR OPTION_REG,W
```

```
IORWI b' 00000101' ;Set WDT prescaler to 1:32
```

```
LDWI OPTION_REG
```

在将预分频电路从分配给 watchdog 切换到分配给 TMR0 时，请务必执行以下指令顺序：

```
CLRWDT ;Clear WDT and prescaler
```

```
BANKSEL OPTION_REG
```

LDWI b' 11110000' ;Mask TMR0 select and prescaler bits

ANDWR OPTION_REG,W

IORWI b' 00000011' ;Set prescale to 1:16

STR OPTION_REG ;

5.7.3.2 定时器 0 中断

芯片在定时器 0 从 0xFF 溢出到 0x00 时会置起 T0IF 标志，并产生中断（如果使能了的话）。注意，timer0 中断无法唤醒 CPU 因为在睡眠状态下，定时器是被冻结的。

5.7.3.3 用外部时钟驱动定时器 0

在计数其模式下，T0CKI 管脚输入和 Timer0 寄存器之间的同步是由在 Q1, Q2 内部时钟相位采样实现的，所以外部时钟源周期的高电平时间和低电平时间必须满足相关时序要求。

5.8 定时器 2

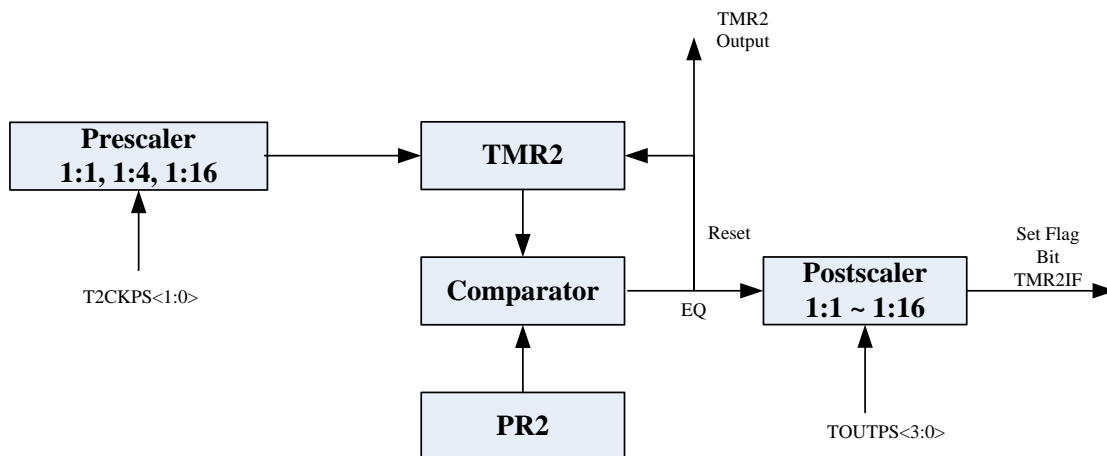


图 8.1 定时器 2 框图

定时器 2 为 8 位定时器包含以下功能:

- 8 位计数寄存器
- 8 位周期寄存器
- TMR2 值等同 PR2 时产生中断
- 1:1, 1:4, 1:16 预分频比
- 1:1~1:16 后分频比

图 8.1 为 Timer2 的整体框图。

5.8.1 Timer2 工作原理

Timer2 模块的时钟输入是系统指令时钟 (FOSC/2)。该时钟送入 Timer2 预分频器, 其预分频比有 1:1、1:4 或 1:16 三种选择。随后预分频器的输出被用于递增 TMR2 寄存器。

TMR2 和 PR2 的值被不断比较以确定何时匹配。TMR2 将从 00h 开始递增直到与 PR2 的值相同。匹配时将发生以下两种情况:

- TMR2 在下一递增周期复位为 00h
- Timer2 后分频比递增

Timer2/PR2 比较器的匹配输出送入 Timer2 后分频器。后分频器的选项范围为 1:1 至 1:16。Timer2 后分频器的输出用于将 PIR1 寄存器的 TMR2IF 中断标志置 1。

TMR2 和 PR2 都是可读写寄存器。在复位时, 他们的值分别是 0 和 0xFF。

将 T2CON 寄存器中的 TMR2ON 位置 1 可打开 Timer2, 反之将 TMR2ON 位清零关闭 Timer2。

Timer2 预分频器由 T2CON 寄存器的 T2CKPS 位控制。

Timer2 后分频器由 T2CON 寄存器的 TOUTPS 位控制。

预分频和后分频计数器会在写以下寄存器时清零：

- 写 TMR2
- 写 T2CON
- 任何 reset 动作

注：

1. 写 T2CON 并不会清零 TMR2 寄存器。

5.9 比较器

片内集成 2 个模拟比较器可以用来比较 2 个模拟电压值而产生数字结果反映模拟电压值的高低关系。本芯片中

所包含的比较器有以下特性：

- 输出既可以在内部也可以到片外
- 输出极性可编程
- 输出可作为中断源
- 输出可作为唤醒源
- 输入可挂内部参考电压
- 双比较器
- 多种比较器输入输出连接设定模式
- 可编程参考电压

5.9.1 比较器概述

模拟比较器的输入输出信号关系以及其在电路图中的标志如图 10.1 所示。当比较器的模拟输入电压 V_{in+} 小于

其模拟输入电压 V_{in-} 时，输出为逻辑低电平，反之则输出逻辑高电平。

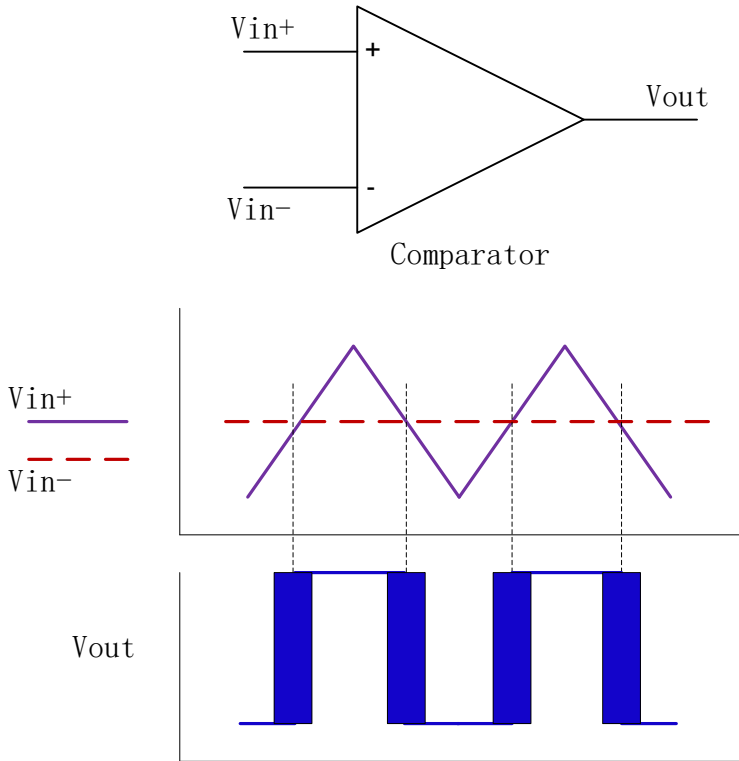
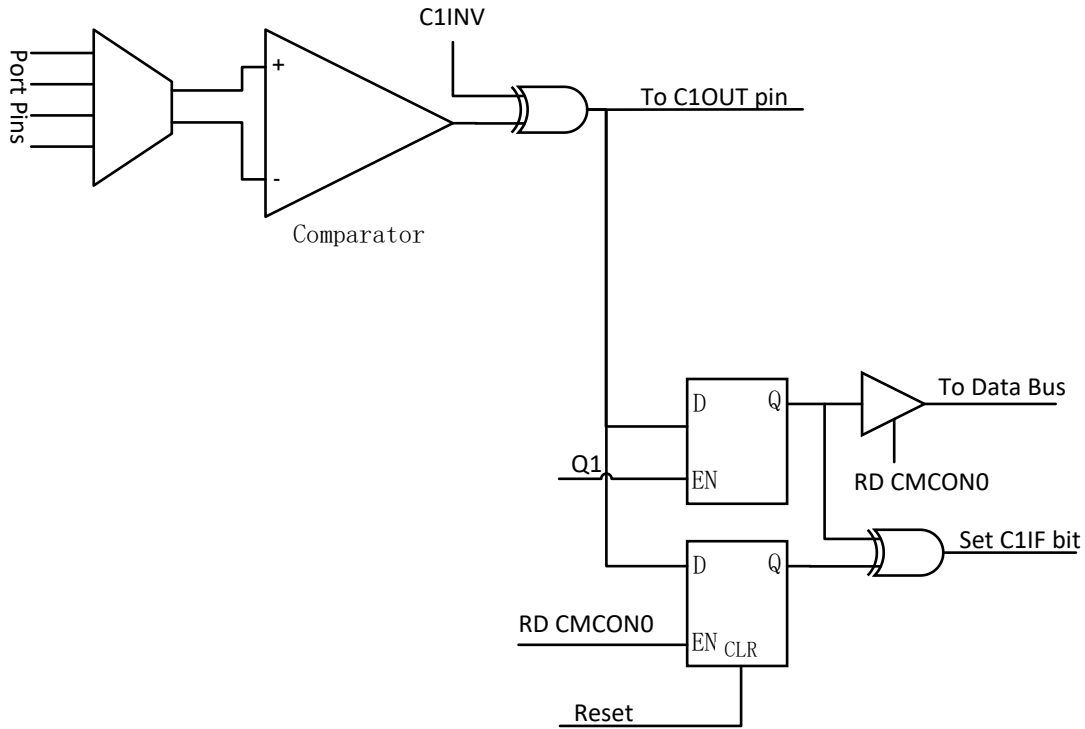


图 10.1 比较器的输入，输出信号特性

当比较器的输入和输出接近相等时，其输出为不定态，因此，为了避免这种不定态，或在某个输入端有微弱噪声存在，造成比较输入出现不稳定态，一般比较器的设计会保护一个所谓迟滞电压，是比较器的输出态变化会延后输入变化一定的距离，这样基本比较电平稍有波动也不会造成杂散输出信号。

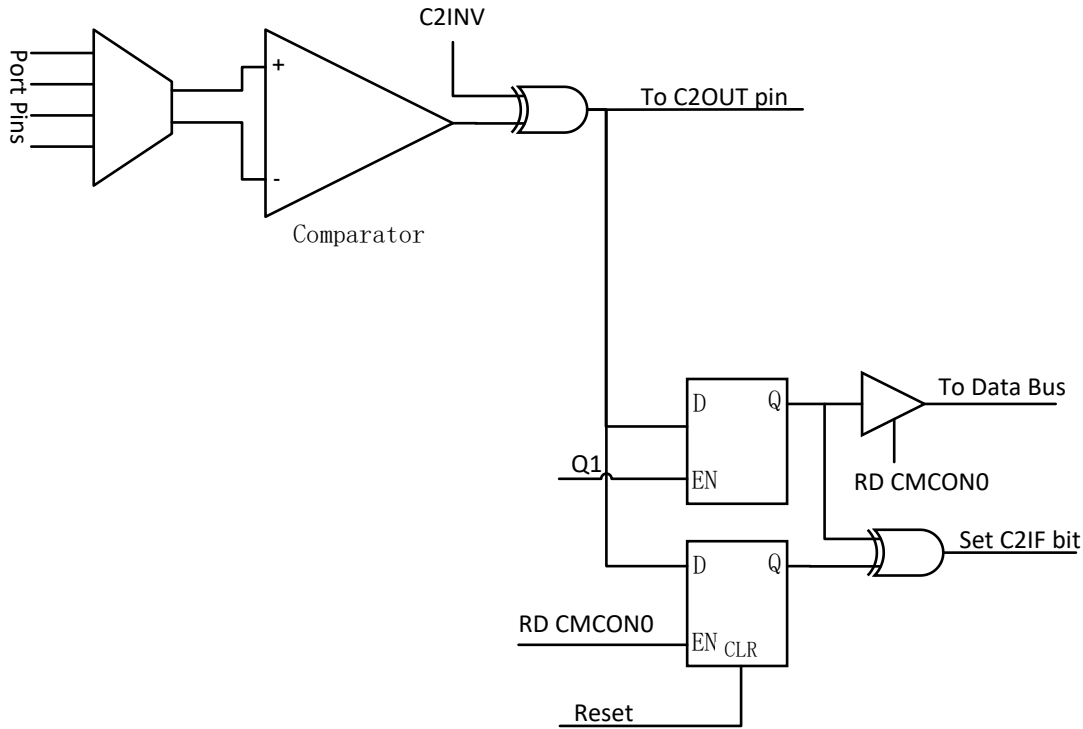
本芯片包含了如下图所示的 2 个比较器，但这 2 个比较器的配置不是独立分开的。



Q1为系统时钟相位.

软件在改变比较器的输入，输出控制寄存器时最好关闭比较器，避免比较器结果错误.

图 10.2 比较器 1 的周边电路



Q1为系统时钟相位.

软件在改变比较器的输入，输出控制寄存器时最好关闭比较器，避免比较器结果错误.

图 10.3 比较器 2 的周边电路

5.9.1.1 模拟输入端的连接

比较器的模拟输入端和同样连接该端口的数字输入共享管脚，需要注意的是在这些管脚上都有对 VDD 和 VSS 的反向保护二极管。如果输入电压偏离这个保护范围以外 0.6V，二极管就会导通到时锁门效应。我们推荐的最大输入源信号的源阻抗不超过 10K 欧姆。另外，如果管脚上外挂电容或齐纳二极管之类的元件，其不应该产生漏电流，不然可能会造成结果不精确。

需要注意的是，当读一个端口寄存器时，如果改管脚被配置为模拟信号管脚，软件会读出 0 值。当管脚被设置为数字输入管脚时，比较器仍然会以为该管脚输入一个模拟信号，并输出相应结果。如果一个管脚被设置为数字输入，而这个管脚上面的实际电压又是一个模拟电平，这可能造成输入缓存电路消耗比说明书上标的更大的电流。

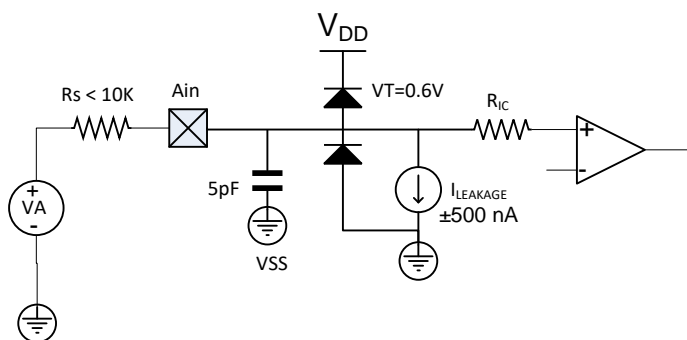


图 10.4 比较器模拟输入模型

5.9.2 比较器配置

模拟比较器总共有 8 种配置模式。由 CMCON0 寄存器的 CM<2:0>这 3 位来选择。图 10.5 详细描述了这 8 种选择的具体内容。I/O 信号线的功能也随着这 8 中不同的配置而改变，具体如下：

- 模拟功能 (A)：数字输入缓存被屏蔽
- 数字功能 (D)：比较器数字输出会覆盖管脚上的其他功能
- 正常端口功能 (I/O)：独立于比较器

当端口上标注“A”字样，读的时候无论当前管脚上的状态或 I/O 控制寄存器 TRIS 位的状态都会返回 0 值。用户应该把与被用作模拟输入的管脚相对应的 TRIS 位置为 1 来关闭其数字输出驱动电路。当端口上标注“D”字样，用户应该将其相应的 TRIS 位职位 0 来打开数字输出驱动电路。

另外，比较器配置切换是应该屏蔽比较器中断以避免不必要的误触发事件。

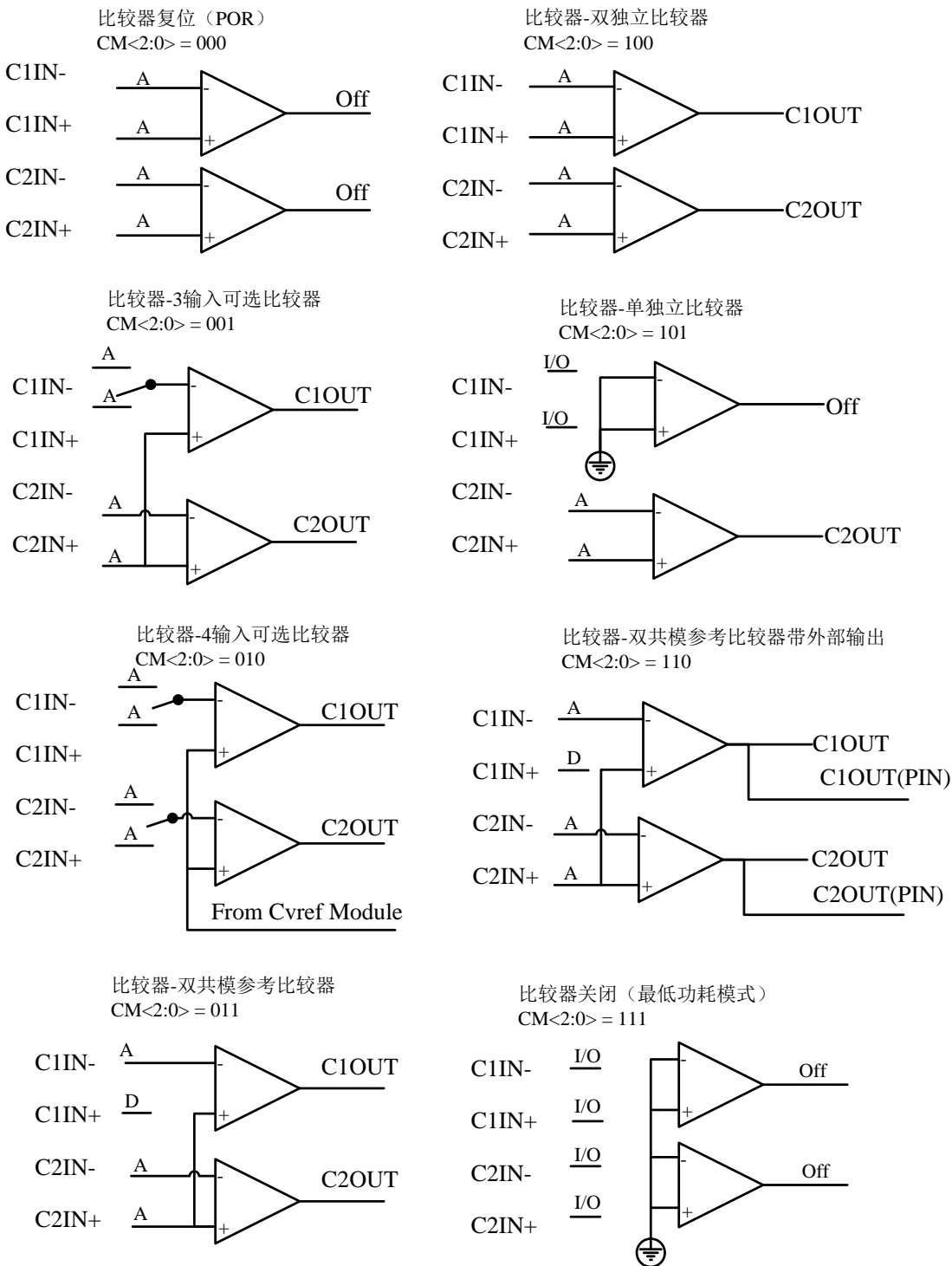


图 10.5 比较器输入, 输出配置模式

5.9.3 比较器控制

CMCON0 寄存器提供了以下比较器特性的控制功能:

- 模式选择
- 输出状态
- 输出极性
- 输入开关

5.9.3.1 模拟输出状态

每个比较器的状态都能通过 CMCON0 寄存器的 CxOUT 位从内部读出。当 $CM\langle 2:0 \rangle = 110$ 时比较器输出会被连到 CxOUT 管脚。当选择这个模式时, CxOUT 相应的 TRIS 位必须被清零来使能输出驱动电路。

5.9.3.2 模拟输出极性

将比较器输出反向就等效于将比较器的输入端交换。比较器输出极性可由 CMCON0 寄存器里的 CxINV 位来控制。将 CxINV 位清零代表比较器输出未被反向。完整的输出, 输入条件和极性如下表所列:

Input Condition	CxINV	CxOUT
$V_{in-} > V_{in+}$	0	0
$V_{in-} < V_{in+}$	0	1
$V_{in-} > V_{in+}$	1	1
$V_{in-} < V_{in+}$	1	0

CxOUT 包括寄存器位和实际输出管脚。

5.9.3.3 模拟输入开关

比较器的模拟输入负端在以下模式可被切换到 2 个模拟管脚。

- $CM\langle 2:0 \rangle = 001$ (仅比较器 1)

- CM<2:0> = 010 (比较器 1 和 2)

在以上模式下，无论哪根管脚被选做输入，这 2 个管脚都处在模拟模式。CMCON0 寄存器里的 CIS 位控制比较器的输入切换开关。

5.9.4 比较器反应时间

模拟比较器输出在输入变化或输入新的参考电压后若干时间后才会变化，这个时间叫做比较器反应时间。反应时间和参考电压的稳定时间还不是同一个概念。这两者加起来才是比较器的总体反应时间。具体参数，请参考本文档后面的电气参数部分。

5.9.5 比较器中断

一旦使能，模拟比较器输出状态的变化就会触发中断。输出状态变化的捕捉用两个锁门器和一个异或门完成。(见图 10-2, 10-3)。当读取 CMCON0 寄存器时，一个锁门器由比较器输出更新。该锁门器保持着状态直到 CMCON0 下一次被读或复位。另一个锁门器在系统时钟的 Q1 期更新。状态失配状态会被一直保存，并使 PIR1 寄存器的 CxIF 位为 1，直到 CMCON0 被读或比较器输出返回到以前的状态。(注，对 CMCON0 寄存器的写动作也会清除失配条件，应为所有的写动作实际上在写之前都包含着一个读动作)。

软件需要自身保存比较器的输出态来决定实际上变化是否有发生。PIR1 寄存器里的 CxIF 位是比较器的中断指示位。这 1 位必须有软件来清零。由于软件可以将这 1 位写成 1，因此软件可以做模拟比较器变化的动作。

比较器的中断发生还需要 INTCON 寄存器中的 PEIE 位和 GIE 位联合搭配工作。如果这其中任何 1 位没有置 1，哪怕 CxIF 位变成 1 了，中断都不会发生。用户可以通过以下动作清除中断：

- A) 对 CMCON0 进行读或写操作，这会结束失配条件
- B) 清除 CxIF 位

持续的失配条件会屏蔽住 CxIF 标志位被清，因此有必要先读一下 CMCON0 寄存器先清除失配条件。

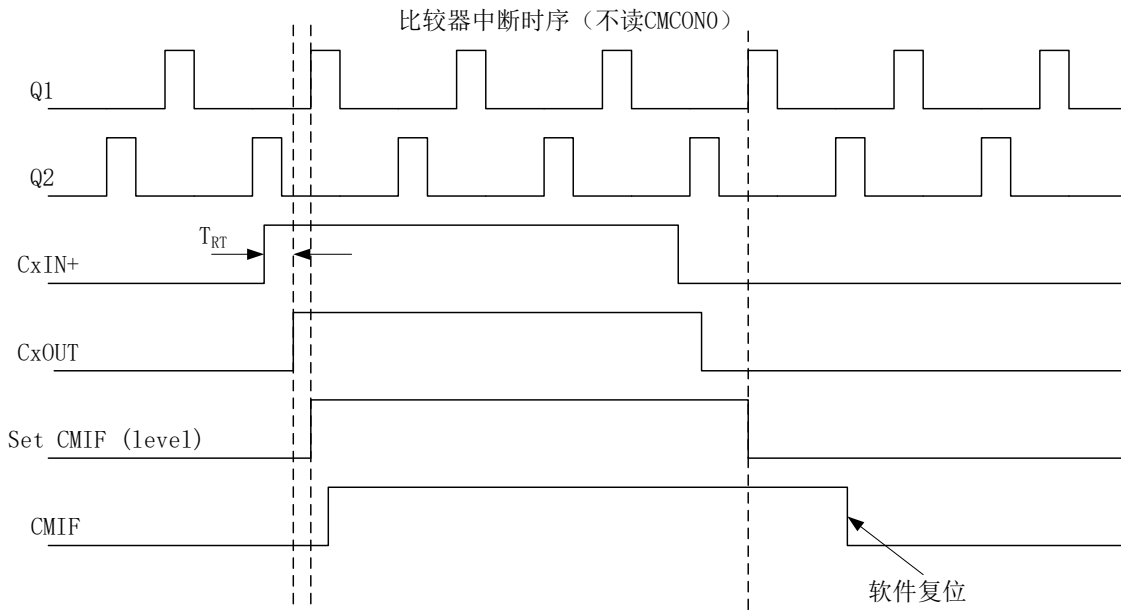


图 10.6 比较器中断时序 1

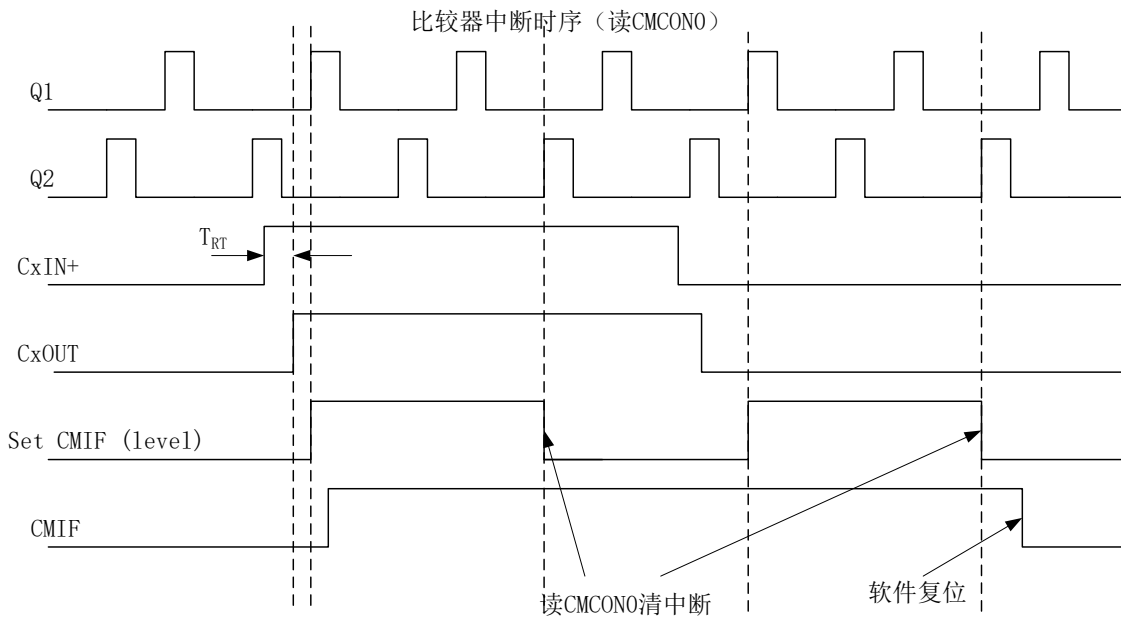


图 10.7 比较器中断时序 2

需要注意的是如果在读 CMCON0 的时候（在系统时钟的 Q2 期），CxOUT 刚好发生变化，那么 CxIF 标志位有可能不会被置高。

另外，比较器电路被启动时，其偏置电路需要 1 μ s 的时间稳定，在此期间，比较器的输出是无效的，软件应该在此期间关闭中断以免产生不必要的误触发。

5.9.6 比较器在睡眠状态下的工作

如果用户在使芯片进入睡眠之前使能比较器，那么比较器会在睡眠状态下继续工作。但此时芯片的功耗会相应增加。如果用户并不使用比较器输出来唤醒芯片，用户可以在睡眠前关闭比较器。关闭比较器只要在 CMCON0 寄存器中将 CM<2:0> 置为 000 或 111 即可；如果要达到最低功耗，则应该把 CM<2:0> 置为 111，彻底关闭两个比较器。

如上所述，比较器的输出可以用来唤醒芯片。如果需要用比较器输出唤醒芯片，需要在 PIE1 寄存器中将 CxIE 位置 1，以及 INTCON 寄存器下的 PEIE 位置 1。如果 INTCON 寄存器的 GIE 位被置 1，器件就会执行中断服务程序。

5.9.7 比较器在复位状态下的工作

芯片复位会强制 CMCON0 和 CMCON1 寄存器进入复位状态，也就是 CM<2:0> = 000 模式。此时，所有比较器输入都为模拟输入，比较器本身被关闭以节省功耗。

比较器 5 门控 Timer1

可使用此功能为模拟事件的持续时间或间隔定时。将 CMCON1 寄存器的 T1GSS 位清零将使 Timer1 根据比较器 5 的输出递增。这要求 Timer1 打开且门控使能。

详情请参见第 7 节 [“带门控的 Timer1 模块”](#)。

当比较器用作 Timer1 门控源时，建议通过将 C2SYNC 位置 1 将比较器 5 与 Timer1 同步。这将确保 Timer1 在递增时若比较器变化，Timer1 不会错过递增。

比较器 5 输出与 Timer1 同步

通过将 CMCON1 寄存器的 C2SYNC 位置 1 可将比较器 5 的输出与 Timer1 同步。使能时，比较器输出在 Timer1 时钟源的下降沿被锁存。Timer1 使用预分频器时，比较器输出在预分频后被锁存。为了防止竞争情况，比较器输出在 Timer1 时钟源下降沿被锁存，而 Timer1 在时钟源的上升沿递增。更多信息，请参见比较器框图（图 10.6）以及 Timer1 框图（图 7.1）。

5.9.8 比较器的参考电压

模拟比较器的输入之一可以被设置成为内部参考电压，该参考电压都有以下特性：

- 独立于比较器的运行
- 两个 16 级电压范围
- 输出低钳位到 VSS
- 输出电压与 VDD 成比例

参考电压的控制由 VRCON 寄存器来控制，如图 10.8。

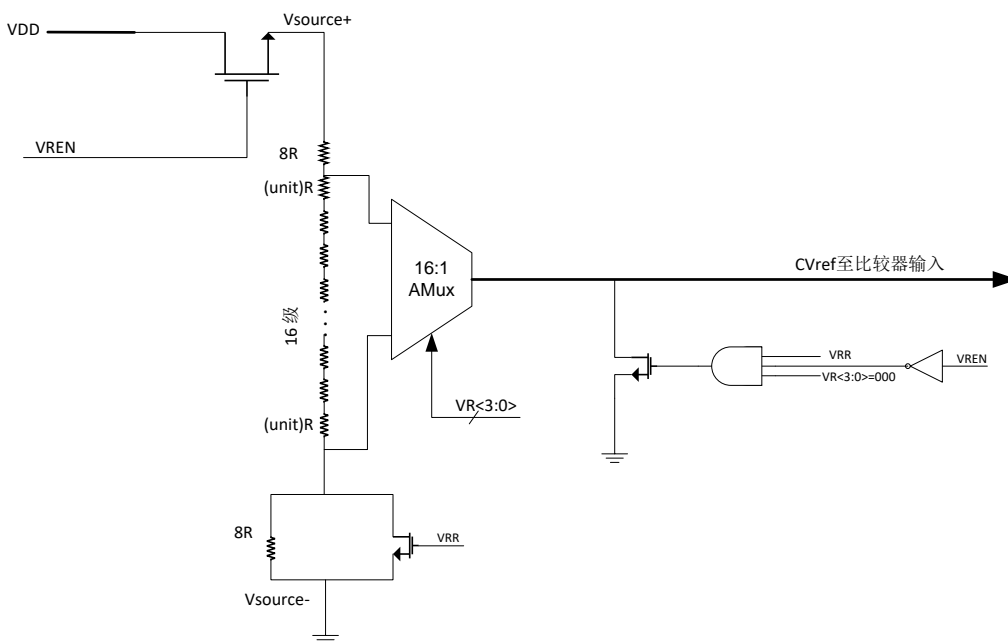


图 10.8 比较器参考电压框图

独立工作

比较器参考电压与比较器配置不相关。将 VRCON 寄存器的 VREN 位将使能参考电压。

输出电压选择

CVREF 参考电压有两种范围，每种均为 16 个电平。范围的选择由 VRCON 寄存器的 VRR 位控制。这 16 个电平由 VRCON 寄存器的 VR<3:0>位设置。

VRR = 1 (低电压范围):

$$CVREF = (VR<3:0>/24) \times VDD$$

VRR = 0 (高电压范围):

$$CVREF = (VDD/4) + (VR<3:0> \times VDD/32)$$

CVREF 输出电压由以下右边公式确定:

如图 10.8 所示，由于模块的构造所限，无法实现 VSS 至 VDD 的满量程。

输出钳位至 VSS

通过将 VRCON 按如下配置可将 CVREF 输出电压设置为 VSS，从而不消耗功率:

- VREN = 0
- VRR = 1
- VR<3:0> = 0000

这使比较器可进行过零检测而不消耗额外的 CVREF 模块电流。

5.10 数据 EEPROM

片内集成有 256 个字节的 EEPROM, 通过 EEADR 进行寻址访问。软件可通过 EECON1 和 EECON2 对 EEPROM 进行编程操作, 硬件实现了擦除和编程的自定时功能, 无需软件查询, 节省有限的代码空间, 同时利用此特性, 启动编程周期之后可以进入睡眠模式, 以降低功耗。

数据 EEPROM 在使用 (无论是读还是写) 之前必须进行以下初始化操作: 在未使用到的 EEPROM 某个单元写两次 0xAA, 后续程序不要对此单元操作。如:

```
SYSTEM_INIT:
```

```
.....
```

```
.....
```

```
LDWI 0x55
```

```
STR EEPROM_ADDR
```

```
LDWI 0xAA
```

```
STR EEPROM_DATA
```

```
LCALL EEPROM_write
```

```
LCALL EEPROM_write
```

```
.....
```

5.10.1 编程数据 EEPROM 步骤

把 INTCON 的 GIE 位清 0;

- A. 判断 GIE 是否为 1, 是则重复 A 步骤, 否则可以进行下一步;
- B. 往 EEADR 写入目标地址;
- C. 往 EEDAT 写入目标数据;
- D. 把位 WREN3/WREN2/WREN1 全部置 1;
- E. 把位 WR 置 1 (EECON2.0, 此后 WR 会维持高);
- F. 写过程不能改变 WREN3/2/1 的值, 否则编程终止;
- G. 等大概 2ms 之后编程自动完成, WR 自动清 0, WREN3、WREN2、WREN1 清 0;
- H. 如果想再次编程, 重复步骤 C~H 即可;

注意:

- 1. **编程过程中读操作无效。**

5.10.2 读数据 EEPROM

要读取数据存储单元, 用户必须将地址写入 EEADR 寄存器, 然后将 EECON1 寄存器的控制位 RD 置 1。在紧接着的下一周期, EEDAT 寄存器就被 EEPROM 数据写入。因此该数据可由下一条指令读取。EEDAT 将保持这个值直到用户下一次从该单元读取或向该单元写入数据时 (在写操作过程中)。

下面是读取 EEPROM 的一段示例程序:

```
BANKSEL EEADR
```

```
LDWI dest_addr
```

```
STR EEADR
```

```
BSR EECON1, RD
```

LDR EEDAT, W

5.11 时钟测量

5.11.1 慢时钟测量模式

此功能可以比较精准的测量内部慢时钟周期。

在此模式下，TIMER2 的预分频、后分频配置自动变为 1:1，组成一个 12 位的定时器，TIMER2 的计数时钟为系统时钟 F_{osc} ，而不是普通模式下的指令时钟 $F_{osc}/2$ 。计数结束后结果自动存到 SOSCPR 寄存器，其单位是系统时钟 F_{osc} 的个数。

操作步骤：

1. 为提高计量精度，建议设置 IRCF 为 111，SCS=1，选择 16M 的系统时钟；
2. 把 T2CON.2 置 1，使能 TIMER2；
3. 如果选择 4 次平均，则把 MSCKCON.2 置 1，否则把它清 0；
4. 置位 MSCKCON.1，开始测量；
5. 测量结束后 MSCKCON.1 自动清 0，中断标志置 1；
6. 可以用查询或中断的方式等待结束；
7. 当查询到中断标志为 1 时读取得到的 SOSCPR 即为最终结果。

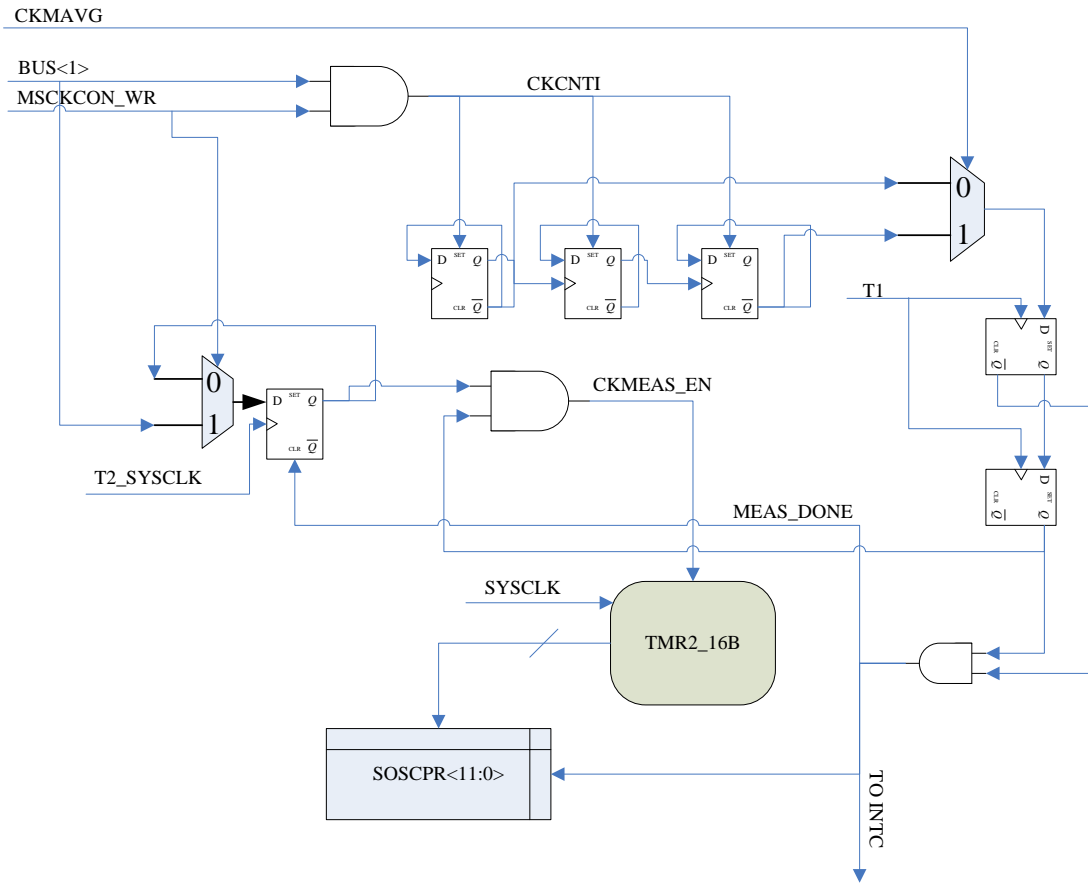


图 13.5 慢时钟测量模式原理框图

5.12 中断模式

XNS125 有以下中断源：

- PA2/INT 管脚进来的外部中断
- Timer0 溢出中断
- PORTA 变化中断
- Timer2 比对相等中断
- EEPROM 数据写中断

- 故障保护时钟监控器中断
- 比较器中断

中断控制寄存器 (INTCON) 和外围中断请求寄存器 (PIR1) 记录了中端标志位。INTCON 同时也包含全局中断使能位 GIE。

当中断被服务后，以下动作自动发生：

- GIE 被清零，从而关闭中断
- 返回地址被推上堆栈
- 程序指针被加载 0004h 地址

中断返回指令，RETFIE，退出中断函数时同时设置 GIE 位，重新使能未屏蔽的中断。

INTCON 寄存器包含以下中断标志位：

- INT 管脚中断
- PORTA 变化中断
- Timer0 溢出中断

PIR1 中包含着外围中断标志位。PIE1 中包含着其对应的中断使能位。

5.12.1 INT 中断

INT 引脚上的外部中断是边沿触发的；当 OPTION 寄存器的 INTEDG 位被置 1 时在上升沿触发，而当 INTEDG

位被清零时在下降沿触发。当 INT 引脚上出现有效边沿时, INTCON 寄存器的 INTF 位置 1。可以通过将 INTCON 寄存器的 INTE 控制位清零来禁止该中断。在重新允许该中断前, 必须在中断服务程序中先用软件将 INTF 位清零。如果 INTE 位在进入休眠状态前被置 1, 则 INT 中断能将处理器从休眠状态唤醒。

注意:

1. 使用 INT 中断时, 必须对 ANSEL 和 CM2CON0 寄存器进行初始化, 以将模拟通道配置为数字输入。

配置为模拟输入的引脚总是读为 0。

5.12.2 PORTA 电平变化中断

PORTA 输入电平的变化会使 INTCON 寄存器的 PAIF 位置 1。可以通过置 1/清零 INTCON 寄存器的 PAIE 位来使能/禁止该中断。此外, 可通过 IOCA 寄存器对该端口的各个引脚进行配置。

注意:

1. 使用 PORTA 电平变化中断时, 必须对 ANSEL 和 CM2CON0 寄存器进行初始化, 以将模拟通道配置为数字输入。配置为模拟输入的引脚总是读为 0。
2. 初始化电平变化中断时, 应先配置为数字输入 IO, 把相应的 IOCA 置 1, 然后读取一下该 PORTA;
3. 当 IO 电平发生变化时, PAIF 被置 1;
4. 清中断标志位之前应该读取一下 PORTA, 然后再对 PAIF 清 0;

5.12.3 中断响应

外部中断包括 INT 管脚进来的或者 PORTA 变化中断的延时一般为 1 到 2 个指令周期。具体视中断发生的实际情况而定。

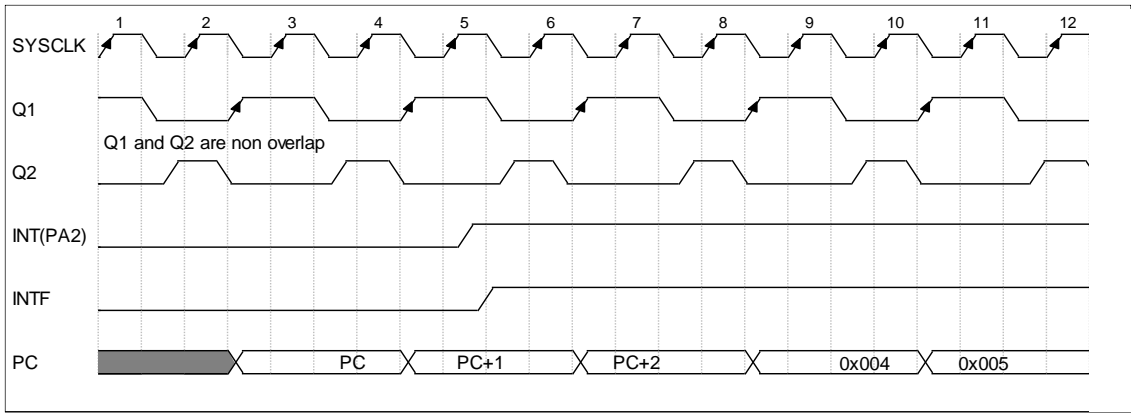


图 14.1 中断响应时序图

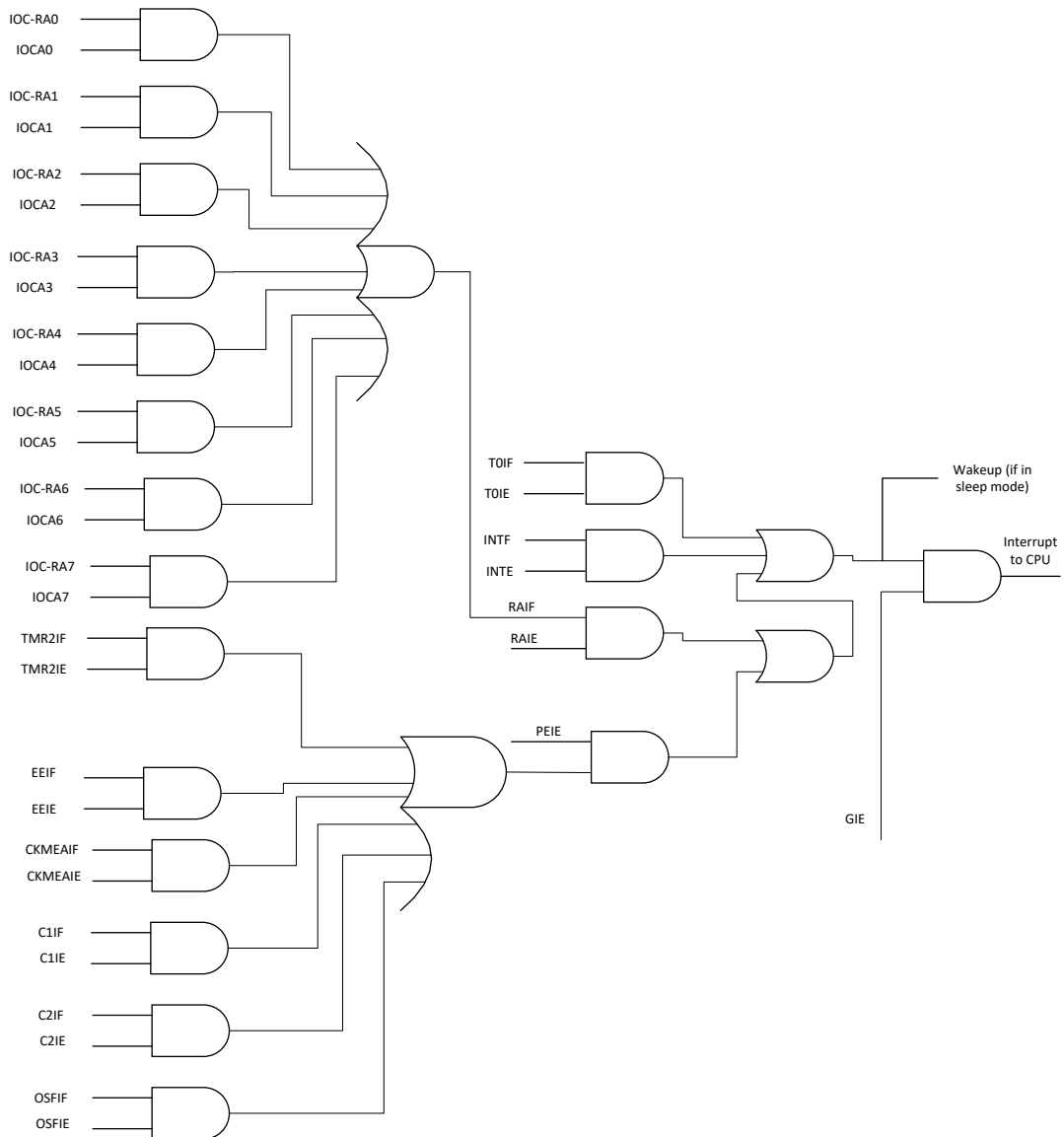


图 14.2 中断产生电路架构框图

5.12.4 中断过程中的现场保存

在中断过程中，只有返回 PC 被自动保存在堆栈上。一般来说，用户可能需要保存重要的寄存器值在堆栈上，例如 W，STATUS 寄存器等。这些必须由软件来完成。临时寄存器 W_TEMP 和 STATUS_TEMP 应该被放置在 GPR 的最后 16byte 里。这 16 个 GPR 落在两个页区间，因此可以稍微节省代码。

5.13 睡眠省电模式

芯片在执行完 SLEEP 指令后进入睡眠状态。

为了达到最低睡眠功耗，软件应该将所有 IO 置高或低，而且没有外部电路从 IO 耗电。I/O 作为输入的，外部电路应将其拉高或拉低，避免翻转耗电。/MCLR 应该在高电平。

为达到最低功耗，建议配置为晶体模式或者外部时钟模式时，把时钟缺失检测关闭掉，即把 UCFG1 的 FCMEN 位清 0，同时比较器的配置位 CM<2:0>写为 111，以关闭比较器模块。

5.13.1 唤醒模式

以下事件可以唤醒芯片：

- /MCLR 管脚上有外部复位
- WDT 超时
- PA2/INT 管脚上有中断，PORTA 变化或其他外围中断

清除看门狗指令 CLRWDT、SLEEP（进入睡眠模式）或者从睡眠模式唤醒，都将清除看门狗计数器。

5.13.2 看门狗唤醒

看门狗工作在内部慢时钟 (32KHz)，它是一个 16 位的计数器，和定时器 0 共用一个 8 位的预分频器，使能位位于配置寄存器 UCFG0 的第 3 位，WDTEN，为 1 时表示使能看门狗，为 0 时将由 SWDTEN 位决定使能与否，SWDTEN 位于 WDTCON 寄存器。

清除看门狗指令 CLRWDT、SLEEP 会清除看门狗计数器。

在使能了看门狗的情况下，MCU 睡眠时看门狗溢出事件可以作为一个唤醒源，而 MCU 正常工作时作为一个复位源。

5.14 I/O 端口

本芯片共包含 16 个 GPIO。这些 IO 除了作为普通输入/输出端口以外还通常具备一些与内核周边电路通讯的功能，具体见下。

5.14.1 PORTA 端口和 TRISA 寄存器

PORTA 是一个 8 位双向端口。与其相应的进出方向寄存器就是 TRISA 寄存器。(不过注意到这里第 5 位没有用到，因为 PORTA[5]为单输入方向端口。在 TRISA 寄存器中将某一位设置为“1”会将该对应 PORTA 端口设置为输入端口(此时，输出驱动电路会被关断)。反之，将某一位设置为“0”会将该对应 PORTA 端口设置为输出端口。在置为输出端口时，输出驱动电路会被打开，输出寄存器里的数据会被放置到输出端口。在 PORTA 上进行读动作时，PORTA 内容会是反映输入端口的状态。在 PORTA 上进行写动作时，PORTA 内容会被写入输出寄存器。所有的写操作都是“读-更改-写”这样一个微流程，即数据被读，然后更改，再写入输出寄存器的过程。当 MCLRE 为 1 时，PORTA[5]读的值为 0，此时它是作为外部复位管脚。

5.14.2 端口的其他功能

芯片在 PORTA 的每个端口都有一个状态变化中断选项和弱上拉选项。

5.14.2.1 弱上拉

PORTA 的每个端口（除了 PORTA[5]）都有一个可以单独设置的内部弱上拉功能。控制 WPUAx 寄存器里的位就可使能或关断这些弱上拉电路。当 GPIO 被设置为输出时，这些弱上拉电路会被自动关断。弱上拉电路在上电复位期间可以被置为关断。这是由 OPTION 寄存器中的/PAPU 位决定的。PORTA[5]内部也有弱上拉功能，它是在将 PORTA[5]设置为/MCLR 功能时自动使能的。当 PORTA[5]被设置为 GPIO 时，该弱上拉电路被自动关断。

5.14.2.2 状态变化中断

PORTA 的每个端口都可以被单独设置成一个中断源(端口状态变化触发中断)。控制 IOCAx 寄存器里的位就可使能或关断这些端口的中断功能。端口状态变化触发中断的功能在上电复位时无效的。

当端口状态变化触发中断的功能被使能时，当前端口电平值会被与上次读动作所读取数据寄存器的旧值作对比。

所有错误匹配结果会被或在一起形成中断标志位 INTCON 寄存器中的 PAIF 标志位。

该中断可以将芯片从睡眠状态中唤醒。用户需要在中断服务程序中执行以下程序来清除该标志位：

- A) 对 PORTA 进行一次读或写得动作，这将结束任何错误匹配的状态。
- B) 清零 PAIF 标志位。

错误匹配的条件会一直设置 PAIF 位。对 PORTA 做一次读就可以结束任何错误匹配的状态，使得 PAIF 能被清零。

数据寄存器里保持的上一次读的值不会被/MCLR 或低电压复位所影响。只要错误匹配状态存在，PAIF 位就会被置 1。

5.14.2.3 端口描述

PORTA 的每个端口都包含着不同的复用功能。其具体功能和控制在这一节里描述。

PORTA[0]

图 16.1 描述了此端口的内部电路结构。PA[0]可以被配置为以下功能端口：

- GPIO
- 调试串口时钟

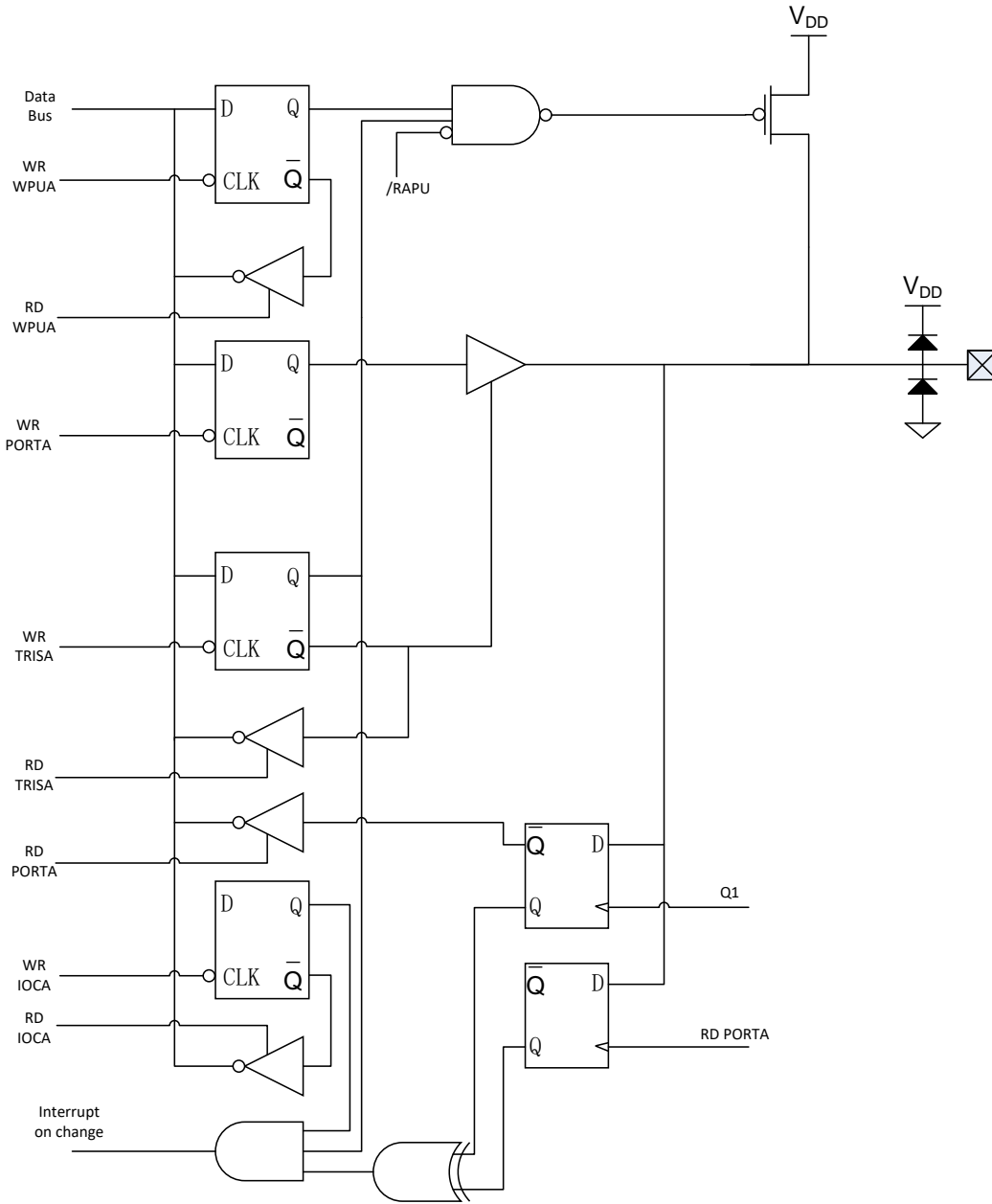


图 16.1 PA0 架构框图

PORTA[1]

图 16.2 描述了此端口的内部电路结构。PA[1]可以被配置为以下功能端口：

- GPIO
- 调试串口数据

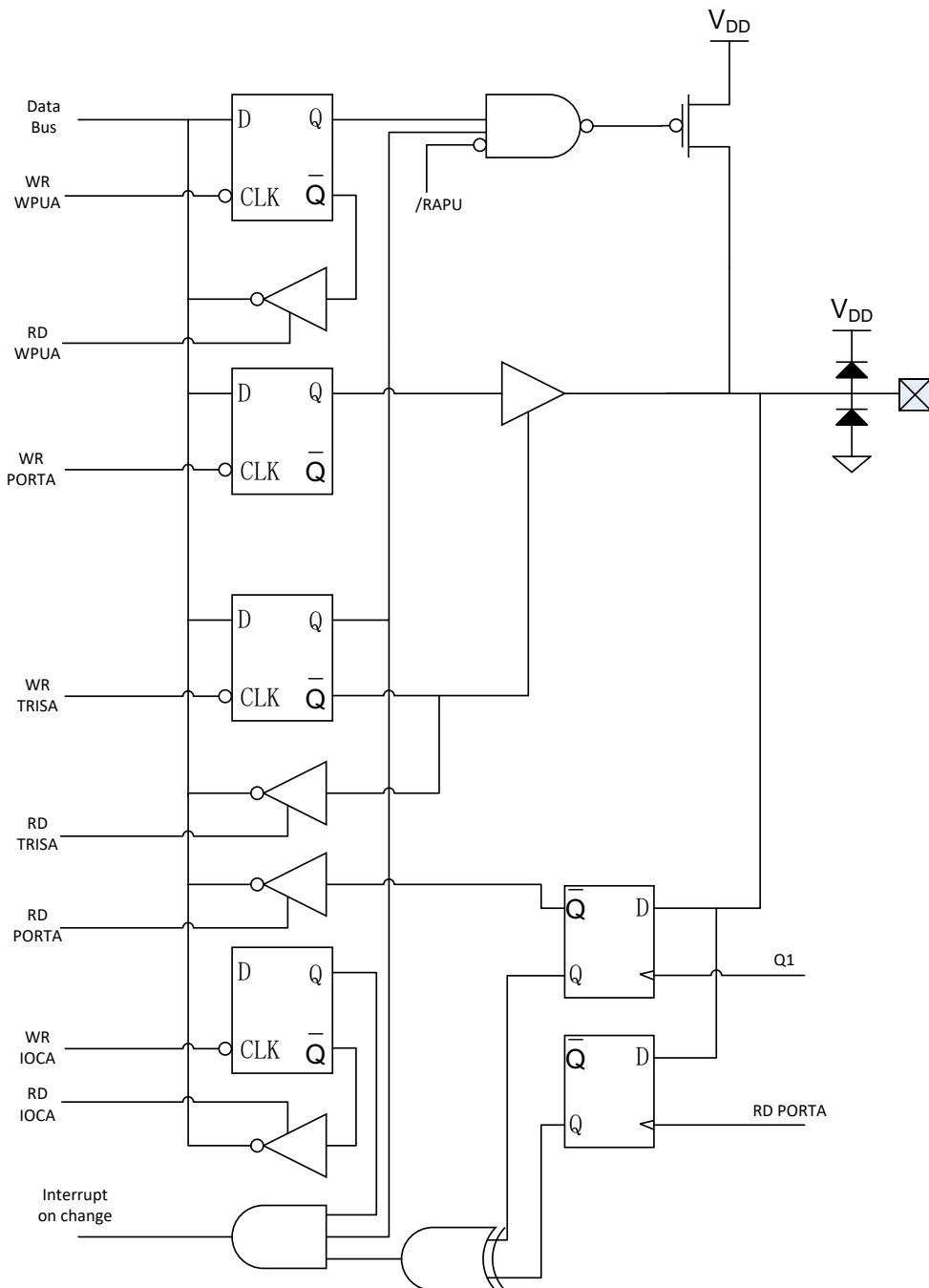


图 16.2 PA1 架构框图

PORTA[2]

图 16.3 描述了此端口的内部电路结构。PA[2]可以被配置为以下功能端口：

- GPIO
- 外部中断输入
- TIMERO 外部时钟源

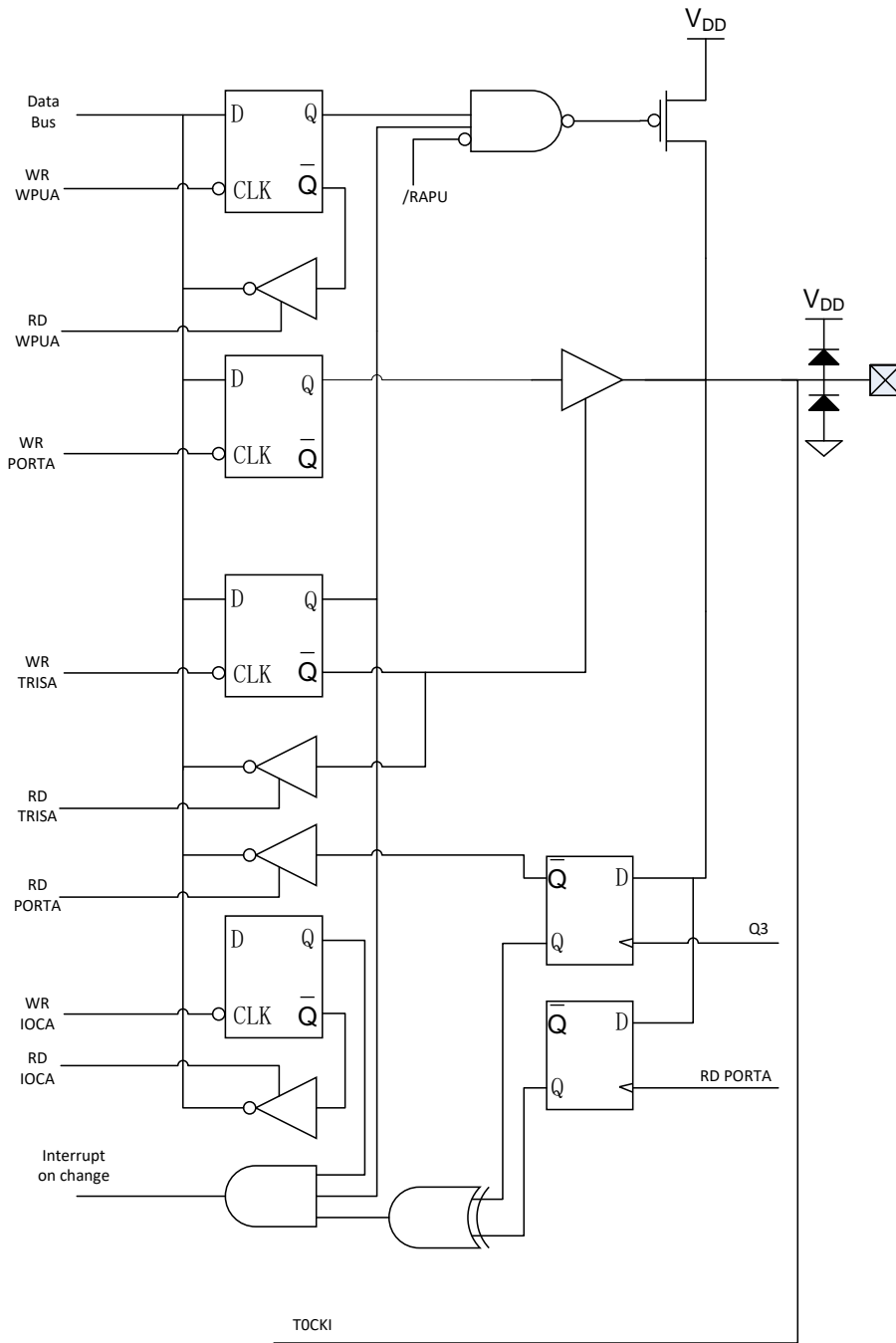


图 16.3 PA2 架构框图

PORTA[3]

图 16.4 描述了此端口的内部电路结构。PA[3]可以被配置为以下功能端口：

- GPIO
- 模拟测试输出

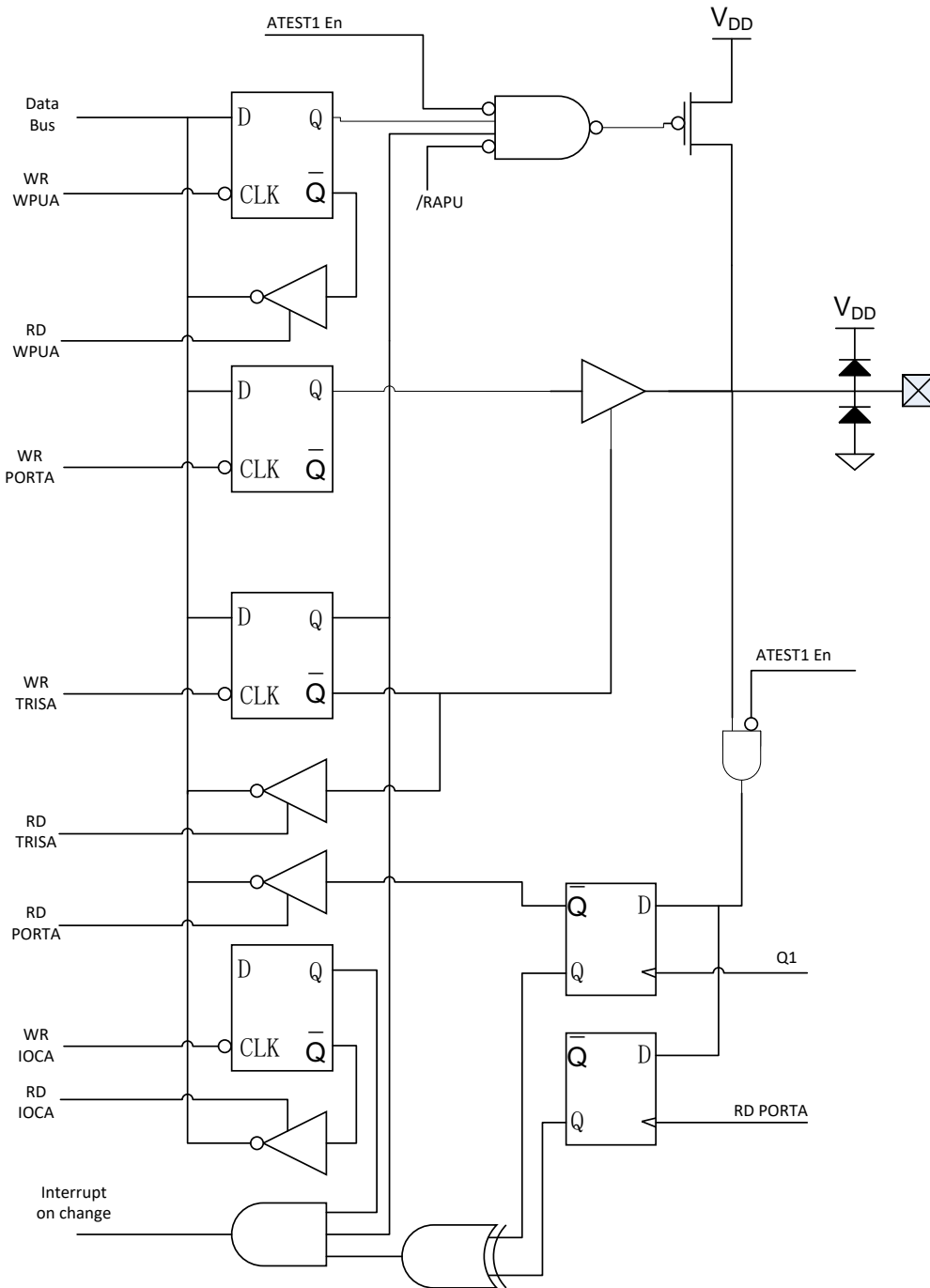


图 16.4 PA3 架构框图

PORTA[4]

图 16.5 描述了此端口的内部电路结构。PA[4]可以被配置为以下功能端口：

- GPIO

● 模拟测试信号输入输出

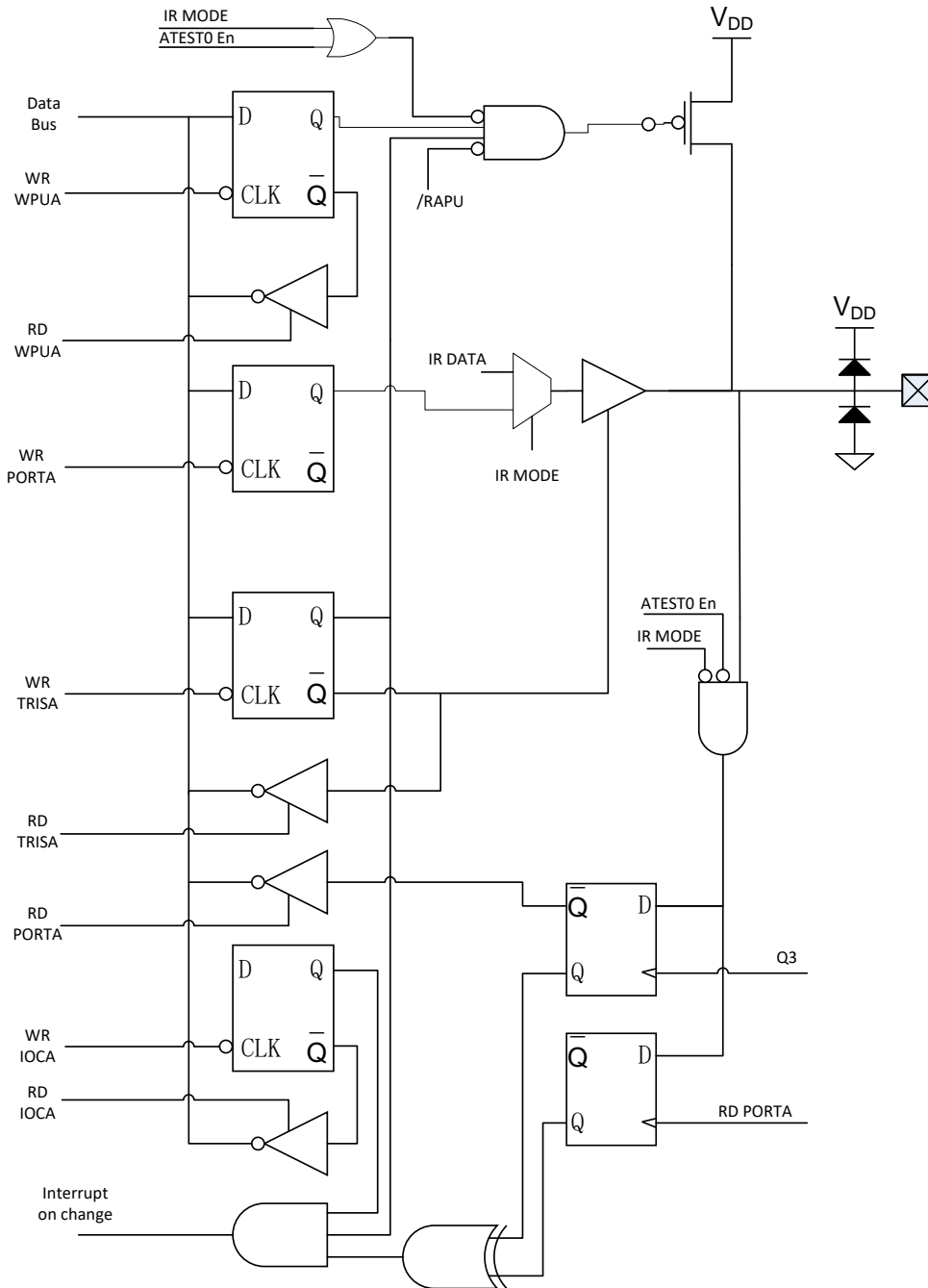


图 16.5 PA4 架构框图

PORTA[5]

PORTA[6]

图 16.7 描述了此端口内部电路结构。PA[6]可以配置为以下功能端口：

- GPIO
- 晶振、谐振器连接
- 时钟输出

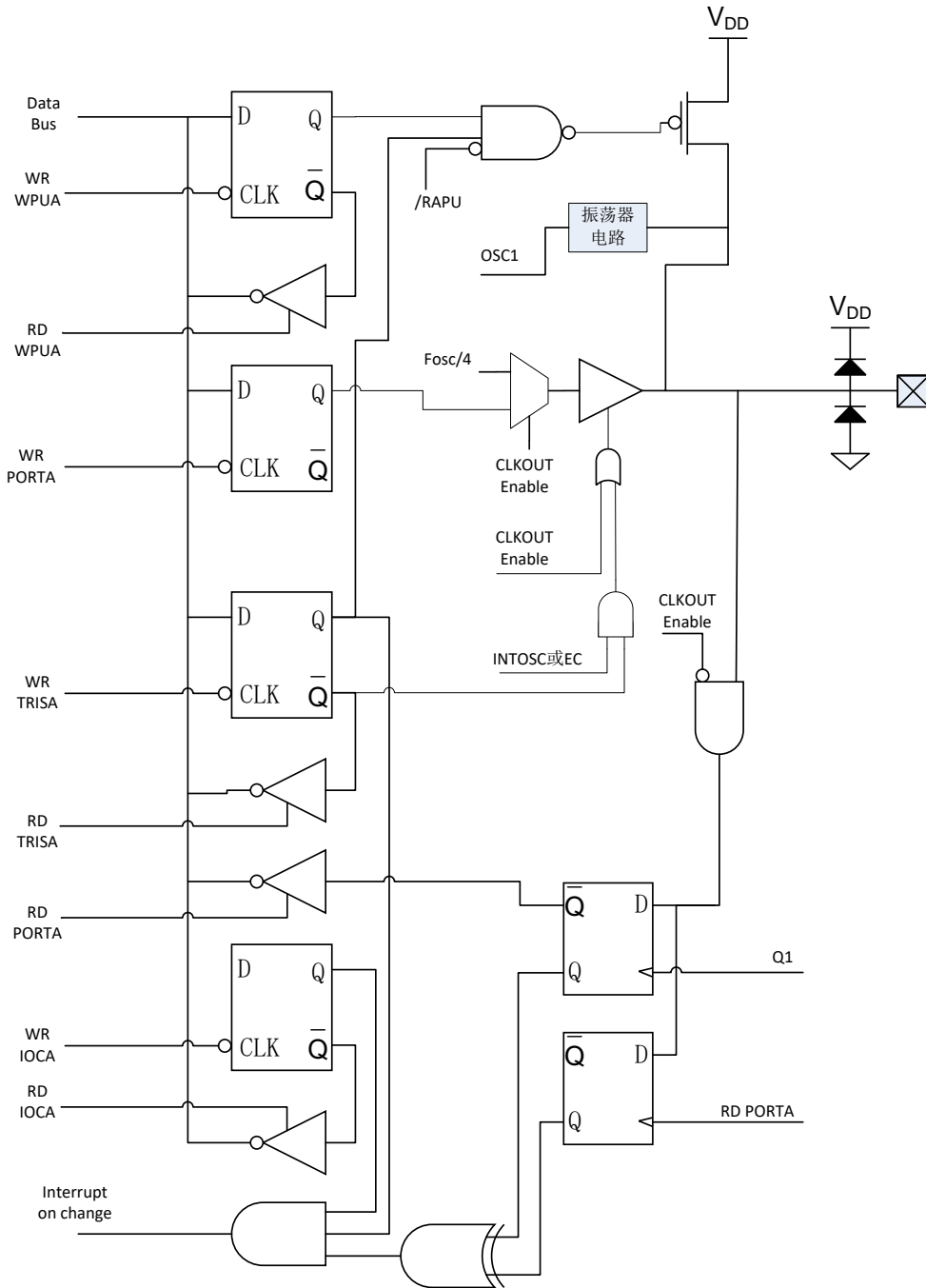


图 16.7 PA[6]架构框图

PORTA[7]

图 16.8 描述了此端口内部电路结构。PA[7]可以配置为以下功能端口：

- GPIO

- 晶振、谐振器连接
- 时钟输入

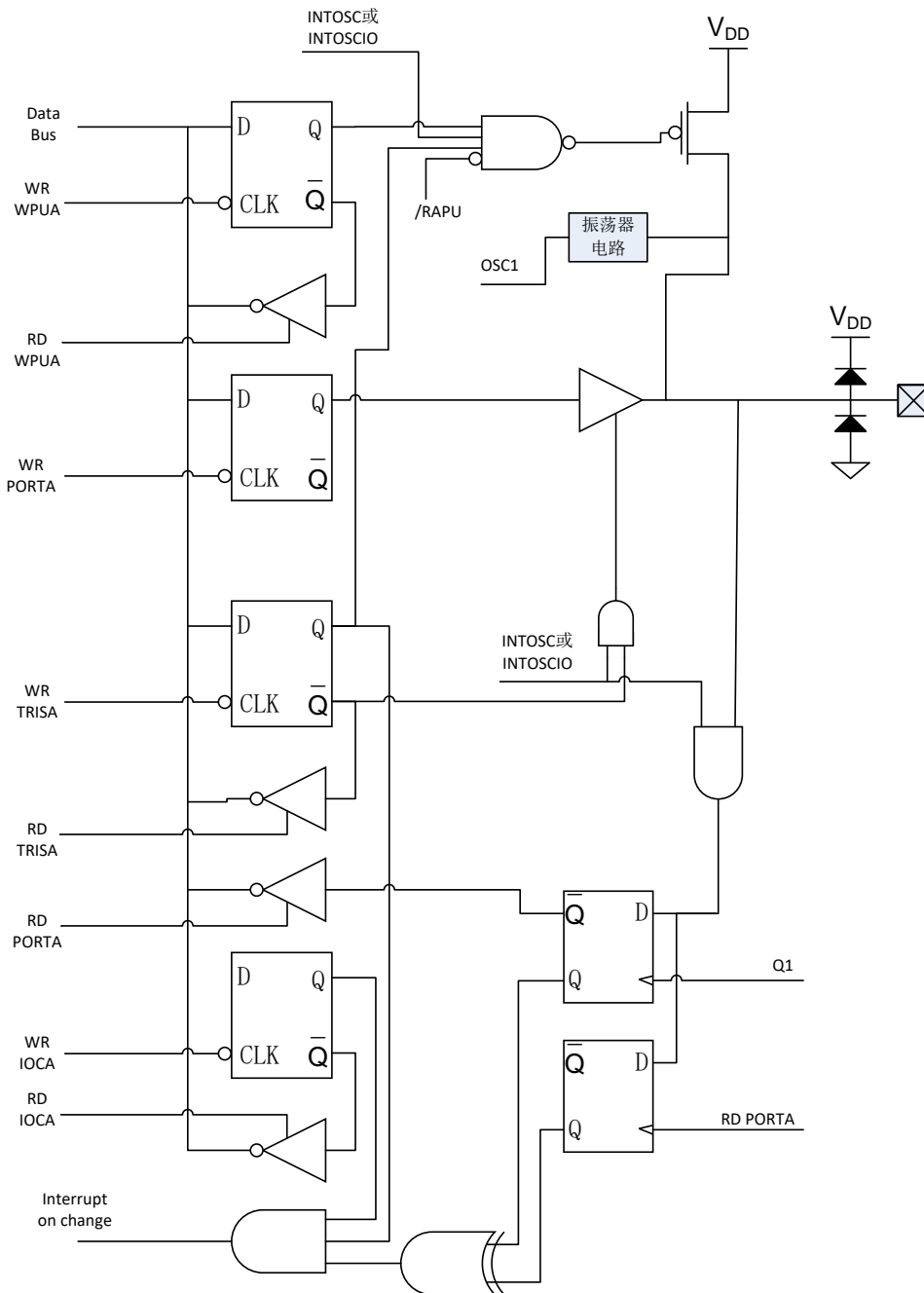


图 16.8 PA[7]架构框图

PORTC[0], [1]

图 16.9 描述了此端口的内部电路结构。PORTC[0]/[1]可以被配置为以下功能端口：

- GPIO
- 比较器输入

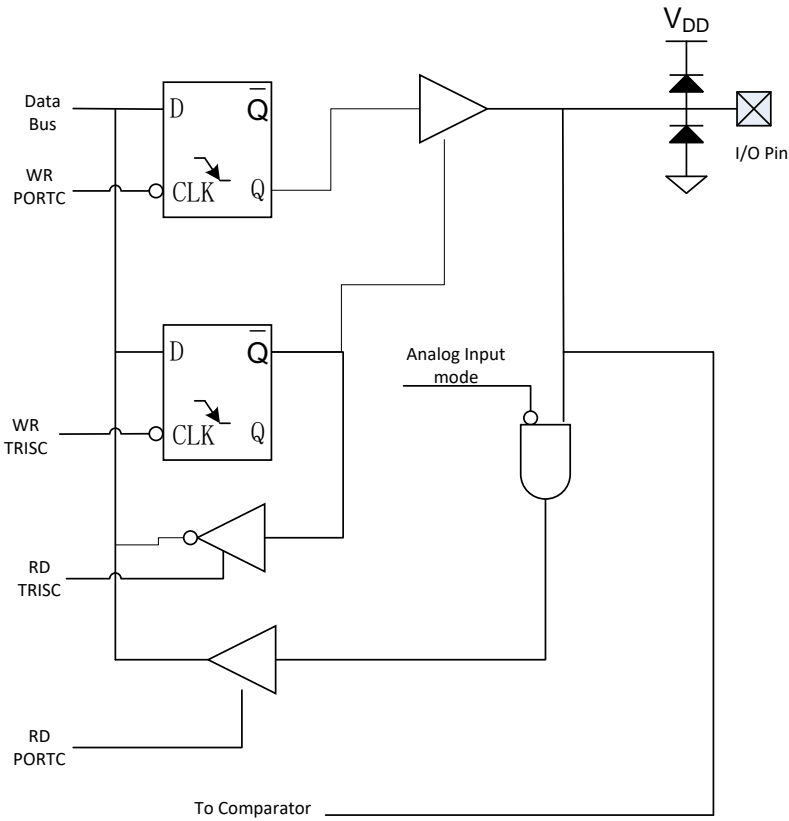


图 16.9 PC0,1 架构框图

PORTC[2], [3]

图 16.10 描述了此端口的内部电路结构。PORTC[2]/[3]可以被配置为以下功能端口：

- GPIO

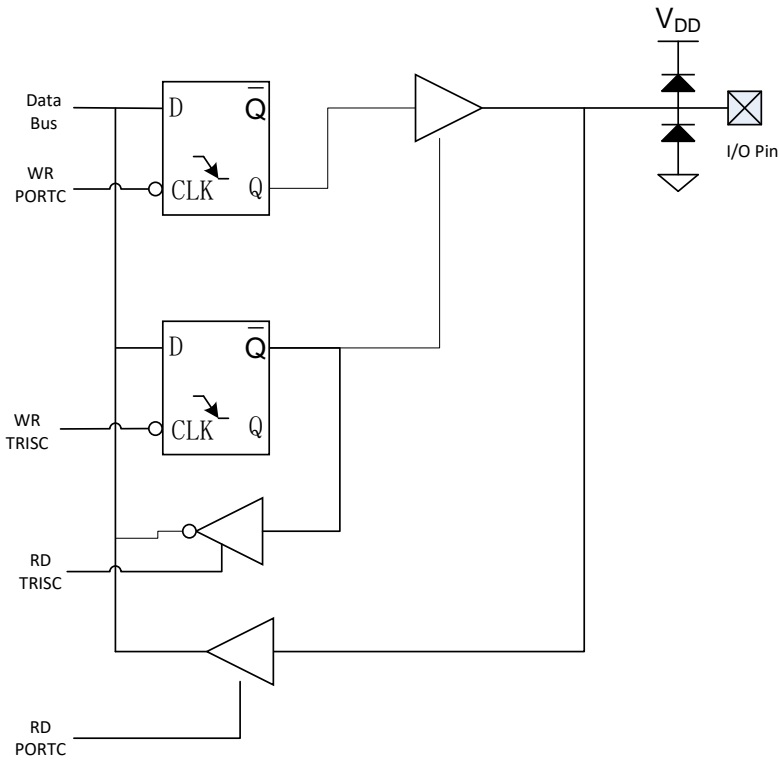


图 16.10 PC2,3 架构框图

PORTC[4]

图 16.11 描述了此端口的内部电路结构。PORTC[4]可以被配置为以下功能端口：

- GPIO

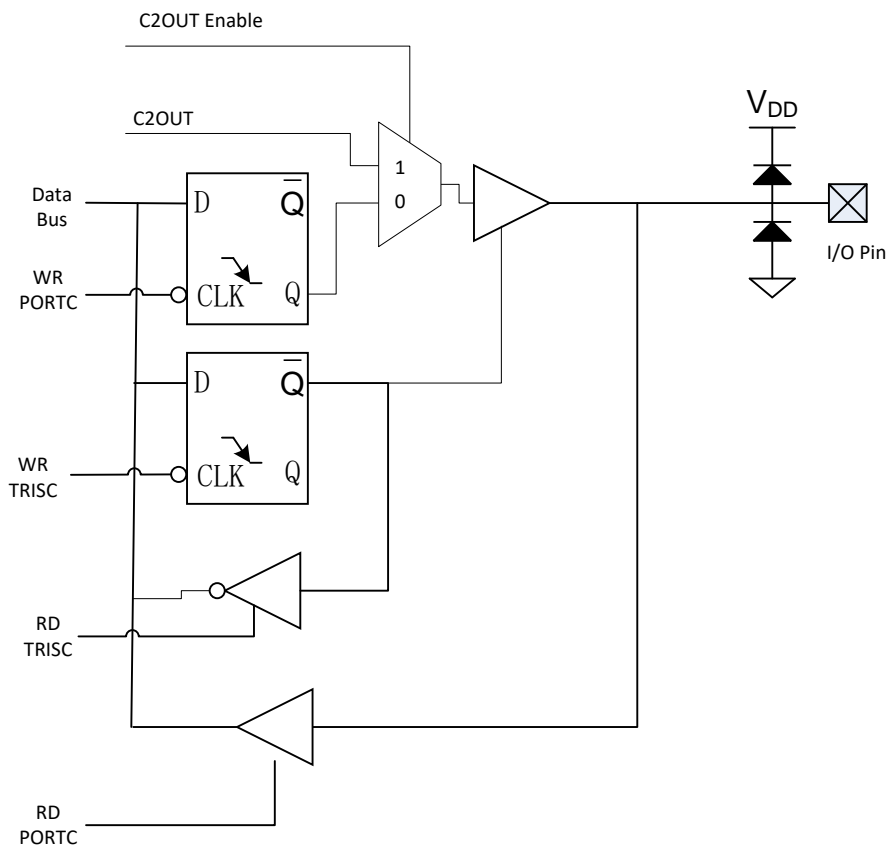


图 16.11 PC4 架构框图

PORTC[5], [6], [7]

图 16.12 描述了此端口的内部电路结构。PORTC[5]/ [6]/ [7]可以被配置为以下功能端口：

- GPIO

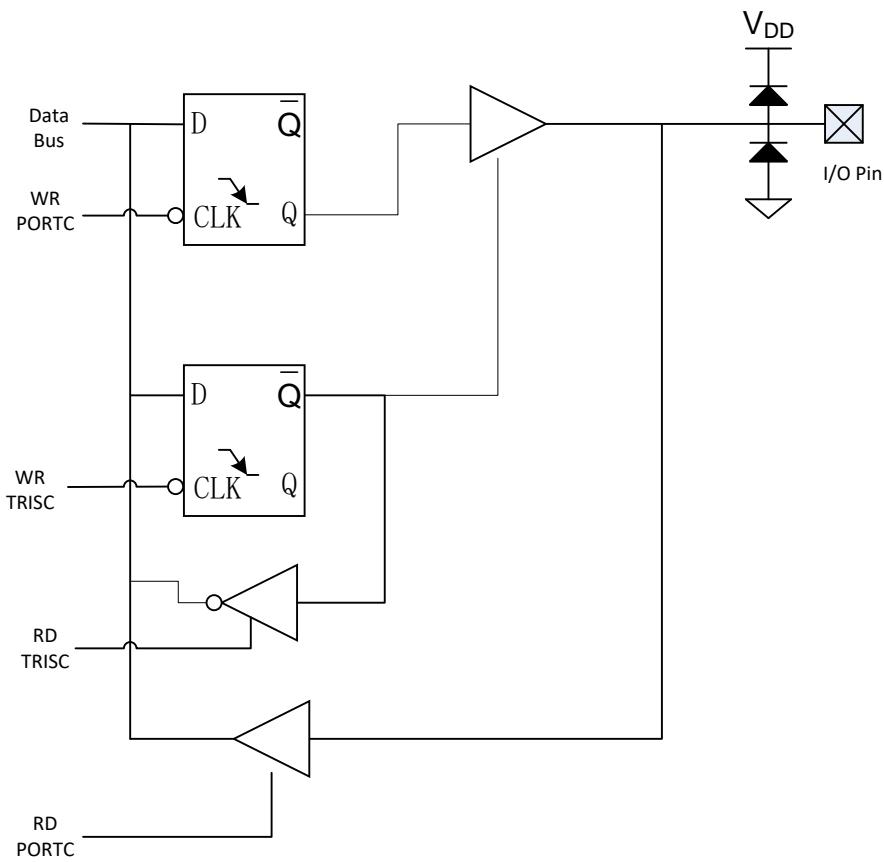


图 16.12 PC5,6,7 架构框图

5.15 MCU 电气特性

5.15.1 内置高频振荡器(Internal High Frequency Osc)

电气参数	最小值	典型	最大值	单位	条件/备注
Ivdd 工作电流	Osc: 12 Bgr: 6.1	Osc: 17 Bgr: 9		uA	1.6~5.5v 27C tt trim set 100000
随温度变化范围		4.2%/100°C			-20~80 °C, tt 3.3v
随电源电压变化范围		+/-3%			2 ~ 5.5V, tt
标准振荡频率	---	15.99	---	MHz	3.3V, 27°C, tt
启动时间	---	2.2	10	uS	
漏电流	---	0.8	2	nA	Disable fosc&bgr
校准范围	---	+/-20%	---		Step 0.625%
	---	+/-30%	---		Step 0.9375%

5.15.2 内置低频振荡器(Internal Low Frequency Osc)

此低频振荡器有双模模式，一种模式下振动频率为 32KHz，另一种模式下振动频率为 256KHz。振荡频率模式由

OSCCON 寄存器中的 LFMOD 位控制，0 为 32KHz 模式，1 为 256KHz 模式

电气参数	最小值	典型	最大值	单位	条件/备注
------	-----	----	-----	----	-------

lvdd 工作电流	0.4	1.1	1.4	uA	1.6~5.5V, tt
随温度变化范围		22.3%/100°C			-20 ~ 80 °C 2.5V
随电源电压变化范围		11.1%/V			2 ~ 5.5V @27°C
标准振荡频率	---	32.3	---	KHz	2.5V, 25°C, TT, 32K mode
	---	258.5	---	KHz	2.5V, 25°C, TT, 256K mode
启动时间	---	4.6	10	uS	2.5V, 25°C, TT
漏电流	---	0.15	1	nA	disable
校准范围	---	---	---		No trim

5.15.3 带隙基准源电路(Bandgap)

带隙基准电路电气参数如下:

电气参数	最小值	典型	最大值	单位	条件/备注
lvdd 工作电流	6.1	9		uA	1.6~5.5V, tt
随温度变化范围	---	3	47	ppm/°C	-20 ~ 85 °C
输出电压范围	1.2013	1.233	1.269	V	Corner
PSRR		70		dB	tt
启动时间	---	1.2	10	uS	tt
漏电流	---	0.8	2	nA	Disable

输出驱动电流	---	---	---		No resistor loading
Trim 范围	-16%		+8%		-16%, -8%, +8%

5.15.4 低压差线性稳压器(LDO)

带隙基准电路电气参数如下:

电气参数	最小值	典型	最大值	单位	条件/备注
随电源电压变化范围		1.65		V	VDD>1.7V
		VDD			VDD<1.65V

5.15.5 低电压侦测/复位电路 (LVD/LVR)

电气参数	最小值	典型	最大值	单位	条件/备注
		2.0			
		2.2			
		2.8			
LVR delay		125	157	us	

*设计参考值

5.15.6 上电复位电路 (POR)

电气参数	最小值	典型	最大值	单位	条件/备注

lvdd 工作电流		50		nA	3.3V
随温度变化范围	-	2.0V	-		3.3v, tt

5.15.7 I/O PAD 电路

电气参数	最小值	典型	最大值	单位	条件/备注
VIL	0		0.3*VDD	V	
VIH	0.7*VDD		VDD	V	
源电流		15		mA	5V, 25°C
沉电流		20		mA	5V, 25°C
上拉电阻		28		kΩ	5V
		41.7			3.3V

5.15.8 Comparator 比较器电路

电气参数	最小值	典型	最大值	单位	条件/备注
工作电流		70		uA	3.3V, tt

5.15.9 4bit DAC 电路 (比较器参考 CVREF)

电气参数	最小值	典型	最大值	单位	条件/备注
工作电流				mA	1.8~5.5V , - 20°C~85°C
相对精度	—	VDD/16	—	V	同上

绝对精度	—	—	1/2	LSB	同上
单位电阻(unit resistor)	—	5000	—		同上
稳定时间(Settle Time)	—	—	10	uS	00000->11111

5.15.10 总体工作电流 (Ivdd)

电气参数	最小值	典型	最大值	单位	条件/备注
正常模式		310		uA	3.3V, 2MHz
		50		uA	3.3V, 32KHz
休眠模式 (Sleep, WDT ON)		3		uA	3.3V
休眠模式 (Sleep, WDT OFF)		0.8		uA	3.3V
休眠模式 (Sleep, LVR ON)		15		uA	3.3V

注意:

1. 电流的测试条件为 IO 处于输入模式, IO 外部下拉;
2. 比较器处于关闭状态, CM[2:0]=111。



5.16 指令集列表

本芯片采用精简指令架构，一共 37 条指令，以下是各指令的描述。

汇编语法	功能	运算	状态位
BCR R, b	Bit clear	0-> R(b)	NONE
BSR R, b	Bit set	1-> R(b)	NONE
BTSC R, b	Bit test, skip if 0	Skip if R(b)=0	NONE
BTSS R, b	Bit test, skip if 1	Skip if R(b)=1	NONE
NOP	No operation	None	NONE
CLRWDT	Clear WDT	0-> WDT	/PF, /TF
SLEEP	ENTER SLEEP MODE	0-> WDT, STOP OSC	/PF, /TF
STTMD	Store W TO TMODE	W-> TMODE	NONE
CTLIO R	Control IO direction reg	W-> IODIRr	NONE
STR R(MOVWF)	Store W to reg	W-> R	NONE
LDR R, d(MOVF)	Load reg to d	R-> d	Z
SWAPR R,d	Swap halves reg	[R(0-3)R(4-7)]-> d	NONE
INCR R, d	Increment reg	R+ 1-> d	Z
INCRSZ R, d	Increment reg, skip if 0	R+ 1-> d	NONE
ADDWR R, d	Add W and reg	W+ R-> d	C, HC, Z



SUBWR R, d	Sub W from reg	R- W-> d R+ /W+ 1-> d	C, HC, Z
DECR R, d	Decrement reg	R- 1-> d	Z
DECRSZ R, d	Decrement reg, skip if 0	R- 1-> d	NONE
ANDWR R, d	AND W and reg	R& W-> d	Z
IORWR R, d	Inclu.OR W and reg	W R-> d	Z
XORWR R, d	Exclu.OR W and reg	W^ R-> d	Z
COMR R, d	Complement reg	/R-> d	Z
RRR R, d	Rotate right reg	R(n)-> R(n-1), C-> R(7), R(0)-> C	C
RLR R, d	Rotate left reg	R(n)-> R(n+1), C-> R(0), R(7)-> C	C
CLRW	Clear working reg	0-> W	Z
CLRR R	Clear reg	0-> R	Z
RETI	Return from interrupt	Stack-> PC, 1-> GIE	NONE
RET	Return from subroutine	Stack-> PC	NONE
LCALL N	Long CALL subroutine	N-> PC, PC+1-> Stack	NONE
LJUMP N	Long JUMP address	N-> PC	NONE



LDWI I(MOVLW)	Load immediate to W	I-> W	NONE
ANDWI I	AND W and imm	W& I-> W	Z
IORWI I	Inclu.OR W and imm	W I-> W	Z
XORWI I	Exclu.OR W and imm	W^ I-> W	Z
RETW I	Return, place imm to W	Stack-> PC, I-> W	NONE
ADDWI I	Add imm to W	W+I-> W	C, HC, Z
SUBWI I	Subtract W from imm	I-W-> W	C, HC, Z

注意:在 XNS125 芯片里,TMODE 寄存器是指 OPTION,即 STTMD 指令的操作是把 W 存到 OPTION;



6. RF 描述

6.1 主要电特性

特 性	测试条件(VCC = 3V± 5%, TA=25°C)	参数值			单位
		最小	典型	最大	
<i>ICC</i>	休眠模式		2		uA
	待机模式 1		30		uA
	待机模式 3		650		uA
	待机模式 2		780		uA
	发射模式 (-35dBm)		9		mA
	发射模式 (-20dBm)		9.5		mA
	发射模式 (0dBm)		16		mA
	发射模式 (2dBm)		19		mA
	发射模式 (8dBm)		30		mA
	发射模式 (13dBm)		66		mA
	接收模式 (250Kbps)		15		mA
	接收模式 (1Mbps)		15.5		mA
接收模式 (2Mbps)		16.5		mA	
系统指标					
f_{OP}	工作频率	2400		2483	MHz
PLL_{res}	锁相环频率步径		1		MHz
f_{XTAL}	晶振频率		16		MHz
<i>DR</i>	码率	0.25		2	Mbps



Δf_{250K}	调制频偏@250Kbps		125		KHz
Δf_{1M}	调制频偏@1Mbps		160	250	KHz
Δf_{2M}	调制频偏@2Mbps		320	500	KHz
FCH_{250K}	频道间隔@250Kbps		1		MHz
FCH_{1M}	频道间隔@1Mbps		1		MHz
FCH_{2M}	频道间隔@2Mbps		2		MHz
发射模式指标					
PRF	典型输出功率	2	8	13	dBm
$PRFC$	输出功率范围	-35		13	dBm
$PBW1$	发射带数据调制的 20dB 带宽 (250Kbps)		500		KHz
$PBW2$	发射带数据调制的 20dB 带宽 (1Mbps)		1		MHz
$PBW3$	发射带数据调制的 20dB 带宽 (2Mbps)		2		MHz
接收模式指标 (注 1)					
RX_{max}	误码率<0.1%时的最大接收幅度		0		dBm
$RXSENS1$	接收灵敏度 (0.1%BER) @250Kbps		-93		dBm
$RXSENS2$	接收灵敏度 (0.1%BER) @1Mbps		-87		dBm



<i>RXSENS3</i>	接收灵敏度 (0.1%BER) @2Mbps		-83		dBm
接收模式邻道选择性					
C/I_{CO}	同频的通道选择性 @250kbps		2		dBc
C/I_{1ST}	第 1 相邻道选择性 @250kbps		-8		dBc
C/I_{2ND}	第 2 相邻道选择性 @250kbps		-18		dBc
C/I_{3RD}	第 3 相邻道选择性 @250kbps		-24		dBc
C/I_{4TH}	第 4 相邻道选择性 @250kbps		-28		dBc
C/I_{5TH}	第 5 相邻道选择性 @250kbps		-32		dBc
C/I_{6TH}	第 6 相邻道选择性 @250kbps		-35		dBc
C/I_{CO}	同频的通道选择性 @1Mbps		10		dBc
C/I_{1ST}	第 1 相邻道选择性 @1Mbps		1		dBc
C/I_{2ND}	第 2 相邻道选择性		-18		dBc



	@1Mbps				
C/I_{3RD}	第 3 相邻道选择性 @1Mbps		-23		dBc
C/I_{4TH}	第 4 相邻道选择性 @1Mbps		-28		dBc
C/I_{5TH}	第 5 相邻道选择性 @1Mbps		-32		dBc
C/I_{6TH}	第 6 相邻道选择性 @1Mbps		-35		dBc
C/I_{CO}	同频的通道选择性 @2Mbps		10		dBc
C/I_{1ST}	第 1 相邻道选择性 @2Mbps		-6		dBc
C/I_{2ND}	第 2 相邻道选择性 @2Mbps		-10		dBc
C/I_{3RD}	第 3 相邻道选择性 @2Mbps		-22		dBc
C/I_{4TH}	第 4 相邻道选择性 @2Mbps		-28		dBc
C/I_{5TH}	第 5 相邻道选择性 @2Mbps		-34		dBc
操作条件					



V_{DD}	供电电压	2.2	3	3.3	V
V_{SS}	芯片地		0		V
V_{OH}	高电平输出电压	$V_{DD}-0.3$		V_{DD}	V
V_{OL}	低电平输出电压	V_{SS}		$V_{SS}+0.3$	V
V_{IH}	高电平输入电压	2.0	3	3.3	V
V_{IL}	低电平输入电压	V_{SS}		$V_{SS}+0.3$	V

注 1 在晶振 16MHz 的整数倍 (如 2416、2432MHz 等) 的频道及相邻正负 1MHz 的频道的接收灵敏度退化 2dB; 发射信号的调制质量 (EVM) 会下降 10%。

注 2: 250kbps 模式下发送数据长度不得多于 16 个字节。

6.2 极大额定值

特性	条件	参数值			单位
		最小	典型	最大	
最大额定值					
V_{DD}	供电电压	-0.3		3.6	V
V_I	输入电压	-0.3		3.6	V
V_O	输出电压	V_{SS}		V_{DD}	
Pd	总功耗 (TA=-40°C~85°C)			300	mW
T_{OP}	工作温度	-40		85	°C



T_{STG}	存储温度	-40		125	°C
-----------	------	-----	--	-----	----

- * 注 1: 使用中强行超过一项或多项极限最大额定值会导致器件永久性损坏。
- * 注 2: 静电敏感器件, 操作时遵守防护规则。

6.3 芯片工作状态

本章描述各种工作模式, 以及用于控制芯片进入各工作模式的方法。RF芯片自带状态机受控于芯片内部寄存器的配置值和外部引脚信号。

图3是表示5种工作模式之间的跳变。RF在VDD大于2.2V才开始正常工作。即使进入休眠模式, MCU还是可以通过SPI发送配置命令及CE管脚使芯片进入其它5种状态。

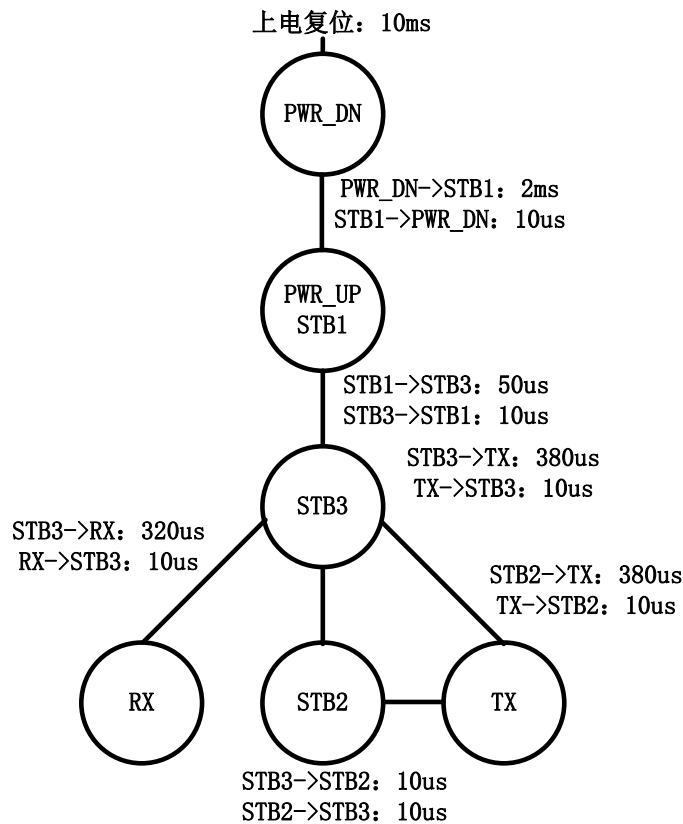


图3 工作状态图

表4 控制信号和功能描述

状态名	PWR_DN	STB1	STB3	STB2	RX	TX
-----	--------	------	------	------	----	----



控制信号						
PWR_UP	0	1	1	1	1	1
EN_PM	0	0	1	1	1	1
CE / PC3	0	0	0	1	1	1
PRIM_RX	X	X	X	0	1	0
功能描述						
SPI操作	√	√	√	√	√	√
保存reg值	√	√	√	√	√	√
晶振起振	X	√	√	√	√	√
晶振输出	X	X	X	√	√	√
电源管理 模块使能	X	X	√	√	√	√
发射模块 使能	X	X	X	X	X	√
接收模块 使能	X	X	X	X	√	X

6.3.1 休眠模式

在休眠模式下，RF所有功能关闭，保持电流消耗最小。进入休眠模式后，RF停止工作，但寄存器内容保持不变。休眠模式由寄存器中PWR_UP位控制。

6.3.2 待机模式-I (STB1)

在待机模式-I下，芯片维持晶振振荡但不输出给其它模块，其余功能模块均关闭，消耗电流较小。在休眠模式下，通过配置寄存器PWR_UP的值为1，芯片即可进入待机模式-I。而处于发射或接收模式时，可



以通过配置CE和EN_PM控制信号为0，芯片返回到待机模式-I。

6.3.3 待机模式-III (STB3)

在待机模式-I时，配置EN_PM控制信号为1，芯片进入到待机模式-III。待机模式-III主要目的是使得芯片的电源管理模块必须先于晶振输出。

6.3.4 待机模式-II (STB2)

发送端TX FIFO寄存器为空并且CE引脚置1，进入待机模式-II（待机模式-II通常可以理解为预备发射模式）。此时，晶振有较强的输出驱动能力且芯片的电源管理模块开启。待机模式-II下，如果有数据包送入TX FIFO，此时芯片内部锁相环立刻启动工作并且经过一段锁相环的锁定时间后，发射机将数据包发射出去。

6.3.5 接收模式

当PWR_UP、PRIM-RX、EN_PM、CE置1时，进入接收模式。

在RX模式下，射频部分接收从天线来的信号，将其放大、下变频、滤波和解调，根据地址、校验码、数据长度等，判断是否收包有效，有效收包上传RX FIFO，上报中断。如果RX FIFO是满的，接收的数据包就会被丢弃。

6.3.6 发射模式

当PWR_UP、EN_PM置1，PRIM-RX置0，CE引脚有置1动作，且TX FIFO中存在有效数据，进入发射模式。

RF在数据包发送完之前都会保持在发送模式。发送完成后，返回到待机模式。RF采用PLL开环发射方式，数据包是单包发送的。

6.4 数据通信模式

RF搭配MCU来共同完成通信功能。链路层，如数据组帧、校验、地址判断、数据白化的扰码、数据



重传和ACK响应等处理是由芯片内部完成的，无需MCU参与。

RF芯片可配置为二个不同的RX FIFO 寄存器（32字节）或者一个RX FIFO寄存器（64字节）（6个接收通道共享）、二个不同的TX FIFO 寄存器（32字节）或者一个TX FIFO寄存器（64字节）。在休眠模式和待机模式下，MCU可以访问FIFO寄存器。

RF芯片主要有二种数据通信模式：

- ◆ 不带自动重传不带ACK的通信模式（也称为普通模式），发射端可以使用命令有W_TX_PAYLOAD, REUSE_TX_PL等；
- ◆ 带自动重传带ACK的通信模式（也称为增强模式），发射端可以使用命令有W_TX_PAYLOAD, W_TX_PAYLOAD_NOACK, REUSE_TX_PL等；接收端可以使用命令有W_ACK_PAYLOAD等；

表5 不带自动重传不带ACK的通信模式

通信名称	不带自动重传不带ACK的通信模式	
通信方	PTX	PRX
特点	单向发送	单向接收
发送数据的组帧方式	I	无
开启REUSE_TX_PL命令	重复发送前一包数据	无

表6 带自动重传带ACK的通信模式

通信名称	带自动重传带ACK的通信模式	
通信方	PTX	PRX
特点	发送数据后，等待接收ACK	接收数据后，回发送ACK
发送数据的组帧方式	发送数据组帧方式II	回发送ACK组帧方式III
PTX使用REUSE_TX_PL命令	重复发送前一包数据	每收到一包，回发送ACK



PRX使用W_ACK_PAYLOAD命令	发送数据后，等待接收ACK PAYLOAD	接收数据后，回发送ACK PAYLOAD，组帧方式II
PTX使用W_TX_PAYLOAD_NOACK命令	发送一次数据，不等ACK，组帧方式II	接收数据，不回ACK

6.4.1 不带自动重传不带 ACK 的通信模式

不带自动重传不带ACK的通信模式下，发送端从TX FIFO寄存器中取出数据并且发送，发送完成后上报中断（中断需要清除），同时TX FIFO寄存器清除该数据（TX FIFO需要清空）；接收端接收到有效的地址和数据时上报中断通知MCU，随后MCU可将该数据从RX FIFO寄存器中读出（中断需要清除，RX FIFO需要清空）。

不带自动重传不带ACK的通信模式，（0X01）EN_AA寄存器置0X00，（0X04）SETUP_RETR寄存器置0X00，（0X1C）DYNPD寄存器置0X00，（0X1D）FEATURE寄存器的低3 bit置000。

6.4.2 带自动重传带 ACK 的通信模式

带自动重传带ACK的通信模式下，把主动发起通信的一方称为PTX（主发端），把接收数据并响应的一方称为PRX（主收端）。PTX发出数据后等待应答信号，PRX接收到有效数据后回应答信号。PTX规定时间内未收到应答信号，自动重新发送数据。自动重传和自动应答功能为RF芯片自带，无需MCU参与。

PTX在发送数据后自动转到接收模式等待应答信号。如果没有在规定时间内收到正确的应答信号，PTX将重发相同的数据包，直到收到应答信号，或传输次数超过ARC的值（SETUP_RETR寄存器）产生MAX_RT中断。PTX收到应答信号，即认为数据已经发送成功（PRX收到有效数据），清除TX FIFO中的数据并产生TX_DS中断（中断需要清除，TX FIFO需要清空）。

PRX每次收到一包有效数据都会回ACK应答信号，该数据如果为新数据（PID值与上一包数据不同）保存到RX FIFO，否则就丢弃。



带自动重传带ACK的通信模式，需要保证PTX的TX地址 (TX_ADDR)、通道0的RX地址 (如RX_ADDR_P0)，以及PRX的RX地址 (如RX_ADDR_P5) 三者相同。例：在图5中，PTX5对应PRX的数据通道5，地址设置如下：

PTX5: TX_ADDR=0xC2C3C4C5C1

PTX5: RX_ADDR_P0=0xC2C3C4C5C1

RX: RX_ADDR_P5=0xC2C3C4C5C1

带自动重传带ACK的通信模式有如下特征：

- ◆ 减少MCU的控制，简化软件操作；
- ◆ 抗干扰能力强，减少无线传输中因瞬间同频干扰造成的丢包，更易开发跳频算法；
- ◆ 重传过程中，减少MCU通过SPI接口的每次写入待发送数据的操作时间。

6.4.3 带自动重传带 ACK 的发送模式

1、CE置0，CONFIG寄存器的PRIM_RX位先置0。

2、当发送数据时，发送地址 (TX_ADDR) 和有效数据 (TX_PLD) 通过SPI接口按字节写入地址寄存器和TX FIFO。CSN引脚为低时，数据写入，CSN引脚再次为高，数据完成写入。

3、CE从0置1，启动发射。

4、自动应答模式下 (SETUP_RETR寄存器置不为0，ENAA_P0 =1)，PTX发送完数据后立即自动将通道0切换到接收模式等待应答信号。如果在有效应答时间范围内收到ACK应答信号，则认为数据发送成功，状态寄存器的TX_DS位置1并自动清除TX FIFO中的数据。如果在设定时间范围内没有接收到应答信号，则自动重传数据。

5、如果自动传输计数器 (ARC_CNT) 溢出 (超过了设定值)，则状态寄存器的MAX_RT 位置1，不清除TX FIFO中的数据。当MAX_RT或TX_DS为1时，IRQ引脚产生低电平中断 (需要使能相应中断)。中断可以通过写状态寄存器来复位。



6、数据包丢失计数器 (PLOS_CNT) 在每次产生MAX_RT中断后加一。自动传输计数器ARC_CNT统计重发数据包的次数；数据包丢失计数器PLOS_CNT统计在达到最大允许传输次数时仍没有发送成功的数据包个数。

7、产生MAX_RT或TX_DS中断后，系统进入待机模式。

6.4.5 带自动重传带 ACK 的接收模式

1、CE置0，CONFIG寄存器的PRIM_RX位先置1。准备接收数据的通道必须被使能 (EN_RXADDR寄存器)，所有工作在增强型通信模式下的数据通道的自动应答功能是由EN_AA寄存器来使能的，有效数据宽度是由RX_PW_PX寄存器来设置的。

2、接收模式由设置CE为1启动。

3、预设的等待时间后，PRX开始检测无线信号。

4、接收到有效的数据包后，数据存储在RX_FIFO中，同时RX_DR位置1，产生中断。状态寄存器中RX_P_NO位显示数据是由哪个通道接收到的。

5、自动发送ACK应答信号。

6、如果CE保持为1，继续进入接收模式；如果CE置为0，则进入待机模式-III；

7、MCU以合适的速率通过SPI口将数据读出。

6.4.6 带自动重传带 ACK 通信模式下的数据包识别

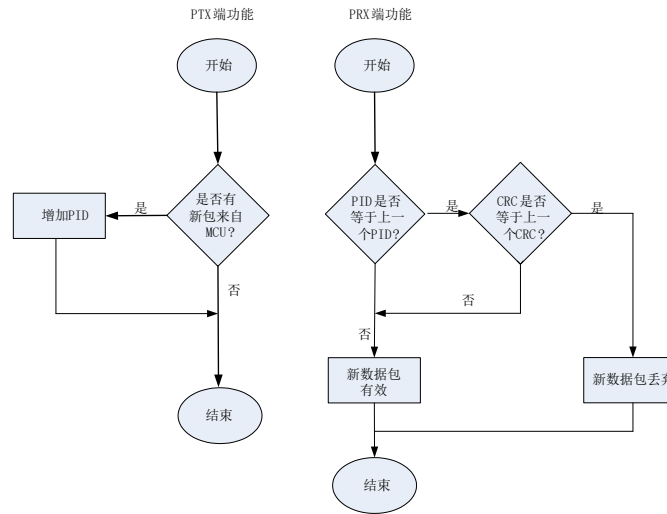


图4 PID生成和检测

每一包数据都包括两位的PID（数据包标志位），来帮助接收端识别该数据是新数据包还是重发的数据包，防止多次存入相同的数据包，PID的生成和检测如图4所示。发送端从MCU取得一包新数据后PID值加一。

6.4.7 带自动重传带 ACK 通信模式下的 PTX 和 PRX 的时序图

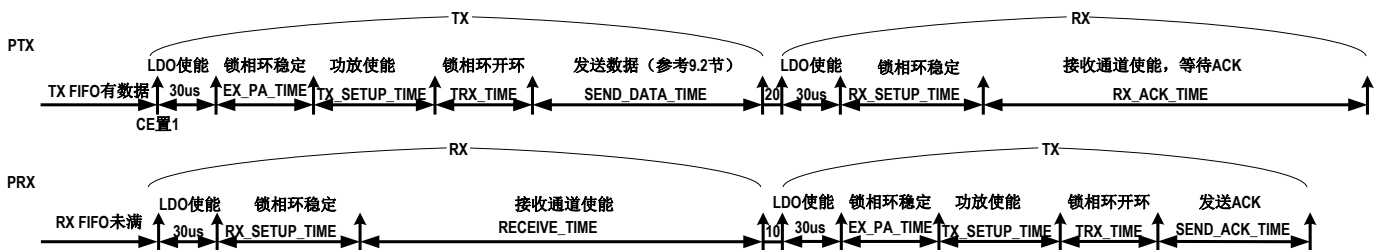


图5 带自动重传带ACK通信模式下的PTX和PRX的时序图（发送成功）

如图 5 所示的是一次 PTX 和 PRX 通信的芯片内部时序图，使得通信成功必须满足以下两个条件：

- 条件 1、PTX (或 PRX) 发射的锁相环稳定+功放使能+锁相环开环的三段时间之和, 大于 PRX (或 PTX) 接收的锁相环稳定时间 20us 以上, 这样可以保证 PTX (或 PRX) 发射数据的时间段落在 PRX (或 PTX) 接收数据的时间段内, 即:

$$EX_PA_TIME + TX_SETUP_TIME + TRX_TIME > RX_SETUP_TIME + 20us;$$

- 条件 2、PRX 发送 ACK 的锁相环稳定+功放使能+锁相环开环+发送 ACK 的四段时间之和, 小于 PTX



接收的锁相环稳定+等待 ACK 的两端时间之和 80us 以上，保证 PRX 回复 ACK 的时间端落在 PTX 等待 ACK 的时间段内，各时间段的定义参考 8 章；发送 ACK 的时间参考 9.2 节为，发送帧比特数 ÷ 通信数据率，即：

$$EX_PA_TIME + TX_SETUP_TIME + TRX_TIME + SEND_ACK_TIME < RX_SETUP_TIME + RX_ACK_TIME - 80us。$$

6.4.8 带自动重传带 ACK 通信模式下的接收端一对多通信

RF 芯片作为发射端，对于一对多通信，可以采用不同的地址与多个接收端进行通信。

RF 芯片作为接收端，可以接收 6 路不同地址相同频率的发送端数据。每个数据通道拥有自己的地址。

使能哪些数据通道是通过寄存器 EN_RXADDR 来设置的。每个数据通道的地址是通过寄存器 RX_ADDR_PX 来配置的。通常情况下不允许不同的数据通道设置完全相同的地址。如下，表 7 给出了一例多接收通道地址配置的示例。

表 7 多通道地址设置

	Byte 4	Byte 3	Byte 2	Byte 1	Byte 0
Data pipe 0(RX_ADDR_P0)	0xF1	0xD2	0xE6	0xA2	0x33
Data pipe 1(RX_ADDR_P1)	0xD3	0xD3	0xD3	0xD3	0xD3
	↓	↓	↓	↓	
Data pipe 2(RX_ADDR_P2)	0xD3	0xD3	0xD3	0xD3	0xD4
	↓	↓	↓	↓	
Data pipe 3(RX_ADDR_P3)	0xD3	0xD3	0xD3	0xD3	0xD5



	↓	↓	↓	↓	
Data pipe 4(RX_ADDR_P4)	0xD3	0xD3	0xD3	0xD3	0xD6
	↓	↓	↓	↓	
Data pipe 5(RX_ADDR_P5)	0xD3	0xD3	0xD3	0xD3	0xD7

从表7可以看出数据通道0的5byte总共40位的地址都是可配的；数据通道1~5的地址配置为32位共用地址（与数据通道1共用）+8位各自的地址（最低字节）。

RF芯片在接收模式下可以与最多6路不同通道通信，如图5所示。每一个数据通道使用不同的地址，共用相同的频道。所有的发射端和接收端设置为带自动重传带ACK的通信模式。

PRX在接收到有效数据后记录PTX的TX地址，并以此地址为目标地址发送应答信号。PTX数据通道0被用做接收应答信号时，数据通道0的RX地址要与TX地址相等以确保接收到正确的应答信号。图6给出了PTX和PRX地址如何配置的例子。

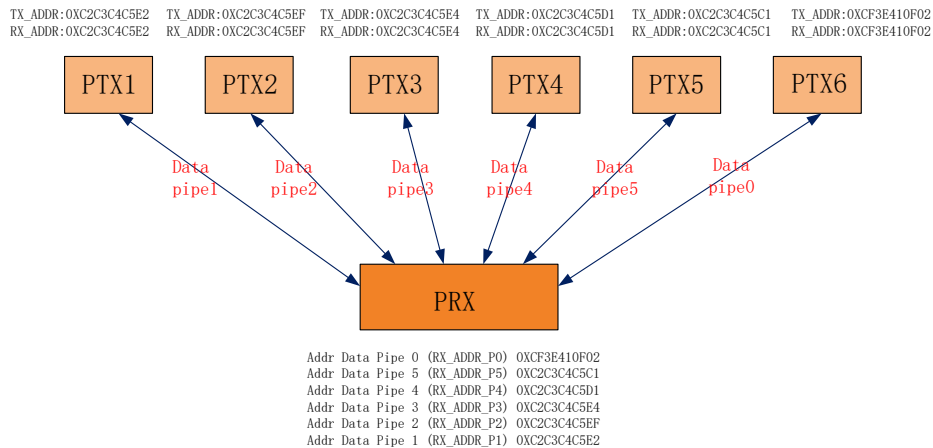


图6 多通道数据传输应答地址示例

6.5 DATA FIFO

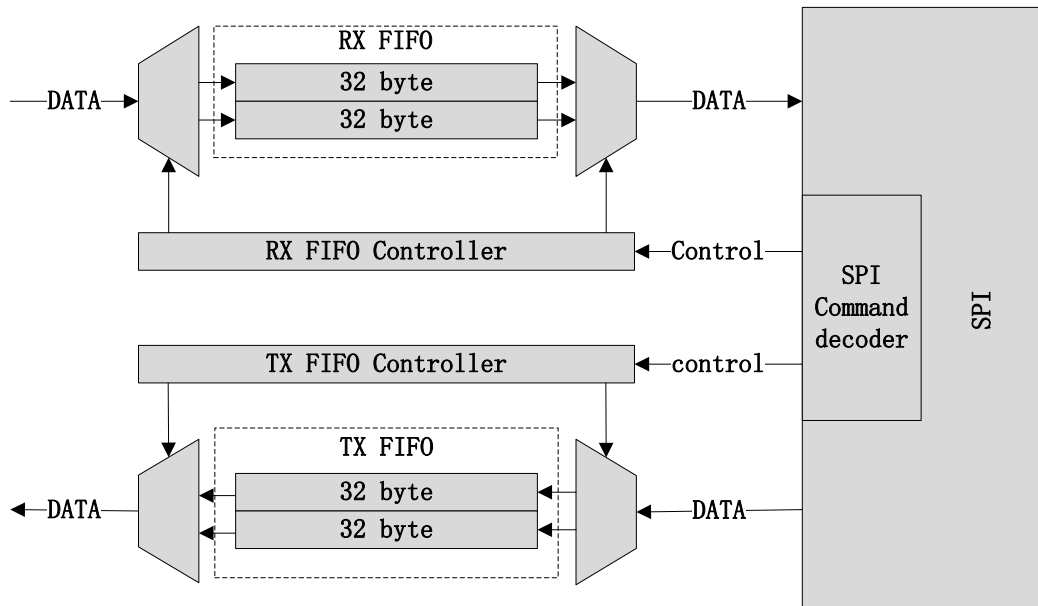


图7 FIFO 框图

RF包含发TX_FIFO,RX_FIFO。通过SPI命令可读写FIFO。在发送模式下通过W_TX_PAYLOAD和W_TX_PAYLOAD_NO_ACK指令来写TX_FIFO。如果产生MAX_RT中断，在TX_FIFO中的数据不会被清除。在接收模式下通过R_RX_PAYLOAD指令读取RX_FIFO中的payload， R_RX_PL_WID指令读取payload的长度。FIFO_STATUS寄存器指示FIFO的状态。

6.6 中断引脚

RF芯片的中断引脚（IRQ）为低电平触发，IRQ引脚初始状态为高电平，当状态寄存器中TX_DS、RX_DR或MAX_RT为1，以及相应的中断上报使能位为0时，IRQ引脚的中断触发。MCU给相应中断源写‘1’时，清除中断。IRQ引脚的中断触发可以被屏蔽或者使能，通过设置中断上报使能位为1，禁止IRQ引脚的中断触发。



6.7 SPI 控制接口

RF芯片通过SPI控制接口对各寄存器进行读写操作。RF芯片作为从机，SPI接口的数据率一般取决于MCU的接口速度，其最大的数据传输率为8Mbps。

SPI接口是标准的SPI接口见表8，可以使用MCU的通用I/O口模拟SPI接口。CSN引脚为0时，SPI接口等待执行指令。一次CSN引脚由1到0的变化执行一条指令。在CSN引脚由1变0后可以通过MISO来读取状态寄存器的内容。

表8 SPI接口

引脚名称	MCU引脚	MCU I/O方向	SPI引脚的功能描述
CSN	PC5	输出	片选使能，低电平使能
SCK	PC4	输出	时钟
MOSI	PC6	输出	MCU数据输出，RF数据输入
MISO	PC7	输入	RF数据输出，MCU数据输入

6.8 SPI 指令格式

表9 SPI指令格式

<命令字：由高位到低位（每字节）>

<数据字节：低字节到高字节，每一字节高位在前>

命令名称	命令字 (二进制)	后带数据 (字节数)	操作
R_REGISTER	000A AAAA	1 to 5 低字节在前	读状态寄存器 AAAAA=5bit 寄存器地址
W_REGISTER	001A AAAA	1 to 5 低字节在前	写状态寄存器 AAAAA=5bit 寄存器地址



			仅在休眠和待机模式-I 下执行。
R_RX_PAYLOAD	0110 0001	1 to 32/64 低字节在前	读接收数据, 读操作通常由第 0 字节开始, 读完过后数据将从 RX FIFO 中删除, 接收模式下执行。
W_TX_PAYLOAD	1010 0000	1 to 32/64 低字节在前	写发射数据, 写操作通常由 0 字节开始。
FLUSH_TX	1110 0001	0	清 TX FIFO, TX 模式下执行。
FLUSH_RX	1110 0010	0	清 RX FIFO, RX 模式下执行。
REUSE_TX_PL	1110 0011	0	用在 PTX 端, 再次使用最后一帧发送的数据并且发送。该命令在刚发送数据并执行 FLUSH_TX 命令后可用。该命令不可以在发送数据的过程中使用。
ACTIVATE	0101 0000	1	用该命令后跟数据 0x73, 将激活以下功能 <ul style="list-style-type: none"> • R_RX_PL_WID • W_TX_PAYLOAD_NOACK • W_ACK_PAYLOAD 该命令仅在休眠模式和待机模式下执行。
DEACTIVATE			用该命令后跟数据 0x8C, 将关闭



			上述功能。
R_RX_PL_WID	0110 0000	0	读 RX FIFO 最顶部 RX-payload 数据宽度。
W_ACK_PAYLOAD	1010 1PPP	1 to 64 低字节在前	Rx 模式可用 写PIPE PPP (PPP 的值从000 到 101) 响应ACK 时同时回传的数据。最多可设置2个ACK 数据包。 同PIPE 的数据将以先进先出的原则发送。 写操作通常从 0 字节开始。
W_TX_PAYLOAD_NO ACK	1011 0000	1 to 32/64 低字节在前	写发射数据, 写操作通常由 0 字节开始。TX 模式下执行, 使用该命令发送数据不判自动应答。
CE_FSPI_ON	1111 1101	1	SPI 命令使 CE 内部逻辑置 1, 用该命令后跟数据 0x00。
CE_FSPI_OFF	1111 1100	1	SPI 命令使 CE 内部逻辑置 0, 用该命令后跟数据 0x00。
RST_FSPI_HOLD	0101 0011	1	用该命令后跟数据 0x5A, 使得进入复位状态并保持。



RST_FSPI_RELS			用该命令后跟数据 0xA5，使得释放复位状态并开始正常工作。
NOP	1111 1111	0	无操作。

R_REGISTER 和 W_REGISTER 寄存器可能操作单字节或多字节寄存器。当访问多字节寄存器时首先要读/写的是最低字节的高位。对于多字节寄存器可以只写部分字节，没有写的高字节保持原有内容不变。例如：RX_ADDR_P0 寄存器的最低字节可以通过写一个字节给寄存器 RX_ADDR_P0 来改变。

6.9 SPI 时序

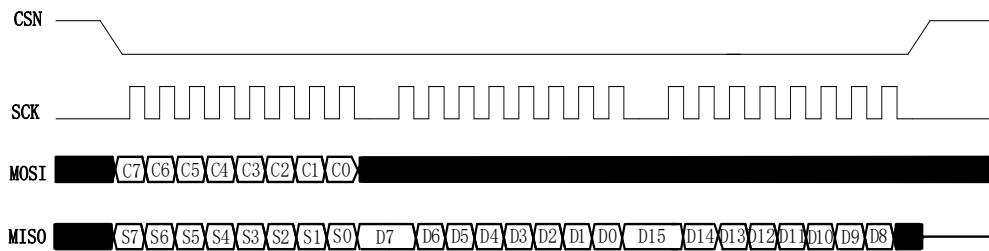


图8 SPI读操作

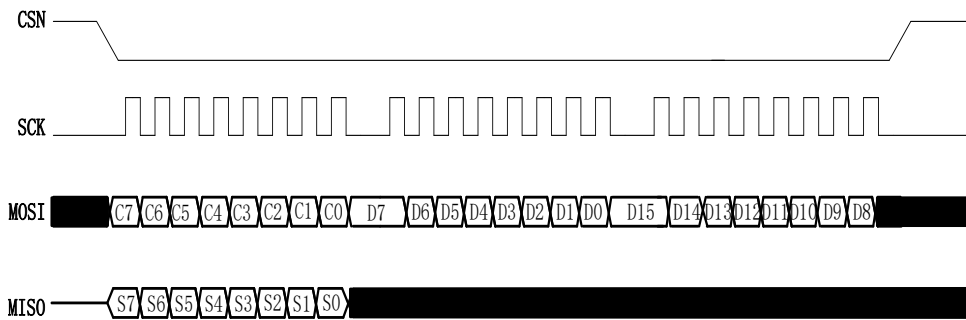


图9 SPI写操作

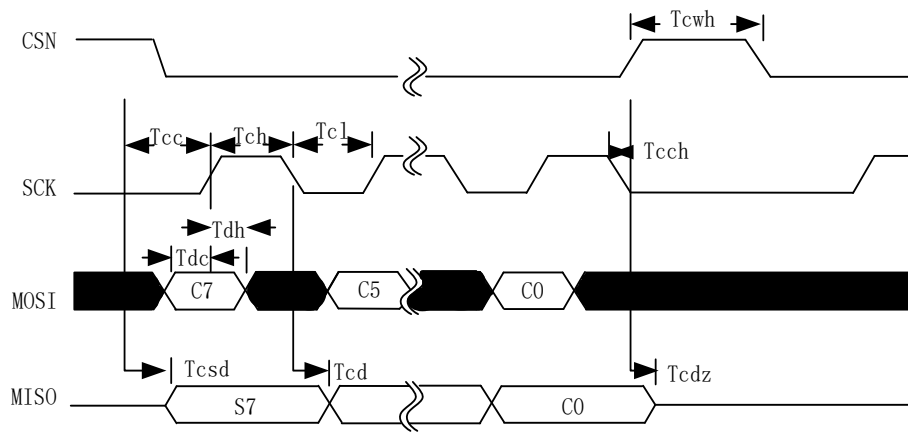


图10 SPI, NOP操作时序图

表10 SPI操作参考时间

SYMBOL	PARAMETERS	MIN	MAX	UNITS
Tdc	数据建立时间	15		ns
Tdh	数据保持时间	2		ns
Tcsd	CSN信号有效时间		40	ns
Tcd	SCK信号有效时间		51	ns
Tcl	SCK信号低电平时间	38		ns
Tch	SCK信号高电平时间	38		ns
Fsck	SCK信号频率		8	MHz
Tr,Tf	SCK信号上升下降时间		110	ns
Tcc	CSN信号建立时间	2		ns
Tcch	CSN信号保持时间	2		ns
Tcwh	CSN无效时间	49		ns
Tcdz	CSN信号高阻抗		40	ns

*注：表10的参数可根据选择的MCU进行调整

图8~10和表10给出了SPI操作及时序。在写寄存器之前一定要进入休眠模式或待机模式-I。在图中用

到了下面的符号：

C_i -SPI指令位

S_i -状态寄存器位

D_i -数据位 (备注：由低字节到高字节，每个字节中高位在前)

其中： $i = 1, 2, 3, \dots, n$ 。



6.10 控制寄存器

可以通过SPI读写操作表9中的寄存器，来配置和控制RF。

表11 控制寄存器 (*地址寄存器RF有修改)

地址 (HEX)	寄存器	BIT	复位后的 默认值	读写	说明
00*	CONFIG				工作寄存器
	EN_PM	7	0	R/W	进入 STB3 模式 (前提 PWR_UP=1) 1: 进入 STB3 0: 进入 STB1
	MASK_RX_D R	6	0	R/W	接收数据成功的中断上报使能位 1: 中断不反映到 IRQ 引脚 0: RX_DR 中断反映到 IRQ 引脚
	MASK_TX_D S	5	0	R/W	发送数据成功的中断上报使能位 1: 中断不反映到 IRQ 引脚 0: TX_DS 中断反映到 IRQ 引脚
	MASK_MAX_ RT	4	0	R/W	发送失败并达到最大传输次数的 中断上报使能位 1: 中断不反映到 IRQ 引脚 0: MAX_RT 中断反映到 IRQ 引 脚
	EN_CRC	3	1	R/W	CRC 使能位



					1: CRC 使能, 2byte 0: CRC 不使能, 并且不判 CRC 校验
	N/A	2	0	R/W	保留, 需要置 1
	PWR_UP	1	0	R/W	芯片使能位 1: POWER_UP 0: POWER_DOWN
	PRIM_RX	0	0	R/W	RX/TX 控制位 1: PRX 0: PTX
01	EN_AA Enhanced Burst				接收通道的自动应答使能
	Reserved	7:6	00	R/W	Only 00 allowed
	ENAA_P5	5	0	R/W	使能 pipe5 自动应答
	ENAA_P4	4	0	R/W	使能 pipe4 自动应答
	ENAA_P3	3	0	R/W	使能 pipe3 自动应答
	ENAA_P2	2	0	R/W	使能 pipe2 自动应答
	ENAA_P1	1	0	R/W	使能 pipe1 自动应答
	ENAA_P0	0	1	R/W	使能 pipe0 自动应答
02	EN_RXADDR				接收通道使能
	Reserved	7:6	00	R/W	Only 00 allowed



	ERX_P5	5	0	R/W	使能 data pipe 5
	ERX_P4	4	0	R/W	使能 data pipe 4
	ERX_P3	3	0	R/W	使能 data pipe 3
	ERX_P2	2	0	R/W	使能 data pipe 2
	ERX_P1	1	0	R/W	使能 data pipe 1
	ERX_P0	0	1	R/W	使能 data pipe 0
03	SETUP_AW				地址宽度设置
	Reserved	7:2	000000	R/W	Only 000000 allowed
	AW	1:0	11	R/W	RX/TX 地址宽度 00: 无效 01: 3 字节 10: 4 字节 11: 5 字节 如果地址宽度设置低于 5 字节, 地址使用低字节
04	SETUP_RETR				自动传输设置
	ARD	7:4	0000	R/W	自动传输延时 0000 :250μs 0001 :500μs 0010 :750μs 1111: 4000μs



	ARC	3:0	0011	R/W	自动传输次数设置 0000: 不带自动重传不带 ACK 的通信模式 0001 ~ 1111: 带自动重传的通信模式 0001: 带 ACK 的 1 次传输 0010: 带自动重传带 ACK 的 2 次传输 1111: 带自动重传带 ACK 的 15 次传输
05	RF_CH				通信频道设置
	Reserved	7	0	R/W	Only 0 allowed
	RF_CH	6:0	1001110	R/W	设置使用频道为 Channel=RF_CH + 2400
06*	RF_SETUP				通信参数配置
	RF_DR	7:6	00	R/W	数据速率 01: 2Mbps 00: 1Mbps 11: 250kbps 10: 保留
	PA_GC	5:3	111	R/W	PA 的 driver 级输出幅度, 可以



					调节发射功率大小 111: 幅度大 000: 幅度小
	PA_PWR	2:0	111	R/W	PA 的输出级功率选择, 可以调节发射功率大小 111: 输出功率大 000: 输出功率小
07	STATUS				状态寄存器
	Reserved	7	0	R/W	Only 0 allowed
	RX_DR	6	0	R/W	RX FIFO 接收数据中断位, 在新数据被接收并到达 RX FIFO 时产生中断。 写 1 清中断
	TX_DS	5	0	R/W	TX FIFO 发送数据成功中断位, 在不带自动重传模式下, 数据发送完成后产生中断; 在带自动重传模式下, 仅在发送端收到 ACK 信号后才会将该位置高。 写 1 清中断



	MAX_RT	4	0	R/W	发送达到最大传输次数未成功中断位。 写 1 清中断 产生该中断后, 继续进行通信必须先清该中断
	RX_P_NO	3:1	111	R	可从 RX_FIFO 读取的 pipe 号 000-101: pipe 号 110: Not Used 111: RX_FIFO 空
	TX_FULL	0	0	R	TX FIFO 满标志 1: TX FIFO 满 0: TX FIFO 未滿可用
08	OBSERVE_TX				传输状态寄存器
	PLOS_CNT	7:4	0	R	丢包计数器 该计数器达到最大值 15 时将停止计数, 该计数器在写 RF_CH 时被复位, 未复位该值时可以继续进行通信
	ARC_CNT	3:0	0	R	自动重传的传输次数计数器 传输加一次, ARC_CNT 加一; 在 ARC_CNT 达到 ARC 限定值时, 视为丢包, 并将 PLOS_CNT



					加一； 当新数据写入 TX FIFO 时该计数器复位。
09*	DATAOUT				数据读取寄存器 (前提 DATAOUT_SEL=0)
	ANADATA7	7	0	R	接收机实时 RSSI 值的第 3 位(最高位) (测试用)
	ANADATA6	6	0	R	接收机实时 RSSI 值的第 2 位(测试用)
	ANADATA5	5	0	R	接收机实时 RSSI 值的第 1 位(测试用)
	ANADATA4	4	0	R	接收机实时 RSSI 值的第 0 位(测试用)
	ANADATA3	3	0	R	接收机成功收包的 RSSI 值的第 3 位 (最高位)
	ANADATA2	2	0	R	接收机成功接收包的 RSSI 值的第 2 位
	ANADATA1	1	0	R	接收机成功接收包的 RSSI 值的第 1 位
	ANADATA0	0	0	R	接收机成功接收包的 RSSI 值的第 0 位
0A	RX_ADDR_P0	39:0	0xE7E7E	R/W	data pipe 0 的接收地址, 最长 5



			7E7E7		字节。(由低字开始写。地址长度由 SETUP_AW 定义)
0B	RX_ADDR_P1	39:0	0xC2C2C 2C2C2	R/W	data pipe 1 的接收地址, 最长 5 字节。(由低字开始写。地址长度由 SETUP_AW 定义)
0C	RX_ADDR_P2	7:0	0xC3	R/W	data pipe 2 的接收地址, 仅最低位, 高位等于 RX_ADDR_P1[39:8]
0D	RX_ADDR_P3	7:0	0xC4	R/W	data pipe 3 的接收地址, 仅最低位, 高位等于 RX_ADDR_P1[39:8]
0E	RX_ADDR_P4	7:0	0xC5	R/W	data pipe 4 的接收地址, 仅最低位, 高位等于 RX_ADDR_P1[39:8]
0F	RX_ADDR_P5	7:0	0xC6	R/W	data pipe 5 的接收地址, 仅最低位, 高位等于 RX_ADDR_P1[39:8]
10	TX_ADDR	39:0	0xE7E7E 7E7E7	R/W	发送端地址 (由低字节开始写) 只能在配置为 PTX 模式的芯片中使用, 需要设置 RX_ADDR_P0 等于该地址以便接收 ACK 自动应答。



11	RX_PW_P0				data pipe 0 中的 RX payload 的数据长度
	Reserved	7	0	R/W	Only 0 allowed
	RX_PW_P0	6:0	0000000	R/W	data pipe 0 中的 RX payload 的数据长度 (1 到 32/64 字节) 0: 该 Pipe 未用 1 = 1 byte ... 32/64 = 32/64bytes
12	RX_PW_P1				data pipe 1 中的 RX payload 的数据长度
	Reserved	7	0	R/W	Only 0 allowed
	RX_PW_P1	6:0	0000000	R/W	data pipe 1 中的 RX payload 的数据长度 (1 到 32/64 字节) 0: 该 Pipe 未用 1 = 1 byte ... 32/64 = 32/64 bytes
13	RX_PW_P2				data pipe 2 中的 RX payload 的数据长度
	Reserved	7	0	R/W	Only 0 allowed
	RX_PW_P2	6:0	0000000	R/W	data pipe 2 中的 RX payload 的



					数据长度 (1 到 32/64 字节) 0: 该 Pipe 未用 1 = 1 byte ... 32/64 = 32/64 bytes
14	RX_PW_P3				data pipe 3 中的 RX payload 的 数据长度
	Reserved	7	0	R/W	Only 0 allowed
	RX_PW_P3	6:0	0000000	R/W	data pipe 3 中的 RX payload 的 数据长度 (1 到 32/64 字节) 0: 该 Pipe 未用 1 = 1 byte ... 32/64 = 32/64 bytes
15	RX_PW_P4				data pipe 4 中的 RX payload 的 数据长度
	Reserved	7	0	R/W	Only 0 allowed
	RX_PW_P4	6:0	0000000	R/W	data pipe 4 中的 RX payload 的 数据长度 (1 到 32/64 字节) 0: 该 Pipe 未用 1 = 1 byte ...



					32/64 = 32/64 bytes
16	RX_PW_P5				data pipe 5 中的 RX payload 的数据长度
	Reserved	7	0	R/W	Only 0 allowed
	RX_PW_P5	6:0	0000000	R/W	data pipe 5 中的 RX payload 的数据长度 (1 到 32/64 字节) 0: 该 Pipe 未用 1 = 1 byte ... 32/64 = 32/64 bytes
17*	FIFO_STATU S				FIFO 状态寄存器
	N/A	7	0	R	保留
	TX_REUSE	6	0	R	调用上一帧数据发送的指示位 在使用 REUSE_TX_PL 命令后, 该位为 1, 重传上一次发送中最后一帧数据。该位可以由命令 W_TX_PAYLOAD、 W_TX_PAYLOAD_NOACK、 DEACTIVATE、FLUSH TX 进行 复位操作。
	TX_FULL	5	0	R	TX FIFO 满标志位



					1: TX FIFO 满 0: TX FIFO 可用
	TX_EMPTY	4	1	R	TX FIFO 空标志位 1: TX FIFO 空 0: TX FIFO 有数据
	N/A	3	0	R	保留
	N/A	2	0	R	保留
	RX_FULL	1	0	R	RX FIFO 满标志位 1: RX FIFO 满 0: RX FIFO 可用
	RX_EMPTY	0	1	R	RX FIFO 空标志位 1: RX FIFO 空 0: RX FIFO 有数据
N/A	TX_PLD	255:0	X	W	TX 发送数据 通过 SPI 命令写入 TX 数据, 数据被存放在 2 级 32 字节或 1 级 64 字节 FIFO 中
N/A	RX_PLD	255:0	X	R	RX 接收数据 通过 SPI 命令读出 RX 数据, 数据被存放在 2 级 32 字节或 1 级 64 字节 FIFO 中, 所有 RX PIPE 共享同一个 FIFO



19*	DEMOCAL	7:0			调制解调参数寄存器 (可由方案需要来配置)
	CHIP	7	0	R/W	设置芯片是否进入测试模式 1: 进入测试模式 0: 退出测试模式
	CARR	6:5	00	R/W	设置芯片是否进入载波测试模式 11: 进入单载波测试模式, 且 CHIP 置 1 00: 退出单载波模式
	GAUS_CAL	4:1	0111	R/W	高斯滤波器输出到 DAC 的信号 幅度调整, 该输出信号大小是发 射调制频偏大小的决定因素之一 1111: 幅度较小 1000: 幅度中等 0000: 幅度较大
	Scramble_en	0	1	R/W	扰码功能是否使能, 开启扰码功 能可以对于待发送的数据进行白 化操作, 从而减少长 1 长 0 数据, 使能扰码功能需要收发两端进行 相同配置



					1: 使能扰码 0: 关闭扰码
1A*	RF_CAL2	47:0			补充射频寄存器 (一般使用默认值)
	N/A	47:46	01	R/W	保留
	BW_500K	45	0	R/W	设置为 0
	GC_500K	44	1	R/W	设置为 1
	IRQ_inv_sel	43	0	R/W	IRQ (EN_PA) 输出是否取反 1: 输出取反 0: 输出不取反
	CLKOUT_Z_sel	42	0	R/W	CLKOUT 引脚是否为高阻输出 1: CLKOUT PIN 为高阻输出 0: CLKOUT PIN 作为 Output
	CE_L_sel	41	0	R/W	CE 引脚弱下拉电阻是否使能 1: CE 引脚弱下拉电阻使能 0: CE 引脚弱下拉电阻不使能
	MISO_Z_sel	40	0	R/W	MISO 引脚是否为高阻输出 1: MISO PIN 为高阻输出 0: MISO PIN 作为 Output
	IRQ_Z_sel	39	0	R/W	IRQ 引脚是否为高阻输出 1: IRQ PIN 为高阻输出 0: IRQ PIN 作为 Output



	PA_ramp_sel	38:37	01	R/W	选择 PA ramp up 的方式 00: No ramp up 01: 4us ramp each step 10: 从半电流开始 ramp 11: 2us ramp each step
	OSC_IC	36	1	R/W	OSC 的激励电流选择 1: ×1 0: ×0.75
	CLK_SEL	35:34	10	R/W	内部晶振信号输出频率选择 00: 16MHz 01: 8MHz 10: 4MHz 11: 2MHz
	EN_STBII_RX 2TX	33	1	R/W	PTX 端在从发送模式转为接收模式过程中短暂进入待机模式-II 使能位, 进入待机模式-II 会使得除 DVDD 的 LDO 之外的其余 LDO 都掉电一次 1: 使能 0: 不使能
	BPF_CTRL_B W	32	0	R/W	接收中频滤波器的 1dB 带宽选择



					1: ×1 0: ×0.85
	BPF_CTRL_G AIN	31	1	R/W	接收中频滤波器增益控制 1: 19dB 0: 5dB
	VCOBUF_IC	30:29	01	R/W	VCO 驱动 MIXH 的驱动器电流选择 00: 600uA 01: 800uA 10: 1mA 11: 1.2mA
	VCO_CT	28:27	01	R/W	VCO 负载添加电容选择 00: 电容少, VCO 频率高 11: 电容多, VCO 频率低
	CAL_VREF_SE L	26	1	R/W	VCO 自动校正参考电压选择 1: 1.15V 0: 1.25V
	SPI_CAL_EN	25	0	R/W	VCO 单次触发自动校正过程 每次该位从 0 置 1 的过程都会触发一次 VCO 自动校正过程 此外, 在改变工作频道和从待机进入收发状态下, 也会触发 VCO



					自动校正过程
	PREAMP_CT M	24:22	011	R/W	PA 的 driver 级的负载电容选择 000: 399fF 100: 171fF 111: 0fF
	DA_LPF_BW	21	1	R/W	DAC 的滤波带宽选择 1: 宽带 0: 窄带
	RX_CTM	20:19	01	R/W	LNA 的谐振频率 (负载电容) 选择, 00: 2.45GHz 01: 2.52GHz 10: 2.59GHz 11: 2.66GHz
	RCCAL_EN	18	1	R/W	接收带通滤波器的自动校正使能 1: 使能 0: 不使能
	EN_VCO_CAL	17	1	R/W	VCO 自动校正使能位 1: 使能 0: 不使能
	PRE_BC	16:14	100	R/W	预分频器直流电流选择 000: ×1



					001&010: ×1.5 100&011: ×2 101&110: ×2.5 111: ×3
	VCO_CODE_I N	13:10	1000	R/W	VCO 频段选择位, 仅在 EN_VCO_CAL 为 0 时有效 1111: 高频段 0000: 低频段
	RCCAL_IN	9:4	010100	R/W	接收带通滤波器中频校正位设置, 仅在 RCCAL_EN 为 0 时有效 111111: 中频中心频率低 000000: 中频中心频率高
	CPSEL	3:2	01	R/W	锁相环电荷泵电流设置 RX TX 00: 26uA 26uA 01: 26uA 52uA 10: 52uA 78uA 11: 78uA 104uA
	DATAOUT_S EL	1	0	R/W	数据读取选择位, 置 0
	RSSI_SEL	0	1	R/W	RSSI 信号采样点选择



					1: 采样信号经过滤波器 0: 采样信号不经滤波器 (测试用)
1B	DEM_CAL2	23:0			补充解调参数寄存器 (一般使用默认值)
	PIN	23:21	000	R/W	设置芯片进入测试模式后的输出 PIN (MISO 引脚/IRQ 引脚) 000 (且 CHIP 为 0) 为工作模式, 作数据输出和中断输出 000 (且 CHIP 为 1) 为测试灵敏度 模式, 作解调数据和时钟输出 110 (且 CHIP 为 1) 为测试接收 模式, 作 limit I 和 Q 两路输出
	EN_RX	20	0	R/W	接收通道是否与锁相环同时开启 1: 同时打开 0: 分时打开
	DELAY1	19	0	R/W	锁相环开环是否使能, 锁相环使 能开环状态可以作为发射的载波 漂移测试 1: 锁相环使能开环 0: 锁相环开环受状态机控制
	DELAY0	18	0	R/W	解调器是否叠加收报的初始偏移



					量, 解调器不叠加初始偏移量可作为接收灵敏度测试 1: 不叠加初始偏移量 0: 叠加初始频偏, 接收状态下可以抵消由于中心频偏引起的误码
	TH1	17	1	R/W	在待机模式-II 下, LDO (除 DVDD 的 LDO 外) 是否使能, 在测试模式下, 测试发射单载波和接收灵敏度时该位置 1 1: 使能 0: 不使能
	PTH	16:13	0110	R/W	接收机数字解调器前导码相关阈值设置, 24 位前导码的相关阈值 = PTH + 16 1000: 24 位 0110: 22 位 0000: 16 位
	SYNC_SEL	12	1	R/W	接收机数字解调器的 4 倍采样, 取几点相关上计算该位数据正确 1: 3bit 0: 2bit
	DECOD_INV	11	1	R/W	前导码是否按位取反, 一般置 1



					使能该功能需要收发两端进行 1: 不按位取反 0: 按位取反
	GAIN1	10:7	1110	R/W	解调器的数据中心值调整环路的基准波形的幅度, 置 1110
	GAIN2	6:1	000101	R/W	解调器的数据中心值调整环路的根据基准波形的调整速度, 置 000101
	AGGRESSIVE	0	1	R/W	解调器的码率同步单元的速度选择 1: 大步长调整, 速度快 0: 小步长调整, 速度慢
1C	DYNPD				动态 PAYLOAD 长度使能
	Reserved	7:6	00	R/W	Only 00 allowed
	DPL_P5	5	0	R/W	使能 PIPE 5 动态 PAYLOAD 长度 (需要 EN_DPL 和 ENAA_P5)
	DPL_P4	4	0	R/W	使能 PIPE 4 动态 PAYLOAD 长度 (需要 EN_DPL 和 ENAA_P4)
	DPL_P3	3	0	R/W	使能 PIPE 3 动态 PAYLOAD 长度



					(需要 EN_DPL 和 ENAA_P3)
	DPL_P2	2	0	R/W	使能 PIPE 2 动态 PAYLOAD 长度 (需要 EN_DPL 和 ENAA_P2)
	DPL_P1	1	0	R/W	使能 PIPE 1 动态 PAYLOAD 长度 (需要 EN_DPL 和 ENAA_P1)
	DPL_P0	0	0	R/W	使能 PIPE 0 动态 PAYLOAD 长度 (需要 EN_DPL 和 ENAA_P0)
1D*	FEATURE	7:0	1D*	R/W	特征寄存器
	Reserved	7	0	R/W	Only 00 allowed
	MUX_PA_IR Q	6	0	R/W	选择 IRQ 信号输出还是 EN_PA 信号输出到 PIN 0: IRQ 信号输出到 PIN 1: EN_PA 信号输出到 PIN
	CE_SEL	5	0	R/W	使能 CE 用命令方式开启 0: CE 由 CE 的引脚控制 1: CE 由命令方式控制
	DATA_LEN_S EL	4:3	00	R/W	数据长度选择 11: 64byte (512bit) 模式 00: 32byte (256bit) 模式



	EN_DPL	2	0	R/W	使能动态 PAYLOAD 长度
	EN_ACK_PAY	1	0	R/W	使能 ACK 带 PAYLOAD
	EN_NOACK	0	0	R/W	使能 W_TX_PAYLOAD_NOACK 命令
1E*	RF_CAL	23:0		R/W	射频参数寄存器 (可由方案需要来配置)
	EN_CLK_OUT	23	0	R/W	内部晶振信号输出选择 1: 时钟信号输出到 CLK_OUT 的 PAD 2: 不输出
	DA_VREF_M B	22:20	101	R/W	DAC 的比较电路的正端参考电压 正端参考电压较大, DAC 输出幅度较大 111: 正端参考电压较大 000: 正端参考电压较小
	DA_VREF_LB	19:17	110	R/W	DAC 的比较电路的负端参考电压 负端参考电压较大, DAC 输出幅度较小 111: 负端参考电压较小 000: 负端参考电压较大



	DA_LPF_CTR L	16	1	R/W	DAC 的输出幅度控制位 1: 输出幅度×0.8 倍 0: 输出幅度×0.5 倍
	RSSI_EN	15	0	R/W	RSSI 使能位 1: RSSI 使能 0: RSSI 不使能
	RSSI_Gain_C TR	14:13	01	R/W	RSSI 的信号增益衰减的选择位 00: 不衰减 01: -6dB 10: -12dB 11: -18dB
	MIXL_GC	12	1	R/W	接收 MIXL 的增益选择 1: 14dB 0: 8dB
	PA_BC	11:10	11	R/W	PA 输出级的直流电流选择位 00: ×1 01: ×2 10: ×3 11: ×4
	LNA_GC	9:8	11	R/W	LNA 增益选择 11: 17dB 10: 11dB



					01: 5.4dB 00: -0.4dB
	VCO_BIAS	7:5	111	R/W	VCO 电流设置 000: 900uA 001: 1050uA 010: 1200uA 011: 1350uA 100: 1500uA 101: 1650uA 110: 1800uA 111: 1950uA
	RES_SEL	4:3	10		芯片偏置电流的负载选择 00: 26kR 01: 24kR 10: 22kR 11: 20kR
	LNA_HCURRE	2	1	R/W	设置 LNA 高电流使能 1: 高电流 0: 低电流
	MIXL_BC	1	1	R/W	接收 MIXL 电流选择 1: ×1 0: ×0.5



	IB_BPF_TRIM	0	0	R/W	接收带通滤波器的电流选择 1: ×1 0: ×0.5
1F*	BB_CAL	7:0 15:8 23:16 31:24 39:32		R/W	数字基带参数寄存器 (一般使用默认值)
	Reserved	39:32	01000110	R/W	Only 0X01000110 allowed
	INVERTER	31	1	R/W	进入 RX_block 前是否取反 RX 通路数据 1: 取反 0: 保持不变
	DAC_MODE	30	0	R/W	dac_out[5:0] 是否需要取反输出, dac_out[5:0]为 DAC 数据输入端 1:dac_out[5:0] <= [0:5] 0:dac_out[5:0] <= [5:0]
	DAC_BASAL	29:24	011100	R/W	预发送阶段的 DAC 数据输入的 初始值
	TRX_TIME	23:21	011	R/W	锁相环开环到开始发射数据的时间间隔, 时间长度计算:



					TRX_TIME×8+7.5, 单位为 us
	EX_PA_TIME	20:16	00111	R/W	发射锁相环使能到 PA 使能的时间间隔, 时间长度计算: EX_PA_TIME×16, 单位为 us
	TX_SETUP_TIME	15:11	01101	R/W	发射 PA 使能到锁相环开环的时间间隔, 时间长度计算: TX_SETUP_TIME×16, 单位为 us
	RX_SETUP_TIME	10:6	10100	R/W	RX 射频通路锁相环稳定时间, 时间长度计算: RX_SETUP_TIME×16, 单位为 us
	RX_ACK_TIME	5:0	001010	R/W	PTX 转为接收模式后等待 ACK 的最长时间, 超出该时间则认为本次传输失败, 2Mbps 模式下的时间长度计算: RX_ACK_TIME×16, 单位为 us 1Mbps 模式下的时间长度计算: RX_ACK_TIME×32, 单位为 us 250kbps 模式下的时间计算: RX_ACK_TIME×128, 单位为 us

*注 1: 表 11 的配置为 0X1A、0X1B、0X1F 寄存器的默认值可以工作; 0X19、0X1E 寄存器为需要配置的寄存器。



*注 2：当访问多字节寄存器/地址/数据时，读/写顺序为低字节在前高字节在后。单个字节内部高 bit 在前低 bit 在后。

6.11 数据包格式描述

6.11.1 不带自动重传不带 ACK 通信模式的数据包形式

不带自动重传不带ACK通信模式的数据包格式如表10所示，组帧方式 I。

表12 不带自动重传不带ACK通信模式的数据包形式

前导码 (3字节)	地址 (3~5字节)	数据 (1~32/64字节)	CRC校验 (0/2字节)
--------------	---------------	-------------------	------------------

表 12 中地址和数据部分可以选择扰码方式，根据使能/关闭扰码配置位。

6.11.2 带自动重传带 ACK 通信模式的数据包形式

带自动重传带 ACK 通信模式的数据包格式如表 11 所示，组帧方式 II。

表13 带自动重传带ACK通信模式的数据包形式

前导码 (3字节)	地址 (3~5 字节)	标识 (10bit)			数据 (0~32/64字节)	CRC校验 (0/2字节)
		数据长度标识 (7bit)	PID标识 (2bit)	NO_ACK标识 (1bit)		

表 13 中地址、标识和数据部分可以选择扰码方式，根据使能/关闭扰码配置位。

6.11.3 带自动重传带 ACK 通信模式的 ACK 包形式

带自动重传带 ACK 通信模式的 ACK 包格式如表 14 所示，组帧方式 III。

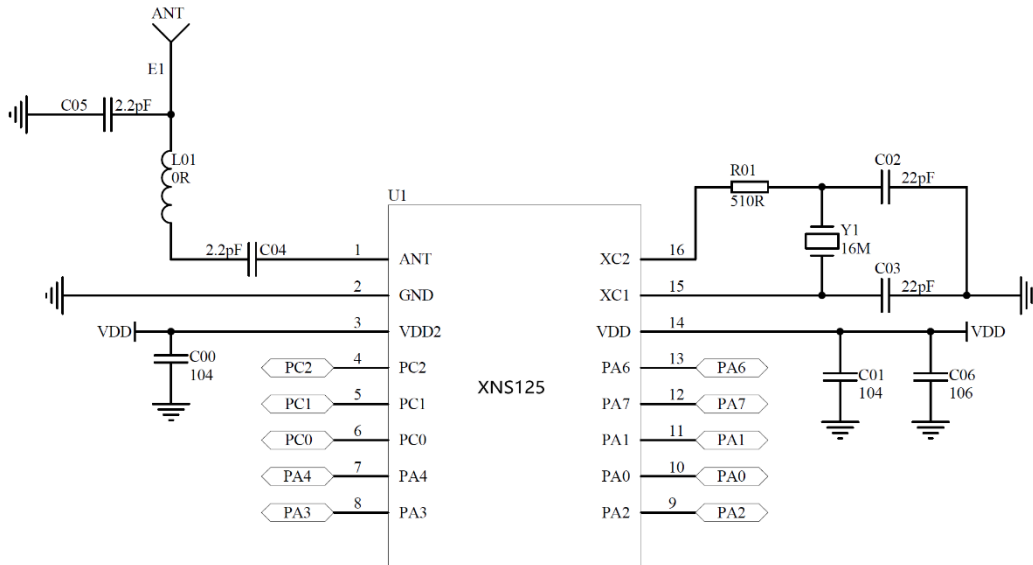
表14 带自动重传带ACK通信模式的数据包形式

前导码 (3字节)	地址 (3~5	标识 (10bit)			CRC校验 (0/2字节)
		数据长度标识	PID标识	NO_ACK标识	

	字节)	(7bit)	(2bit)	(1bit)	
--	-----	--------	--------	--------	--

表 14 中地址和标识部分需要选择与 PTX 相同的使能/关闭扰码方式。

7. 参考应用电路



*注 2: 外围元器件备注,

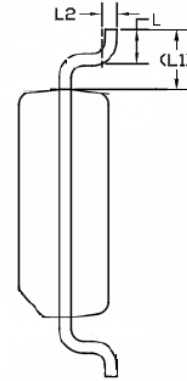
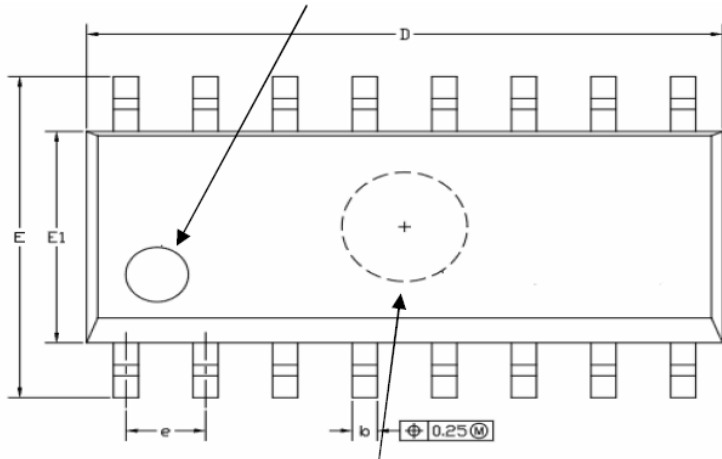
物料编号	备注
C00 / C01	RF 电源滤波电容, 参考值为 0.1uF。
C02 / C03	谐振电容, 根据不同型号的晶振进行微调, 推荐范围 15~36pF。
C04	天线耦合电容, 推荐范围 2.2pF ~ 5.6pF。
C05	谐波滤波电容, 预留认证匹配使用。
C06	电源滤波电容。
L01	天线耦合电感, 预留认证匹配使用, 通常短接即可。



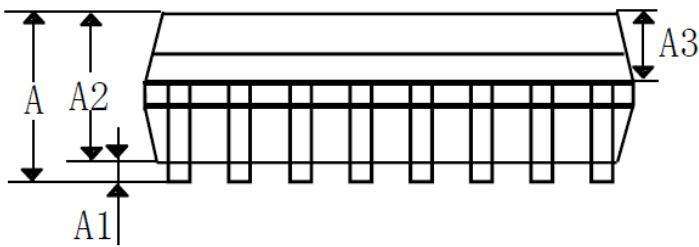
8. 芯片封装信息

本芯片采用 SOP16 封装方式, 具体封装尺寸信息如下:

SOP-16 封装尺寸如下:



$\Phi 2.0 \pm 0.05$ DEP $0.1 + 0.03 / -0.05$



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	Min	Max	Min	Max
A	-	1.700	-	0.066
A1	0.100	0.200	0.039	0.008
A2	1.420	1.480	0.554	0.058
A3	0.620	0.680	0.242	0.027



D	9.960	10.160	3.884	0.396
E	5.900	6.100	2.301	0.238
E1	3.870	3.930	1.509	0.153
b	0.370	0.430	0.144	0.017
e	1.240	1.300	0.484	0.051
L	0.500	0.700	0.195	0.027
L1	1.050(REF)		0.041(REF)	
L2	0.250(BSC)		0.010(BSC)	

9. 注意事项

- 接地：金属底板采用尽量多的通孔接地，减小寄生电感。
- 电源旁路：为了器件能很好工作，电源引线处建议用 0.1 μ F 电容滤波，电容需靠近器件。
- 防静电损伤：器件为静电敏感器件，传输、装配、测试过程中应采取充分的防静电措施。
- 用户在使用前应进行外观检查，电路底部、侧面、四周光亮方可进行焊接。如出现氧化可采用去氧化手段对电路进行处理，处理完成电路必须在 4 小时内完成焊接。
- 包装袋被打开后，元器件将被回流焊制程或其他的高温制程所采用时必须符合：
 - a) 在 12 小时内且工厂环境为温度 < 30°C，湿度 \leq 60%RH 完成；
 - b) 使用前需进行去湿处理（建议 125°C，4 小时烘烤）。
- 产品说明书以发布日期为准，适时修改不另行说明。

防护注意事项

- 产品必须进行密封真空包装，并建议放置在干燥柜中储存，在温度小于 30°C 且湿度小于 60% 时，可达 12 个月。
- 打开包装后，如未使用完，则剩余产品需进行抽真空并放置在干燥柜中保管。超期产品使用前必须进行去湿和去氧化处理。

X-ON Electronics

Largest Supplier of Electrical and Electronic Components

Click to view similar products for [RF Transceiver](#) category:

Click to view products by [Panchip Microele](#) manufacturer:

Other Similar products are found below :

[ATA5428C-PLQW-1](#) [ATA8520-GHPW](#) [XR1019-QH-0G0T](#) [AX5043-1-TW30](#) [MAX7043EUI](#) [ATA5428C-PLQW-1](#) [MAX2510EEI+T](#)
[AX5051-1-TW30](#) [ADRV9026-HB/PCBZ](#) [ADRV9026-MB/PCBZ](#) [BGT24LTR22E6327XTSA1](#) [ADL6316ACCZ](#) [ADL6316ACCZ-R7](#)
[ADL6317ACCZ](#) [SX1268DVK1GAS](#) [MC13213R2](#) [CC1260RGZT](#) [NRF51822-CEAA-R \(E0\)](#) [CC2590RGVR](#) [USB3317-GJ-TR](#) [USB3311-GJ-](#)
[TR](#) [MAX7030HATJ+T](#) [MAX2831ETM+](#) [MAX2830ETM+](#) [MAX2829ETN+](#) [MAX2828ETN+](#) [BH1406KV-E2](#) [SX1232BIMLTRT](#) [XBP24-](#)
[API-080](#) [ADF7242BCPZ-RL](#) [MAX2831ETM](#) [S2-LPQTR](#) [MAX7037EGL+](#) [ESP32-D0WDQ6](#) [ESP8266EX](#) [TRF2443IPFP](#) [CC8530RHAR](#)
[ADF7021-NBCPZ-RL](#) [CC1201RHBR](#) [TLE9221SXXUMA2](#) [TC35675XBG-001\(EL\)](#) [DA14585-00000AT2](#) [SX1281IMLTRT](#) [TC35661SBG-](#)
[501,EL](#) [ADS62PF49IRGCT](#) [TC32306FTG,EL](#) [NRF51822-QFAC-R](#) [CC1310F128RHBR](#) [AT86RF215IQ-ZUR](#) [A7108](#)