

8 位 MCU
ES7P003

数 据 手 册

- 产品简介
- 数据手册
- 产品规格

上海东软载波微电子有限公司

2019 年 6 月 13 日

东软载波 MCU 芯片使用注意事项

关于芯片的上/下电

东软载波 MCU 芯片具有独立电源管脚。当 MCU 芯片应用在多电源供电系统时，应先对 MCU 芯片上电，再对系统其他部件上电；反之，下电时，先对系统其他部件下电，再对 MCU 芯片下电。若操作顺序相反则可能导致芯片内部元件过压或过流，从而导致芯片故障或元件退化。具体可参照芯片的数据手册说明。

关于芯片的复位

东软载波 MCU 芯片具有内部上电复位。对于不同的快速上/下电或慢速上/下电系统，内部上电复位电路可能失效，建议用户使用外部复位、下电复位、看门狗复位等，确保复位电路正常工作。在系统设计时，若使用外部复位电路，建议采用三极管复位电路、RC 复位电路。若不使用外部复位电路，建议采用复位管脚接电阻到电源，或采取必要的电源抖动处理电路或其他保护电路。具体可参照芯片的数据手册说明。

关于芯片的时钟

东软载波 MCU 芯片具有内部和外部时钟源。内部时钟源会随着温度、电压变化而偏移，可能会影响时钟源精度；外部时钟源采用陶瓷、晶体振荡器电路时，建议使能起振延时；使用 RC 振荡电路时，需考虑电容、电阻匹配；采用外部有源晶振或时钟输入时，需考虑输入高/低电平电压。具体可参照芯片的数据手册说明。

关于芯片的初始化

东软载波 MCU 芯片具有各种内部和外部复位。对于不同的应用系统，有必要对芯片寄存器、内存、功能模块等进行初始化，尤其是 I/O 管脚复用功能进行初始化，避免由于芯片上电以后，I/O 管脚状态的不确定情况发生。

关于芯片的管脚

东软载波 MCU 芯片具有宽范围的输入管脚电平，建议用户输入高电平应在 V_{IHMIN} 之上，低电平应在 V_{ILMAX} 之下。避免输入电压介于 V_{IHMIN} 和 V_{ILMAX} 之间，以免波动噪声进入芯片。对于未使用的输入/输出管脚，建议用户设为输入状态，并通过电阻上拉至电源或下拉至地，或设置为输出管脚，输出固定电平并浮空。对未使用的管脚处理因应用系统而异，具体遵循应用系统的相关规定和说明。

关于芯片的 ESD 防护措施

东软载波 MCU 芯片具有满足工业级 ESD 标准保护电路。建议用户根据芯片存储/应用的环境采取适当静电防护措施。应注意应用环境的湿度；建议避免使用容易产生静电的绝缘体；存放和运输应在抗静电容器、抗静电屏蔽袋或导电材料容器中；包括工作台在内的所有测试和测量工具必须保证接地；操作者应该佩戴静电消除手腕环手套，不能用手直接接触芯片等。

关于芯片的 EFT 防护措施

东软载波 MCU 芯片具有满足工业级 EFT 标准的保护电路。当 MCU 芯片应用在 PCB 系统时，需要遵守 PCB 相关设计要求，包括电源、地走线（包括数字/模拟电源分离，单/多点接地等）、复位管脚保护电路、电源和地之间的去耦电容、高低频电路单独分别处理以及单/多层板选择等。

关于芯片的开发环境

东软载波 MCU 芯片具有完整的软/硬件开发环境，并受知识产权保护。选择上海东软载波微电子有限公司或其指定的第三方公司的汇编器、编译器、编程器、硬件仿真器开发环境，必须遵循与芯片相关的规定和说明。

注：在产品开发时，如遇到不清楚的地方，请通过销售或其它方式与上海东软载波微电子有限公司联系。

产品订购信息

Part NO.	工作电压	FLASH	SRAM	Data FLASH	I/O	ADC	UART	I2CS	SPI	Timer	封装类型
ES7P003FGTF	2.3V~5.5V	8K	1K	256	18	12-bit× 8+1Ch	1	1	1	8-bit×1	TSSOP20
ES7P003FGNF		Word	Byte	Word						16-bit×2	QFN20

注：8K Word FLASH 程序存储器中最后 256 Word 为固定的 Data Flash 存储空间。

地 址：中国上海市龙漕路 299 号天华信息科技园 2A 楼 5 层

邮 编：200235

E-mail: support@essemi.com

电 话：+86-21-60910333

传 真：+86-21-60914991

网 址：http://www.essemi.com

版权所有©

上海东软载波微电子有限公司

本资料内容为上海东软载波微电子有限公司在现有数据资料基础上慎重且力求准确无误编制而成，本资料中所记载的实例以正确的使用方法和标准操作为前提，使用方在应用该等实例时请充分考虑外部诸条件，上海东软载波微电子有限公司不担保或确认该等实例在使用方的适用性、适当性或完整性，上海东软载波微电子有限公司亦不对使用方因使用本资料所有内容而可能或已经带来的风险或后果承担任何法律责任。基于使本资料的内容更加完善等原因，上海东软载波微电子有限公司保留未经预告的修改权。使用方如需获得最新的产品信息，请随时用上述联系方式与上海东软载波微电子有限公司联系。

修订历史

版本	修改日期	更改概要
V1.0	2018-11-6	初版发布
V1.1	2019-1-7	<ol style="list-style-type: none"> 1. 第 3 章增加芯片唯一识别码相关内容; 2. 附录 3.1 中增加芯片 ESD 特性参数表; 3. 增加 T21 多功能复用输出端口说明等。
V1.2	2019-2-14	<ol style="list-style-type: none"> 1. 更正 PBPD 寄存器名称为 PB 端口弱下拉控制寄存器; 2. 电气特性中增加 ESD CDM 测试等级; 3. T21 模块 PWM 输出 0 的实现方式进行补充说明; 4. 添加芯片上电和下电工作条件表; 5. IAP 操作和中断时, 增加了对中断使能位 GIE 和 GIEL 操作的补充说明; 6. 增加了封装尺寸的补充说明; 7. 变更 Logo。
V1.3	2019-4-28	<ol style="list-style-type: none"> 1. 屏蔽配置字 CFG_WD0<2:0>=110 的配置选择项; 2. 优化 UART 发送、接收时序图及相关描述;
V1.4	2019-6-13	<ol style="list-style-type: none"> 1. 新增 QFN20 封装相关信息; 2. 在“UART 使用注意事项”章节中, 添加 UART 波特率冗余度的描述。

目 录

内容目录

第 1 章	芯片简介	16
1.1	概述	16
1.2	应用领域	19
1.3	结构框图	19
1.4	管脚分配图	20
1.4.1	20-pin	20
1.5	管脚说明	21
第 2 章	内核特性	24
2.1	CPU 内核概述	24
2.2	硬件乘法器	24
2.2.1	概述	24
2.2.2	硬件乘法器操作	24
2.3	硬件除法器	25
2.3.1	概述	25
2.3.2	硬件除法器操作	25
2.4	特殊功能寄存器	25
2.4.1	程序状态字寄存器 (PSW)	26
2.4.2	程序计数器寄存器低 8 位 (PCRL)	26
2.4.3	程序计数器寄存器高 5 位 (PCRH)	27
2.4.4	累加器 A 寄存器 (AREG)	27
2.4.5	乘数 A 寄存器 (MULA)	27
2.4.6	乘数 B 寄存器 (MULB)	27
2.4.7	乘积低 8 位寄存器 (MULL)	27
2.4.8	乘积高 8 位寄存器 (MULH)	28
2.4.9	被除数低 8 位寄存器 (DIVEL)	28
2.4.10	被除数高 8 位寄存器 (DIVEH)	28
2.4.11	除数寄存器 (DIVS)	28
2.4.12	商低 8 位寄存器 (DIVQL)	28
2.4.13	商高 8 位寄存器 (DIVQH)	29
2.4.14	余数寄存器 (DIVR)	29
第 3 章	存储资源	30
3.1	概述	30
3.2	程序/数据寻址空间映射	30
3.3	FLASH 存储器	32
3.3.1	概述	32
3.3.2	程序计数器 (PC)	32
3.3.3	硬件堆栈	33
3.3.4	芯片唯一识别码 (UID)	33
3.3.5	FLASH 存储器 IAP 操作	34
3.3.5.1	概述	34
3.3.5.2	查表读操作及参考例程	34

3.3.5.3	存储器的 IAP 擦写	35
3.3.5.4	存储器页更新流程.....	36
3.3.5.5	操作参考例程.....	36
3.3.6	特殊功能寄存器.....	38
3.3.6.1	查表地址寄存器低 8 位 (FRAL)	38
3.3.6.2	查表地址寄存器高 8 位 (FRAH)	38
3.3.6.3	查表地址取反寄存器低 8 位 (FRALN)	39
3.3.6.4	查表地址取反寄存器高 8 位 (FRAHN)	39
3.3.6.5	查表数据寄存器低 8 位 (ROMDL)	39
3.3.6.6	查表数据寄存器高 8 位 (ROMDH)	39
3.3.6.7	存储器控制寄存器低 8 位 (ROMCL)	39
3.3.6.8	存储器控制寄存器高 8 位 (ROMCH)	40
3.4	在线编程 ISP 和在线调试 ICD.....	40
3.5	数据存储器	41
3.5.1	概述.....	41
3.5.2	通用数据存储器.....	41
3.5.3	特殊功能寄存器.....	41
3.5.4	寻址方式	42
3.5.4.1	直接寻址	42
3.5.4.2	GPR 特殊寻址	43
3.5.4.3	间接寻址	43
3.5.5	特殊功能寄存器.....	44
3.5.5.1	间接寻址数据寄存器 (IAD)	44
3.5.5.2	间接寻址索引寄存器低 8 位 (IAAL)	44
3.5.5.3	间接寻址索引寄存器高 8 位 (IAAH)	45
3.5.5.4	存储体选择寄存器 (BKSR)	45
第 4 章	输入/输出端口.....	46
4.1	概述	46
4.2	结构框图.....	47
4.3	I/O 端口功能设置.....	47
4.3.1	I/O 端口输入/输出控制	47
4.3.2	I/O 端口弱上/下拉功能.....	47
4.3.3	I/O 端口模拟/数字类型选择功能.....	48
4.3.4	I/O 端口开漏输出	48
4.3.5	I/O 端口复用功能	48
4.4	端口中断	48
4.4.1	外部端口中断 (PINT)	48
4.5	I/O 端口操作注意事项.....	49
4.6	特殊功能寄存器	49
4.6.1	PA 端口电平状态寄存器 (PA)	49
4.6.2	PA 端口输入输出控制寄存器 (PAT)	49
4.6.3	PA 端口弱上拉控制寄存器 (PAPU)	50
4.6.4	PA 端口弱下拉控制寄存器 (PAPD)	50
4.6.5	PB 端口电平状态寄存器 (PB)	50

4.6.6	PB 端口输入输出控制寄存器 (PBT)	50
4.6.7	PB 端口弱上拉控制寄存器 (PBPU)	51
4.6.8	PB 端口弱下拉控制寄存器 (PBPD)	51
4.6.9	PC 端口电平状态寄存器 (PC)	51
4.6.10	PC 端口输入输出控制寄存器 (PCT)	51
4.6.11	PC 端口弱上拉控制寄存器 (PCPU)	52
4.6.12	端口特殊功能控制寄存器 (PORTCTR)	52
第 5 章	特殊功能及操作特性	53
5.1	系统时钟与振荡器	53
5.1.1	概述	53
5.1.2	内部结构图	53
5.1.3	时钟源	54
5.1.3.1	内部高速 16MHz RC 振荡器模式 (INTHRC)	54
5.1.3.2	内部低速 32kHz RC 振荡器模式 (INTLRC)	54
5.2	系统电源	55
5.2.1	概述	55
5.2.2	内部结构图	55
5.3	看门狗定时器 (WDT)	56
5.3.1	概述	56
5.3.2	内部结构图	56
5.3.3	WDT 定时器	56
5.3.4	特殊功能寄存器	57
5.3.4.1	WDT 控制寄存器 (WDTC)	57
5.4	复位模块	58
5.4.1	概述	58
5.4.2	上电复位	58
5.4.3	掉电复位	58
5.4.4	外部 MRSTN 管脚复位	59
5.4.5	看门狗定时器溢出复位	60
5.4.6	RST 指令软件复位	61
5.4.7	特殊功能寄存器	61
5.4.7.1	电源控制寄存器 (PWRC)	61
5.4.7.2	功耗控制寄存器 (PWEN)	62
5.5	低功耗操作	63
5.5.1	MCU 低功耗模式	63
5.5.2	低功耗模式配置	63
5.5.3	IDLE 唤醒方式配置	64
5.5.4	唤醒时序图	64
5.5.5	特殊功能寄存器	65
5.5.5.1	唤醒延时控制寄存器 (WKDC)	65
第 6 章	外设	66
6.1	8 位定时/计数器 (T8N)	66
6.1.1	概述	66
6.1.2	内部结构图	66

6.1.3	预分频器	66
6.1.4	工作模式	67
6.1.5	定时器模式	67
6.1.6	同步计数器模式	68
6.1.7	特殊功能寄存器	68
6.1.7.1	T8N 计数器寄存器 (T8N)	69
6.1.7.2	T8N 控制寄存器 (T8NC)	69
6.2	16 位多功能定时器 (T21)	70
6.2.1	概述	70
6.2.2	内部结构图	71
6.2.3	预分频器和后分频器	71
6.2.4	工作模式	71
6.2.5	定时器模式	71
6.2.6	多精度 PWM 模式	72
6.2.7	捕捉器模式	73
6.2.8	比较器模式	74
6.2.9	多功能复用输出端口	75
6.2.10	特殊功能寄存器	76
6.2.10.1	计数器寄存器低 8 位 (T21L)	76
6.2.10.2	计数器寄存器高 8 位 (T21H)	76
6.2.10.3	周期寄存器低 8 位 (T21PL)	76
6.2.10.4	周期寄存器高 8 位 (T21PH)	76
6.2.10.5	多功能寄存器 0 低 8 位 (T21R0L)	77
6.2.10.6	多功能寄存器 0 高 8 位 (T21R0H)	77
6.2.10.7	多功能寄存器 1 低 8 位 (T21R1L)	77
6.2.10.8	多功能寄存器 1 高 8 位 (T21R1H)	77
6.2.10.9	多功能寄存器 2 低 8 位 (T21R2L)	78
6.2.10.10	多功能寄存器 2 高 8 位 (T21R2H)	78
6.2.10.11	控制寄存器低 8 位 (T21CL)	78
6.2.10.12	控制寄存器次高 8 位 (T21CM)	79
6.2.10.13	控制寄存器高 8 位 (T21CH)	80
6.2.10.14	输入输出控制寄存器 (T21OC)	80
6.3	16 位多功能定时器 (T31)	81
6.3.1	概述	81
6.3.2	内部结构图	82
6.3.3	时钟分频器	82
6.3.3.1	预分频器	82
6.3.3.2	后分频器	83
6.3.4	计数模式	84
6.3.4.1	递增计数模式	84
6.3.4.2	递减计数模式	85
6.3.4.3	中心对齐模式	86
6.3.5	工作模式	86
6.3.6	定时器模式	87

6.3.6.1	内部时钟源模式	88
6.3.6.2	外部时钟源模式 1	88
6.3.6.3	外部时钟源模式 2	89
6.3.7	捕捉器模式	89
6.3.8	比较器模式	91
6.3.9	PWM 模式	93
6.3.9.1	PWM 普通模式	93
6.3.9.2	PWM 中心对齐模式	94
6.3.9.3	带死区互补输出	95
6.3.10	单脉冲模式	96
6.3.11	关断功能模式	97
6.3.12	从模式	99
6.3.12.1	编码器模式	99
6.3.12.2	复位模式	100
6.3.12.3	门控模式	101
6.3.12.4	触发模式	101
6.3.13	ICD 调试暂停模式下的 PWM 输出	102
6.3.14	特殊功能寄存器	102
6.3.14.1	计数器寄存器低 8 位 (T31CNTL)	102
6.3.14.2	计数器寄存器高 8 位 (T31CNTH)	102
6.3.14.3	预分频寄存器低 8 位 (T31PRSL)	103
6.3.14.4	预分频寄存器高 8 位 (T31PRSH)	103
6.3.14.5	计数器重载寄存器低 8 位 (T31CNTLDL)	103
6.3.14.6	计数器重载寄存器高 8 位 (T31CNTLDH)	103
6.3.14.7	后分频寄存器 (T31POS)	104
6.3.14.8	通道 1 捕捉/比较寄存器低 8 位 (T31CH1RL)	104
6.3.14.9	通道 1 捕捉/比较寄存器高 8 位 (T31CH1RH)	104
6.3.14.10	通道 2 捕捉/比较寄存器低 8 位 (T31CH2RL)	104
6.3.14.11	通道 2 捕捉/比较寄存器高 8 位 (T31CH2RH)	104
6.3.14.12	通道 3 捕捉/比较寄存器低 8 位 (T31CH3RL)	105
6.3.14.13	通道 3 捕捉/比较寄存器高 8 位 (T31CH3RH)	105
6.3.14.14	通道 4 捕捉/比较寄存器低 8 位 (T31CH4RL)	105
6.3.14.15	通道 4 捕捉/比较寄存器高 8 位 (T31CH4RH)	105
6.3.14.16	死区延时寄存器 (T31DLYT)	106
6.3.14.17	控制寄存器 0 低 8 位 (T31C0L)	106
6.3.14.18	控制寄存器 0 高 8 位 (T31C0H)	107
6.3.14.19	控制寄存器 1 低 8 位 (T31C1L)	107
6.3.14.20	控制寄存器 1 高 8 位 (T31C1H)	108
6.3.14.21	控制寄存器 2 低 8 位 (T31C2L)	109
6.3.14.22	控制寄存器 2 高 8 位 (T31C2H)	110
6.3.14.23	通道 1 控制寄存器 (T31CH1C)	111
6.3.14.24	通道 2 控制寄存器 (T31CH2C)	112
6.3.14.25	通道 3 控制寄存器 (T31CH3C)	114
6.3.14.26	通道 4 控制寄存器 (T31CH4C)	116

6.3.14.27	通道端口控制寄存器低 8 位 (T31PINCL)	118
6.3.14.28	通道端口控制寄存器高 8 位 (T31PINCH)	120
6.3.14.29	通道输出关断控制寄存器 (T31CHBK)	121
6.3.14.30	软件触发事件寄存器 (T31EVG)	122
6.3.14.31	中断使能控制寄存器低 8 位 (T31IEL)	123
6.3.14.32	中断使能控制寄存器高 8 位 (T31IEH)	124
6.3.14.33	中断禁止寄存器低 8 位 (T31IDL)	125
6.3.14.34	中断禁止寄存器高 8 位 (T31IDH)	125
6.3.14.35	中断使能状态寄存器低 8 位 (T31IVSL)	126
6.3.14.36	中断使能状态寄存器高 8 位 (T31IVSH)	127
6.3.14.37	中断标志寄存器低 8 位 (T31IFL)	127
6.3.14.38	中断标志寄存器高 8 位 (T31IFH)	128
6.3.14.39	中断请求状态寄存器低 8 位 (T31IFML)	129
6.3.14.40	中断请求状态寄存器高 8 位 (T31IFMH)	130
6.3.14.41	中断清 0 寄存器低 8 位 (T31ICRL)	130
6.3.14.42	中断清 0 寄存器高 8 位 (T31ICRH)	131
6.4	通用异步接收/发送器 (UART)	132
6.4.1	概述	132
6.4.2	内部结构图	132
6.4.3	波特率配置	133
6.4.4	传输数据格式	133
6.4.5	异步发送器	133
6.4.6	异步接收器	135
6.4.7	UART 使用注意事项	136
6.4.8	特殊功能寄存器	137
6.4.8.1	UART 接收数据寄存器 (RXB)	137
6.4.8.2	UART 接收控制/状态寄存器 (RXC)	137
6.4.8.3	UART 发送数据寄存器 (TXB)	138
6.4.8.4	UART 发送控制/状态寄存器 (TXC)	138
6.4.8.5	UART 波特率寄存器 (BRR)	138
6.5	I2C 总线从动器 (I2CS)	139
6.5.1	概述	139
6.5.2	内部结构	140
6.5.3	I2CS 端口配置	140
6.5.4	I2C 通讯协议	141
6.5.5	I2C 操作	142
6.5.6	起始位 START 和停止位 STOP	142
6.5.7	数据传输和应答	143
6.5.8	数据传输格式参考	144
6.5.9	I2C 通讯发送器	144
6.5.10	I2C 通讯接收器	145
6.5.11	I2C 时钟线自动下拉等待请求功能	145
6.5.12	特殊功能寄存器	146
6.5.12.1	I2C 采样滤波寄存器 (I2CX16)	146

6.5.12.2	I2C 控制寄存器 (I2CC)	146
6.5.12.3	I2C 从机地址寄存器 (I2CSA)	147
6.5.12.4	I2C 发送数据缓冲器 (I2CTB)	147
6.5.12.5	I2C 接收数据缓冲器 (I2CRB)	148
6.5.12.6	I2C 中断使能寄存器 (I2CIEC)	148
6.5.12.7	I2C 中断标志寄存器 (I2CIFC)	149
6.6	SPI 同步串口通讯模块 (SPI)	150
6.6.1	概述	150
6.6.2	结构框图	150
6.6.3	SPI 通讯模式	150
6.6.4	SPI 数据格式	150
6.6.5	SPI 同步发送器	152
6.6.6	SPI 同步接收器	152
6.6.7	SPI 通讯控制	153
6.6.8	SPI 延迟接收功能	154
6.6.9	SPI 应用说明	154
6.6.10	特殊功能寄存器	154
6.6.10.1	SPI 控制寄存器 0 (SPICON0)	154
6.6.10.2	SPI 控制寄存器 1 (SPICON1)	155
6.6.10.3	SPI 发送数据写入寄存器 (SPITBW)	156
6.6.10.4	SPI 接收数据读取寄存器 (SPIRBR)	156
6.6.10.5	SPI 中断使能寄存器 (SPIIE)	156
6.6.10.6	SPI 中断标志寄存器 (SPIIF)	157
6.7	模/数转换器 (ADC)	159
6.7.1	概述	159
6.7.2	内部结构图	160
6.7.3	ADC 配置	160
6.7.4	ADC 转换步骤	161
6.7.5	AD 时序特征示意图	162
6.7.6	参考例程	162
6.7.7	特殊功能寄存器	163
6.7.7.1	ADC 转换值寄存器 (ADCR)	163
6.7.7.2	ADC 控制寄存器 (ADCCL)	163
6.7.7.3	ADC 控制寄存器 (ADCCH)	164
6.7.7.4	端口数模控制寄存器 (ANSL)	165
第 7 章	中断处理	166
7.1	概述	166
7.2	中断控制结构框图	166
7.3	中断模式选择	167
7.3.1	默认中断模式	167
7.3.2	向量中断模式	168
7.3.2.1	向量表配置	168
7.3.2.2	中断分组配置	169
7.3.2.3	中断使能配置	169

7.4	中断现场保护	171
7.5	中断操作	171
7.5.1	中断使能位 GIE 和 GIEL 的操作	171
7.5.2	外部中断	171
7.5.3	ADC 中断	172
7.5.4	T8N 溢出中断	172
7.5.5	T21 溢出中断	172
7.5.6	T21 周期中断	172
7.5.7	T21 多功能中断	172
7.5.8	T31 中断	173
7.5.9	UART 中断	173
7.5.10	I2CS 中断	173
7.5.11	SPI 中断	174
7.5.12	中断操作注意事项	174
7.6	特殊功能寄存器	174
7.6.1	中断全局寄存器 (INTG)	174
7.6.2	中断优先级寄存器 (INTP)	175
7.6.3	中断控制寄存器 0 (INTC0)	175
7.6.4	中断标志寄存器 0 (INTF0)	175
7.6.5	中断使能寄存器 0 (INTE0)	176
7.6.6	中断标志寄存器 1 (INTF1)	177
7.6.7	中断使能寄存器 1 (INTE1)	177
7.6.8	中断标志寄存器 2 (INTF2)	178
7.6.9	中断使能寄存器 2 (INTE2)	179
第 8 章	芯片配置字	180
第 9 章	芯片封装图	182
9.1	20-pin 封装图	182
9.1.1	TSSOP20	182
9.1.2	QFN20	183
附录 1	指令集	184
附录 1.1	概述	184
附录 1.2	寄存器操作指令	184
附录 1.3	程序控制指令	184
附录 1.4	算术/逻辑运算指令	185
附录 2	特殊功能寄存器总表	188
附录 3	电气特性	194
附录 3.1	参数特性表	194
附录 3.2	参数特性图	199

图目录

图 1-1	ES7P003 结构框图	19
图 1-2	ES7P003FGTF 顶视图	20
图 3-1	FLASH 程序存储区寻址空间映射图	31
图 3-2	FLASH 数据存储区寻址空间映射图	31
图 3-3	堆栈示意图	33
图 3-4	页更新参考流程图	36
图 3-5	GPR 地址映射示意图	41
图 3-6	特殊功能寄存器空间	42
图 3-7	直接寻址示意图	43
图 3-8	GPR 特殊寻址示意图	43
图 3-9	间接寻址示意图	44
图 4-1	PA/PB/PC 端口结构图	47
图 5-1	系统时钟结构图	53
图 5-2	系统电源结构框图	55
图 5-3	看门狗定时器内部结构图	56
图 5-4	芯片复位原理图	58
图 5-5	上电复位时序示意图	58
图 5-6	低电压复位时序示意图	59
图 5-7	外部 MRSTN 管脚复位	59
图 5-8	MRSTN 复位参考电路图 1	60
图 5-9	MRSTN 复位参考电路图 2	60
图 5-10	看门狗溢出复位	61
图 5-11	RST 指令软件复位	61
图 5-12	系统唤醒 IDLE0 的时序图	65
图 5-13	系统唤醒 IDLE1 的时序图	65
图 5-14	系统唤醒 IDLE2 的时序图	65
图 6-1	T8N 内部结构图	66
图 6-2	定时器模式时序图	68
图 6-3	计数器模式时序图 (T8NEG=0, T8NCKI 上升沿计数)	68
图 6-4	T21 内部结构图	71
图 6-5	T21 定时器模式时序图	72
图 6-6	T21 多精度 PWM 模式示意图	73
图 6-7	T21 捕捉器模式时序图 (每个脉冲上升沿捕捉信号)	74
图 6-8	T21 比较器模式时序图	75
图 6-9	T31 内部结构图	82
图 6-10	预分频比变更的计数时序图 (T31CNTLD=0x2D)	82
图 6-11	使用后分频的计数时序图 (T31CNTLD=0x2D)	83
图 6-12	递增计数时序图 (预分频为 1)	84
图 6-13	递增计数时序图 (RLBE=1, T31CNTLD 有缓冲)	84
图 6-14	递增计数时序图 (RLBE=0, T31CNTLD 无缓冲)	85
图 6-15	递减计数时序图 (RLBE=1, T31CNTLD 有缓冲)	85
图 6-16	中心对齐模式 1 计数时序图 (RLBE=1)	86
图 6-17	内部时钟源模式下递增计数时序图 (预分频/后分频为 1)	88

图 6-18	外部时钟源模式 1 的计数时序图（时钟源为通道 1 端口，上升沿递增计数）	89
图 6-19	外部时钟源模式 2 的计数时序图（预分频比为 1: 2，上升沿递增计数）	89
图 6-20	测量脉冲信号周期和占空比的捕捉模式时序（通道 1，复位模式）	91
图 6-21	比较器模式时序图（比较匹配后端口输出翻转，CHnOBE=0，无缓冲）	92
图 6-22	普通 PWM 波形，递增计数（T31CHnR=3，T31CNTLD=0x3F，CHnP=0）	94
图 6-23	普通 PWM 波形，递减计数（T31CHnR=3，T31CNTLD=0x3F，CHnP=1）	94
图 6-24	中心对齐 PWM 波形（T31CHnR=0x3D，T31CNTLD=0x3F，CHnP=0，CMC=10）	95
图 6-25	带死区延时的互补输出	95
图 6-26	单脉冲输出波形（PWM 模式 1，T31CHnR=0x3D，T31CNTLD=0x3F，CHnP=1）	96
图 6-27	带死区互补输出的关断时序图	98
图 6-28	编码器模式下的计数器计数时序（T31SM=010，通道输入不反相）	100
图 6-29	复位模式下的计数时序（T31CNTLD=0x3F，通道 2 端口信号上升沿触发）	100
图 6-30	门控模式下的计数时序（T31CNTLD=0x3F，通道 2 端口门控信号高电平有效）	101
图 6-31	触发模式下的计数时序（T31CNTLD=0x3F，通道 2 端口信号上升沿触发）	102
图 6-32	UART 发送端原理图	132
图 6-33	UART 接收端原理图	133
图 6-34	UART 数据格式示意图	133
图 6-35	UART 异步发送器操作流程	134
图 6-36	UART 发送器发送数据时序图（9 位数据格式，第 9 位数据为“0”）	135
图 6-37	UART 异步接收器操作流程	136
图 6-38	UART 接收器接收数据时序图（9 位数据格式）	136
图 6-39	I2C 内部结构	140
图 6-40	开漏输出端口示意图	141
图 6-41	I2C 总线通讯协议示意图	142
图 6-42	I2C 从动波形图	142
图 6-43	I2C 起始位和停止位	143
图 6-44	数据传输和应答	143
图 6-45	主控器写入从动器数据示意图	144
图 6-46	主控器读取从动器数据示意图	144
图 6-47	I2C 发送数据流示意图	144
图 6-48	I2C 接收数据流示意图	145
图 6-49	I2C 时钟线下拉等待波形示意图	145
图 6-50	SPI 电路结构框图	150
图 6-51	SPI 时钟上升沿发送，下降沿接收波形示意图	151
图 6-52	SPI 时钟下降沿发送，上升沿接收波形示意图	151
图 6-53	SPI 时钟上升沿接收，下降沿发送波形示意图	151
图 6-54	SPI 时钟下降沿接收，上升沿发送波形示意图	152
图 6-53	SPI 发送数据流示意图	152
图 6-54	SPI 接收数据流示意图	153
图 6-57	SPI 延迟接收功能波形示意图	154
图 6-58	ADC 内部结构图	160
图 6-59	ADC 时序特征示意图（SMPS=0）	162
图 6-60	ADC 时序特征示意图（SMPS=1）	162
图 7-1	默认中断模式中中断控制逻辑	166

图 7-2 向量中断模式中断控制逻辑 167

表目录

表 1-1 管脚说明..... 23

表 3-1 在线编程/调试管脚说明..... 40

表 4-1 I/O 端口弱上拉 47

表 4-2 I/O 端口弱下拉 48

表 4-3 I/O 端口开漏输出 48

表 4-4 外部端口中断 49

表 5-1 低功耗模式配置表 63

表 5-2 唤醒方式配置表..... 64

表 5-3 唤醒时间计算表..... 64

表 6-1 T8N 预分频器配置表..... 67

表 6-2 T8N 工作模式配置表..... 67

表 6-3 带有关断功能的通道互补输出列表 98

表 6-4 计数方向与编码器信号的关系（通道输入不反相） 99

表 6-5 UART 波特率配置表 133

表 6-6 UART 数据格式配置表..... 133

表 6-7 I2CS 端口配置表..... 140

表 7-1 中断模式选择表..... 167

表 7-2 默认中断模式使能配置表 168

表 7-3 向量表配置表 169

表 7-4 向量中断模式中断分组配置表..... 169

表 7-5 向量中断模式使能配置表 170

第1章 芯片简介

1.1 概述

- ◆ 工作条件
 - ◇ 工作电压范围: 2.3V ~ 5.5V
 - ◇ 工作温度范围: -40 ~ 85°C
- ◆ 设计工艺及封装
 - ◇ 低功耗、高速 FLASH CMOS 工艺
 - ◇ 20 个管脚, 采用 TSSOP/QFN 封装
- ◆ 内核
 - ◇ ES7P RISC CPU 内核
 - ◇ 79 条精简指令
 - ◇ 系统时钟工作频率最高为 16MHz
 - ◇ 指令周期为 2 个系统时钟周期
 - ◇ 复位向量位于 0000_H, 默认中断向量位于 0004_H
 - ◇ 支持中断处理, 支持中断优先级和中断向量表
 - ◇ 支持硬件乘法/除法器
- ◆ 存储资源
 - ◇ 8K Word FLASH 程序存储器 (其中最后 1 页固定为 Data FLASH 数据存储器)
 - 共 32 页, 每页 256 Word
 - 支持 IAP 操作, 查表读, 页擦除和单地址编程
 - 擦写时, 支持定时器模块正常工作
 - 擦写时, 不支持中断处理
 - ◇ 256 Word Data FLASH 数据存储器
 - 共一页
 - 支持 IAP 操作, 查表读, 页擦除和单地址编程
 - 擦写时, 支持定时器模块正常工作
 - 擦写时, 不支持中断处理
 - ◇ 支持芯片唯一识别码
 - ◇ 8 级程序堆栈
 - ◇ 1K Byte SRAM 数据存储器
 - ◇ 程序存储器支持直接寻址、相对寻址和查表读操作
 - ◇ 数据存储器支持直接寻址、GPR 特殊寻址和间接寻址
- ◆ 编程及调试接口
 - ◇ 支持在线编程 (ISP) 接口
 - ◇ 支持在线调试 (ICD) 功能
 - ◇ 支持编程代码加密保护

◆ I/O 端口

- ◇ 最多支持 18 个 I/O 端口
 - PA 端口 (PA0~PA7)
 - PB 端口 (PB0~PB7)
 - PC 端口 (PC0~PC1)
- ◇ 支持 9 个外部端口中断 PINT (PINT0~PINT8 为输入端)
- ◇ 支持独立的可配置内部弱上/下拉输入端口
 - 输入端口上/下拉电阻的匹配精度为±3%以内 (常温 25°C, VDD=5V)
 - 支持 18 个独立可配置弱上拉输入端口
 - 支持 16 个独立可配置弱下拉输入端口
- ◇ 支持 2 个独立可配置开漏输出端口

◆ 复位及时钟

- ◇ 内嵌上电复位电路 POR
- ◇ 内嵌掉电复位电路 BOR
 - BOR 复位电压档位: 2.1V, 2.5V, 3.1V
- ◇ 支持外部复位 MRSTN
- ◇ 支持独立硬件看门狗定时器
- ◇ 支持指令 RST 复位
- ◇ 支持内部高频 16MHz RC 振荡时钟源
 - 出厂前校准精度为±1% (常温 25°C)

◆ 功耗特性

- ◇ IDLE0 电流
 - 6uA@5.0V, 25°C, LDO 休眠, 系统时钟源停振, 典型值
- ◇ IDLE1 电流
 - 70uA@5.0V, 25°C, LDO 正常工作, 系统时钟源停振, 典型值
- ◇ IDLE2 电流
 - 300uA@5.0V, 25°C, LDO 正常工作, 系统时钟源不停振, 典型值
- ◇ 动态电流
 - 2.5mA@内部 16MHz, 5.0V, 25°C, 典型值

◆ 外设

- ◇ 1 路 8 位定时器 T8N
 - 定时器模式 (计数时钟为系统时钟 2 分频)
 - 计数器模式 (外灌时钟或者内部低频 INTLRC 时钟)
 - 支持可配置预分频器
 - 支持中断产生
- ◇ 1 路 16 位多功能定时器 T21
 - 支持同步定时器模式 (采用系统时钟分频作为时钟源)
 - 内置 4 位预分频器和 7 位后分频器
 - 多达 3 个独立通道, 可用于:

- ✓ 输入捕捉
- ✓ 输出比较
- ✓ PWM 生成 (多精度 PWM 模式)
- 3 路 PWM 输出占空比可独立设置
- 3 路 PWM 输出极性可独立设置
- 支持计数器溢出中断、PWM 周期匹配中断、捕捉中断、比较中断
- ◇ 1 路 16 位多功能定时器 T31
 - 16 位自动重载计数器, 支持递增计数, 递减计数, 递增/递减交替计数模式
 - 16 位可编程预分频器, 计数时钟预分频范围为 1~65536
 - 8 位可编程后分频器, 后分频范围为 1~256
 - 8 位死区延时寄存器 T31DLYT
 - 4 个 16 位捕捉/比较寄存器 T31CH1R、T31CH2R、T31CH3R 和 T31CH4R
 - 支持 7 种工作模式: 定时器模式, 捕捉模式, 比较模式, PWM 模式, 单脉冲模式, 关断功能模式, 从模式
 - 支持多个从模式: 编码器模式, 复位模式, 门控模式, 触发模式
 - 多达 4 个独立通道, 可用于:
 - ✓ 输入捕捉
 - ✓ 输出比较
 - ✓ PWM 生成 (普通 PWM 模式, 中心对齐模式, 带死区互补输出)
 - ✓ 单脉冲模式输出
 - 以下事件将生成中断请求:
 - ✓ 更新: 计数器上溢出/下溢出、计数器初始化 (通过软件或内部/外部触发)
 - ✓ 触发事件 (计数器启动、停止、初始化或通过内部/外部触发计数)
 - ✓ 输入捕捉
 - ✓ 输出比较匹配
 - ✓ 关断输入
- ◇ 一路高速异步收发器 UART
 - 支持异步全双工收发
 - 支持 8 位/9 位数据格式
 - 约定数据从最低位开始接收/发送
 - 支持中断产生
- ◇ 一路 I2C 总线
 - 只支持从动模式
 - 支持标准 I2C 总线协议, 最高传输速率 400K bit/s
 - 支持 7 位寻址方式
 - 约定数据从最高位开始接收/发送
 - 支持中断产生
- ◇ 一路同步串口通讯模块 SPI
 - 支持主控模式、从动模式
 - 支持 4 种数据传输格式
 - 支持主控模式通讯时钟速率可配置
 - 支持 4 级发送缓冲器和 4 级接收缓冲器
 - 支持发送和接收缓冲器空/满中断

- 支持接收数据溢出中断、发送数据写错误中断、从动模式的发送数据错误中断
- 支持从动模式的片选变化中断、主控模式的空闲状态中断
- 支持主控模式延迟接收
- ◇ 模拟数字转换器 ADC
 - 支持 12 位数字转换精度
 - 支持 8+1 通道模拟输入端
 - 支持可选择参考电压源
 - 支持中断产生

1.2 应用领域

本芯片可用于门禁系统/报警器、温度传感设备、蓝牙音箱、电动车表头、数字电压表头、气体检测器、采集器、充电器、美容仪器、小家电等领域。

1.3 结构框图

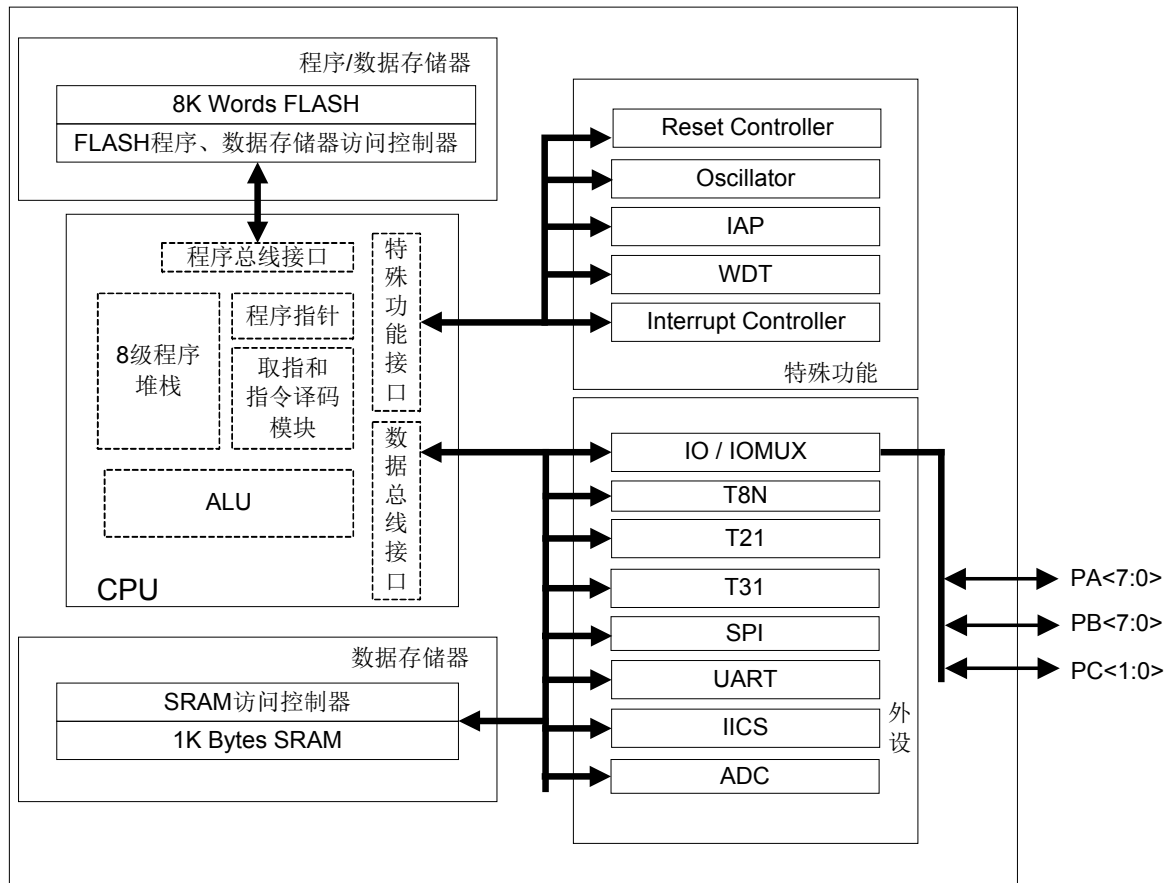


图 1-1 ES7P003 结构框图

1.4 管脚分配图

1.4.1 20-pin

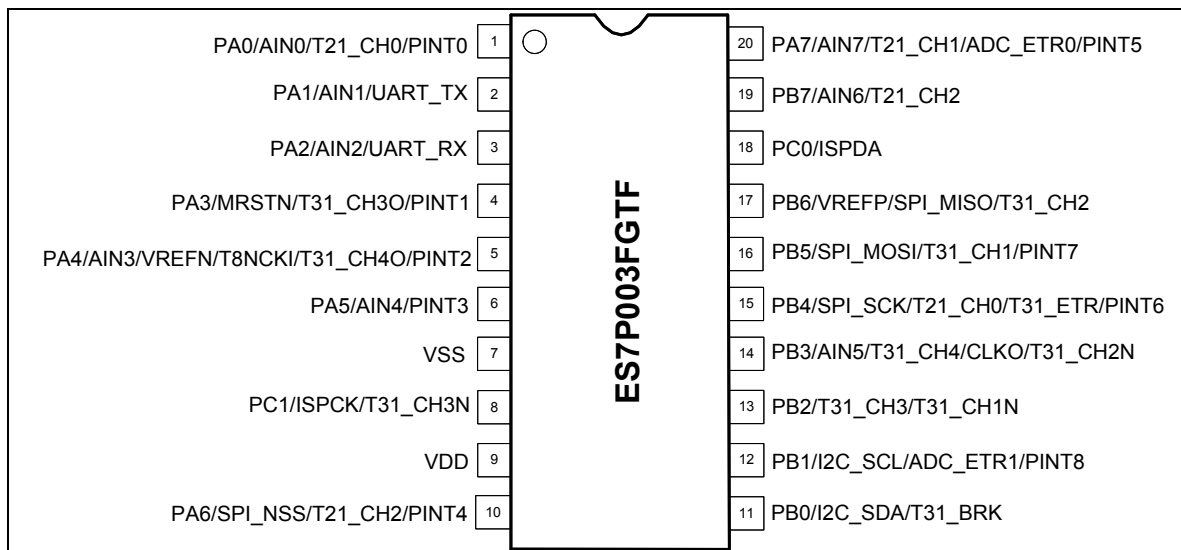


图 1-2 ES7P003FGTF 顶视图

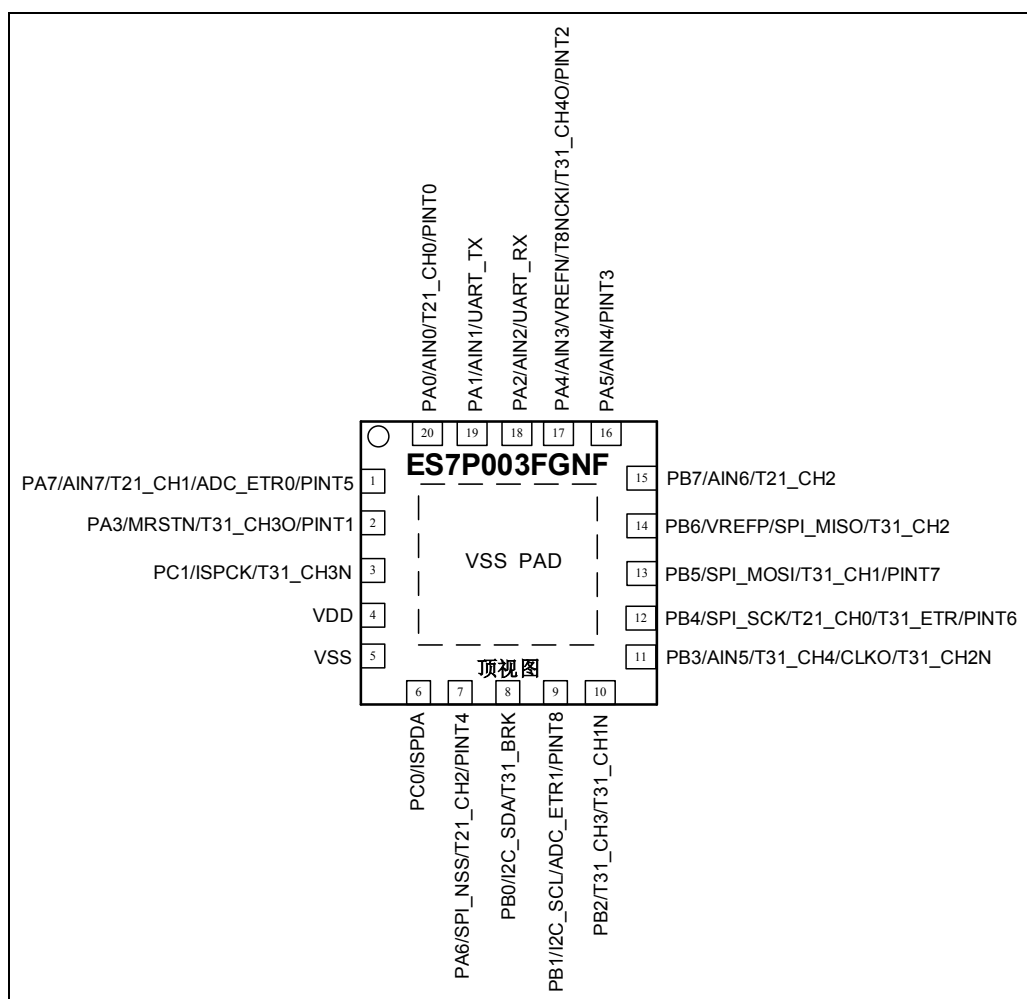


图 1-3 ES7P003FGNF 顶视图

注 1: MRSTN 表示低电平有效;
 注 2: 外部复位管脚可以复用 PA3 为数字输入/输出功能;
 注 3: PC0 和 PC1 作为一组在线编程/调试接口;
 注 4: 芯片 I/O 端口输入电平不能高于芯片 VDD+0.3V 且不能低于 VSS-0.3V, 否则可能会影响芯片正常工作;
 注 5: T31 通道 3(T31_CH3)比较输出和 PWM 输出可复用到 PB2 或 PA3,通过寄存器 T31CH3EN(PORTCTR<4>) 选择;
 注 6: 31 通道 4(T31_CH4)比较输出和 PWM 输出可复用到 PB3 或 PA4,通过寄存器 T31CH4EN(PORTCTR<5>) 选择。

1.5 管脚说明

管脚名	管脚复用	输入类型	输出类型	A/D	端口说明	备注
PA0/AIN0/T21_CH0/ PINT0	PA0	TTL	CMOS	D	通用 I/O	支持弱 上/下 拉
	AIN0	—	—	A	ADC 模拟通道 0 输入	
	T21_CH0	TTL	CMOS	D	T21 捕捉输入通道 0 PWM 输出通道 0 比较输出通道 0	
	PINT0	TTL	—	D	外部中断输入 0	
PA1/AIN1/UART_TX	PA1	TTL	CMOS	D	通用 I/O	支持弱 上/下 拉
	AIN1	—	—	A	ADC 模拟通道 1 输入	
	UART_TX	—	CMOS	D	UART 发送输出	
PA2/AIN2/UART_RX	PA2	TTL	CMOS	D	通用 I/O	支持弱 上/下 拉
	AIN2	—	—	A	ADC 模拟通道 2 输入	
	UART_RX	TTL	—	D	UART 接收输入	
PA3/MRSTN/ T31_CH30/PINT1	PA3	TTL	CMOS	D	通用 I/O	支持弱 上/下 拉
	MRSTN	TTL	—	D	外部复位输入	
	T31_CH30	—	CMOS	D	T31 通道 3 比较输出 PWM 输出	
	PINT1	TTL	—	D	外部中断输入 1	
PA4/AIN3/VREFN/ T8NCKI/ T31_CH40/ PINT2	PA4	TTL	CMOS	D	通用 I/O	支持弱 上/下 拉
	AIN3	—	—	A	ADC 模拟通道 3 输入	
	VREFN	—	—	A	ADC 外部参考负输入	
	T8NCKI	TTL	—	D	T8N 外部时钟输入	
	T31_CH40	—	CMOS	D	T31 通道 4 比较输出 PWM 输出	
PINT2	TTL	—	D	外部中断输入 2		
PA5/AIN4/PINT3	PA5	TTL	CMOS	D	通用 I/O	支持弱 上/下 拉
	AIN4	—	—	A	ADC 模拟通道 4 输入	
	PINT3	TTL	—	D	外部中断输入 3	
PA6/SPI_NSS/	PA6	TTL	CMOS	D	通用 I/O	支持弱

管脚名	管脚复用	输入类型	输出类型	A/D	端口说明	备注
T21_CH2/PINT4	SPI_NSS	TTL	—	D	SPI 从动模式片选输入	上/下拉
	T21_CH2	TTL	CMOS	D	T21 捕捉输入通道 2 PWM 输出通道 2 比较输出通道 2	
	PINT4	TTL	—	D	外部中断输入 4	
PA7/AIN7/T21_CH1/ ADC_ETR0/PINT5	PA7	TTL	CMOS	D	通用 I/O	支持弱 上/下拉
	AIN7	—	—	A	ADC 模拟通道 7 输入	
	T21_CH1	TTL	CMOS	D	T21 捕捉输入通道 1 PWM 输出通道 1 比较输出通道 1	
	ADC_ETR0	TTL	—	D	外部中断 5 触发 AD 转换信号	
	PINT5	TTL	—	D	外部中断输入 5	
PB0/I2C_SDA/ T31_BRK	PB0	TTL	CMOS	D	通用 I/O	支持弱 上/下拉/ 漏输出
	I2C_SDA	TTL	CMOS	D	I2C 数据输入/输出	
	T31_BRK	TTL	—	D	T31 关断事件输入	
PB1/I2C_SCL/ ADC_ETR1/PINT8	PB1	TTL	CMOS	D	通用 I/O	支持弱 上/下拉/ 漏输出
	I2C_SCL	TTL	—	D	I2C 时钟输入	
	ADC_ETR1	TTL	—	D	外部中断 8 触发 AD 转换信号	
	PINT8	TTL	—	D	外部中断输入 8	
PB2/T31_CH3/ T31_CH1N	PB2	TTL	CMOS	D	通用 I/O	支持弱 上/下拉
	T31_CH3	TTL	CMOS	D	T31 通道 3 捕捉输入 比较输出, PWM 输出	
	T31_CH1N	—	CMOS	D	T31 通道 1 互补输出	
PB3/AIN5/ T31_CH4/ T31_CH2N/ CLKO	PB3	TTL	CMOS	D	通用 I/O	支持弱 上/下拉
	AIN5	—	—	A	ADC 模拟通道 5 输入	
	T31_CH4	TTL	CMOS	D	T31 通道 4 捕捉输入 比较输出, PWM 输出	
	T31_CH2N	—	CMOS	D	T31 通道 2 互补输出	
	CLKO	—	CMOS	D	系统时钟 16 分频输出	
PB4/SPI_SCK/ T21_CH0/ T31_ETR/ PINT6	PB4	TTL	CMOS	D	通用 I/O	支持弱 上/下拉
	SPI_SCK	TTL	—	D	SPI 从动模式时钟输入	
	T21_CH0	TTL	CMOS	D	T21 捕捉输入通道 0 PWM 输出通道 0 比较输出通道 0	
	T31_ETR	TTL	—	D	T31 外部触发输入信号	
	PINT6	TTL	—	D	外部中断输入 6	
PB5/SPI_MOSI/ T31_CH1/PINT7	PB5	TTL	CMOS	D	通用 I/O	支持弱 上/下拉
	SPI_MOSI	TTL	CMOS	D	SPI 主控输出/从机输入端口	
	T31_CH1	TTL	CMOS	D	T31 通道 1 捕捉输入 比较输出	

管脚名	管脚复用	输入类型	输出类型	A/D	端口说明	备注
					PWM 输出	
	PINT7	TTL	—	D	外部中断输入 7	
PB6/VREFP/ SPI_MISO/ T31_CH2	PB6	TTL	CMOS	D	通用 I/O	支持弱 上/下 拉
	VREFP	—	—	A	ADC 外部参考电压正输入	
	SPI_MISO	TTL	CMOS	D	SPI 主控输入/从机输出端口	
	T31_CH2	TTL	CMOS	D	T31 通道 2 捕捉输入 比较输出 PWM 输出	
PB7/AIN6/T21_CH2	PB7	TTL	CMOS	D	通用 I/O	支持弱 上/下 拉
	AIN6	—	—	A	ADC 模拟通道 6 输入	
	T21_CH2	TTL	CMOS	D	T21 捕捉输入通道 2 PWM 输出通道 2 比较输出通道 2	
PC0/ISPDAT	PC0	TTL	CMOS	D	通用 I/O	支持弱 上拉
	ISPDAT	TTL	CMOS	D	ISP 串行编程/调试数据输入 输出	
PC1/ISPCK/ T31_CH3N	PC1	TTL	CMOS	D	通用 I/O	支持弱 上拉
	ISPCK	TTL	—	D	ISP 串行编程/调试时钟输入	
	T31_CH3N	—	CMOS	D	T31 通道 3 互补输出	
VDD	VDD	—	—	P	电源	—
VSS	VSS	—	—	P	地, 0V 参考点	—

表 1-1 管脚说明

注 1: A = 模拟端口, D = 数字端口, P = 电源/地。

注 2: MRSTN 表示低电平复位有效。

注 3: 所有通用 I/O 端口均为 TTL 施密特输入和 CMOS 输出驱动。

第2章 内核特性

2.1 CPU内核概述

- ◇ 内核特性
 - 采用高性能 ES7P RISC CPU 内核，79 条精简指令集
 - 采用 2T 架构，每个机器周期包括两个系统时钟周期
 - 系统时钟最高支持 16MHz，最小指令周期 125ns
 - 支持中断优先级和中断向量表
 - 支持硬件乘法器和除法器

2.2 硬件乘法器

2.2.1 概述

芯片指令集不包含乘法指令，内部集成独立的硬件乘法器，通过读写相应寄存器进行操作。

- ◇ 主要功能组件
 - 8 位乘数 A 寄存器 (MULA, 只可写)
 - 8 位乘数 B 寄存器 (MULB, 只可写)
 - 16 位乘积寄存器 (MULL/MULH, 只可读)

2.2.2 硬件乘法器操作

硬件乘法器完成 8 位乘数 MULA 与 8 位乘数 MULB 的相乘操作：<8 位乘数 A> x <8 位乘数 B> = 16 位乘积。

在 MULA 和 MULB 写入完成后的 1 个机器周期内，将 16 位结果高、低 8 位分别存储于 2 个寄存器 MULH 和 MULL。

MULA 和 MULL 共用一个寄存器地址，MULB 和 MULH 共用一个寄存器地址。乘数 A/B 设置完成后，下一条指令即可读取乘积结果。

应用实例：硬件乘法器操作应用程序

```
.....  
MOVI    mul_operand_a  
MOVA    MULA           ; 写乘数 A  
MOVI    mul_operand_b  
MOVA    MULB           ; 写乘数 B  
MOV     MULL,0         ; 读乘积低 8 位  
.....  
MOV     MULH,0         ; 读乘积高 8 位  
.....
```


2.3 硬件除法器

2.3.1 概述

芯片指令集不包含除法指令，内部集成独立的硬件除法器，通过读写相应寄存器进行操作。

◇ 主要功能组件

- 16 位被除数寄存器 (DIVEL/DIVEH, 只可写)
- 8 位除数寄存器 (DIVS, 只可写)
- 16 位商寄存器 (DIVQL/DIVQH, 只可读)
- 8 位余数寄存器 (DIVR, 只可读)

2.3.2 硬件除法器操作

硬件除法器完成 16 位被除数 DIVEL、DIVEH 与 8 位除数 DIVS 的除法操作： $\langle 16 \text{ 位被除数} \rangle \div \langle 8 \text{ 位除数} \rangle = 16 \text{ 位商} \dots \dots 8 \text{ 位余数}$ 。

DIVEL 和 DIVQL 共用一个寄存器地址，DIVEH 和 DIVQH 共用一个寄存器地址，DIVS 和 DIVR 共用一个寄存器地址。被除数和除数设置完成后，需要插入 2 条 NOP 指令，才能读取商和余数。若除数为“0”，则商为 0xFFFF，余数为 0xFF，表示溢出。

应用实例：硬件除法器操作应用程序

```

.....
MOVI    div_operand_divel
MOVA    DIVEL                ; 写被除数低 8 位
MOVI    div_operand_diveh
MOVA    DIVEH                ; 写被除数高 8 位
MOVI    mul_operand_divs
MOVA    DIVS                  ; 写除数
NOP
NOP
MOV     DIVQL,0              ; 读商低 8 位
... ..
MOV     DIVQH,0              ; 读商高 8 位
... ..
MOV     DIVR,0               ; 读余数
... ..

```

2.4 特殊功能寄存器

CPU 相关寄存器包括 13-bit 程序计数器寄存器 PCRL/PCRH，程序状态字寄存器 PSW，累加器 A 寄存器 AREG，乘数寄存器 MULA、MULB 和乘积寄存器 MULL、MULH，被除数寄存器 DIVEL/DIVEH、除数寄存器 DIVS、商寄存器 DIVQL/DIVQH 和余数寄存器 DIVR。其中程序状态寄存器 PSW 用于存放各个状态标志位，包括程序出栈溢出、负数标志位、溢出标志位、零标志位、半进位/半借位标志位，以及全进位或全借位标志位等。

2.4.1 程序状态字寄存器 (PSW)

PSW: 程序状态字寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	UF	OF	N	OV	Z	DC	C
R/W	—	R	R	R/W	R/W	R/W	R/W	R/W
RESET	x	0	0	x	x	x	x	x

- Bit 7 未使用
- Bit 6 UF: 程序出栈溢出标志位
0: 程序出栈未溢出
1: 程序出栈溢出
- Bit 5 OF: 程序压栈溢出标志位
0: 程序压栈未溢出
1: 程序压栈溢出
- Bit 4 N: 负数标志位
0: 有符号算术或逻辑运算结果为正数
1: 结果为负数
- Bit 3 OV: 溢出标志位
0: 有符号算术运算未发生溢出
1: 发生溢出
- Bit 2 Z: 零标志位
0: 算术或逻辑运算的结果不为零
1: 算术或逻辑运算的结果为零
- Bit 1 DC: 半进位或半借位标志位
0: 低四位无进位或低四位有借位
1: 低四位有进位或低四位无借位
- Bit 0 C: 全进位或全借位标志位
0: 无进位或有借位
1: 有进位或无借位

注 1: 仅部分指令可对 PSW 寄存器进行写操作, 包括 JDEC、JINC、SWAP、BCC、BSS、BTT、MOVA 和 SETR。其它指令对 PSW 寄存器的写操作, 只根据指令的运行结果影响相应状态标志位。

注 2: OF 和 UF 位为只读标志位, 仅上电复位、复位指令和 MRSTN 复位会将其清零, 其它复位不影响这两个标志位。

2.4.2 程序计数器寄存器低 8 位 (PCRL)

PCRL: 程序计数器寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	PCRL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PCRL<7:0>: 程序计数器寄存器低 8 位

2.4.3 程序计数器寄存器高 5 位 (PCRH)

PCRH: 程序计数器寄存器高 5 位								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	PCRH<4:0>				
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~5 未使用

Bit 4~0 PCRH<4:0>: 程序计数器寄存器高 5 位

2.4.4 累加器A寄存器 (AREG)

AREG: 累加器 A 寄存器								
Bit	7	6	5	4	3	2	1	0
Name	AREG<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	x	x	x	x	x	x	x	x

Bit 7~0 AREG<7:0>: 累加器的值

2.4.5 乘数A寄存器 (MULA)

MULA: 乘数 A 寄存器								
Bit	7	6	5	4	3	2	1	0
Name	MULA<7:0>							
R/W	W	W	W	W	W	W	W	W
POR	x	x	x	x	x	x	x	x

Bit 7~0 MULA<7:0>: 乘数 A

2.4.6 乘数B寄存器 (MULB)

MULB: 乘数 B 寄存器								
Bit	7	6	5	4	3	2	1	0
Name	MULB<7:0>							
R/W	W	W	W	W	W	W	W	W
POR	x	x	x	x	x	x	x	x

Bit 7~0 MULB<7:0>: 乘数 B

2.4.7 乘积低 8 位寄存器 (MULL)

MULL: 乘积低 8 位寄存器								
Bit	7	6	5	4	3	2	1	0
Name	MULL<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 MUL<7:0>: 乘积低 8 位

2.4.8 乘积高 8 位寄存器 (MULH)

MULH: 乘积高 8 位寄存器								
Bit	7	6	5	4	3	2	1	0
Name	MULH<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 MUL<15:8>: 乘积高 8 位

2.4.9 被除数低 8 位寄存器 (DIVEL)

DIVEL: 被除数低 8 位寄存器								
Bit	7	6	5	4	3	2	1	0
Name	DIVEL<7:0>							
R/W	W	W	W	W	W	W	W	W
POR	x	x	x	x	x	x	x	x

Bit 7~0 DIVEL<7:0>: 被除数低 8 位

2.4.10 被除数高 8 位寄存器 (DIVEH)

DIVEH: 被除数高 8 位寄存器								
Bit	7	6	5	4	3	2	1	0
Name	DIVEH<7:0>							
R/W	W	W	W	W	W	W	W	W
POR	x	x	x	x	x	x	x	x

Bit 7~0 DIVEH<7:0>: 被除数高 8 位

2.4.11 除数寄存器 (DIVS)

DIVS: 除数寄存器								
Bit	7	6	5	4	3	2	1	0
Name	DIVS<7:0>							
R/W	W	W	W	W	W	W	W	W
POR	x	x	x	x	x	x	x	x

Bit 7~0 DIVS<7:0>: 除数

2.4.12 商低 8 位寄存器 (DIVQL)

DIVQL: 商低 8 位寄存器								
Bit	7	6	5	4	3	2	1	0
Name	DIVQL<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 DIVQL<7:0>: 商低 8 位

2.4.13 商高 8 位寄存器 (DIVQH)

DIVQH: 商高 8 位寄存器								
Bit	7	6	5	4	3	2	1	0
Name	DIVQH<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 DIVQH<7:0>: 商高 8 位

2.4.14 余数寄存器 (DIVR)

DIVR: 余数寄存器								
Bit	7	6	5	4	3	2	1	0
Name	DIVR<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	x	x	x	x	x	x	x	x

Bit 7~0 DIVR<7:0>: 余数

第3章 存储资源

3.1 概述

本芯片采用哈佛总线架构，程序寻址空间和数据寻址空间相互独立。

片内存储器资源包括：

- ◇ 8K word FLASH 程序存储区（其中最后 1 页固定为 Data FLASH 数据存储器）
 - 共分为 31 页，每页 256 word
 - 存储空间 0000_H ~ 1EFF_H
 - 支持应用中自编程操作 IAP（In-Application Programming），包括编程和页擦
 - 支持查表指令读取数据
 - 支持页擦除，擦除时间至少为 2ms
 - 支持单地址编程，编程时间至少为 20us
 - 支持至少 10 万次擦写次数，10 年以上的数据保持时间
 - 擦写时，支持定时器模块正常工作，但不支持中断处理
- ◇ 256 word Data FLASH 数据存储器
 - 仅一页，为 256 word
 - 存储空间 1F00_H ~ 1FFF_H
 - 支持应用中自编程操作 IAP（In-Application Programming），包括编程和页擦
 - 支持查表指令读取数据
 - 支持页擦除，擦除时间至少为 2ms
 - 支持单地址编程，编程时间至少为 20us
 - 支持至少 10 万次擦写次数，10 年以上的数据保持时间
 - 擦写时，支持定时器模块正常工作，但不支持中断处理
- ◇ 128 word INFO1 信息区
 - 存储空间 80_H ~ FF_H
 - 其中包含 72 位芯片唯一识别码（UID）
 - 支持查表指令读
 - UID 出厂时已固定，无法更改，程序只读
- ◇ 1K byte SRAM 数据存储器

其中 FLASH 程序存储器和 FLASH 数据存储器被映射到程序寻址空间，SRAM 数据存储器被映射到数据寻址空间。

3.2 程序/数据寻址空间映射

程序/数据寻址空间映射如下图：

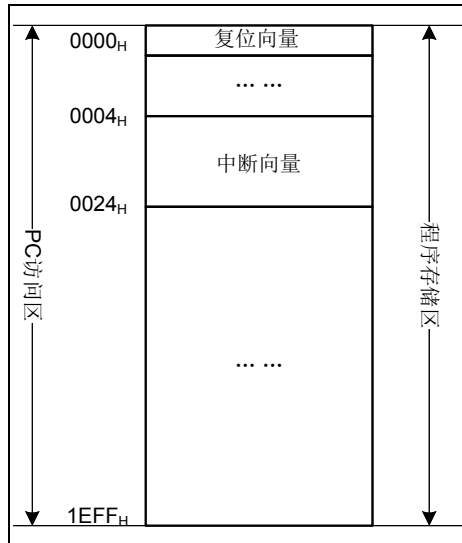


图 3-1 FLASH 程序存储区寻址空间映射图

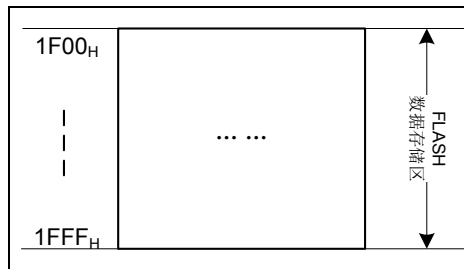


图 3-2 FLASH 数据存储区寻址空间映射图

3.3 FLASH存储器

3.3.1 概述

FLASH 存储器分为程序存储区和数据存储区两个区域。

FLASH 程序存储区用于存储用户程序。由于芯片指令位宽为 16 位（2 个字节），因此约 8K Word FLASH 程序存储器被映射到程序寻址空间的地址空间 0000_H~1EFF_H，每个访问地址对应于一个 16 位宽（2 个字节）的存储单元。通过 13 位程序计数器 PC 进行程序寻址访问。

FLASH 数据存储区用于存储用户系统中的关键参数，芯片掉电后不会丢失。

3.3.2 程序计数器（PC）

程序计数器中存放的是要执行的下一条指令的地址。CPU 运行时，PC 在每个指令周期后都会自动加 1，除非 PC 的值被指令或中断异常改写。13 位程序计数器 PC<12:0>，可寻址 8K 程序存储空间 0000_H ~ 1EFF_H，超出地址范围会导致 PC 循环（又从 0000_H 开始访问）。程序计数器 PC 的低 8 位 PC<7:0>可通过 PCRL 直接读写，而 PC 高 5 位不能直接读写，只能通过 PCRH 寄存器来间接赋值（在执行 RCALL、CALL、GOTO 等指令前，需先对 PCRH 寄存器赋值）。复位时，PCRL、PCRH 和 PC 都会被清零。PC 硬件堆栈操作不会影响 PCRH 的值。

当进行 FLASH 数据存储器进行擦写时，程序计数器 PC 暂停更新。

各种指令对 PC 的影响：

1. 通过指令直接修改 PC 值时，对 PCRL 为目标寄存器的操作可直接修改 PC<7:0>，即 PC<7:0>=PCRL<7:0>；而操作 PC<7:0>的同时也会执行 PC<12:8>=PCRH<4:0>，因此，修改 PC 时，应先修改 PCRH<4:0>，再修改 PCRL<7:0>。
2. 执行 RCALL 指令时，PC<7:0>为寄存器 R 中的值；而 PC<12:8>=PCRH<4:0>。
3. 执行 CALL，GOTO 指令时，PC<12:0>低 11 位为指令中 11 位立即数，而 PC<12>=PCRH<4>。
4. 执行 LCALL 指令时，该指令为双字指令共有 16 位立即数（操作数）。PC<12:0>被修改为该 16 位立即数的值的低 13 位；同时 PCRH<4:0>被修改为 I<12:8>的值。
5. 执行 AJMP 指令时，该指令为双字指令共有 16 位立即数（操作数）。PC<12:0> 被修改为该 16 位立即数的值的低 13 位，同时 PCRH<4:0>修改为 I<12:8>的值。
6. 执行 PAGE 指令时，PCRH<4:3>的值将被该指令的立即数 I<1:0>替换。
7. 执行其他指令时，PC 值自动加 1。

应用实例：以 PCRL 为目标寄存器的指令应用程序

```

.....
MOVI    pageaddr
MOVA    PCRH        ; 设置表格页面地址
MOVI    tableaddr   ; 设置偏移量给 A 寄存器
CALL    TABLE     ; 调用子程序方式查表
.....
TABLE:
ADD     PCRL, F     ; PC 加上偏移量，指向访问的地址
    
```


RETIA 0x01
RETIA 0x02
RETIA 0x03

.....

3.3.3 硬件堆栈

芯片内有 8 级硬件堆栈，堆栈位宽与 PC 位宽相等，用于 PC 的压栈和出栈。执行 CALL、LCALL 和 RCALL 指令或中断被响应后，PC 自动压栈保护；当执行 RET、RETIA 或 RETIE 指令时，堆栈会将最近一次压栈的值恢复至 PC。

8 级硬件堆栈只支持 8 级缓冲操作，即硬件堆栈只保存最近的 8 次压栈值，对于连续超过 8 次的压栈操作，第 9 次的压栈数据会覆盖第 1 次压栈的数据，使得第 1 次的压栈数据丢失。同样，超过 8 次的连续出栈，第 9 次出栈操作，可能使得程序流程不可控。芯片复位后，堆栈指针将重新指向堆栈顶部。

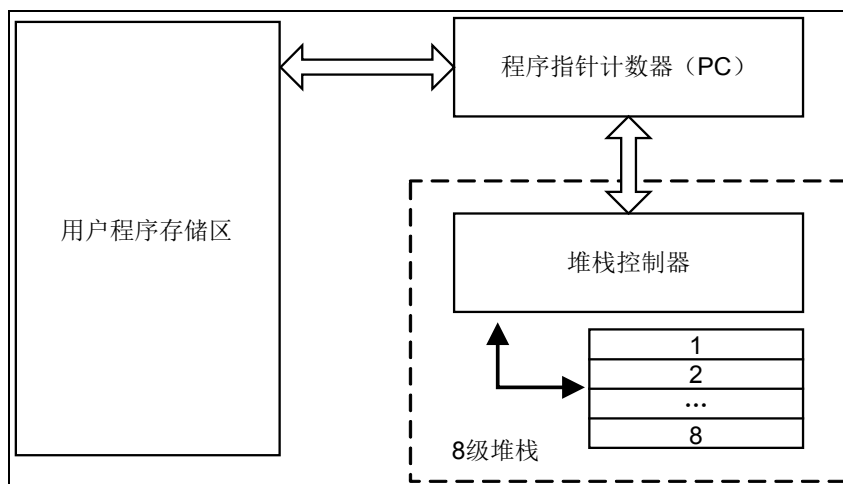


图 3-3 堆栈示意图

3.3.4 芯片唯一识别码 (UID)

每颗芯片都有唯一的一串识别码，即芯片唯一识别码 UID，共 9 个字节 72 位，位于 INFO1 信息区的 UID0~UID4，用户程序可 IAP 查表读。其中 UID4 只有低 8 位有效，高 8 位为 FF_H。具体 IAP 查表读的操作，详见 3.3.5.2 章节的参考例程。

芯片唯一识别码 (UID0~UID4)		
地址	UID0: 0093 _H	
	UID1: 0094 _H	
	UID2: 0095 _H	
	UID3: 0096 _H	
	UID4: 0097 _H	
UID	Bit15~0	芯片唯一识别码

3.3.5 FLASH存储器IAP操作

3.3.5.1 概述

FLASH 存储器的 IAP 擦除操作是以页 (Page) 为单位, 程序区和数据区每页为 256 个地址单元, 页地址对应到 FRAH。FLASH 存储器的读出和 IAP 编程写入操作以 1 个地址单元为单位, 通过 FRA (FRAH, FRAL) 寻址。

当 FLASH 存储器进行 IAP 擦除或 IAP 写入操作时 CPU 内核暂停执行, 需要软件关闭全局中断使能位 GIE (INTG<7>), 并判断 GIE 寄存器是否清零成功, 如未被清零, 则需再次执行软件清零操作, 直到清零成功, 外设可按预设状态继续运行, 外设的中断请求将置位相应的中断标志。当 IAP 擦除或 IAP 写入操作完成时, CPU 内核恢复执行, 软件再使能全局中断使能位 GIE, 进行相应的中断处理。

FLASH 数据存储区和程序存储区都支持查表读和 IAP 擦写操作。

3.3.5.2 查表读操作及参考例程

本芯片的 FLASH 程序区、数据区和信息区都支持查表读操作。通过查表读指令将 FRA (FRAH, FRAL) 所指向的存储器地址单元中的字 (Word) 读入 ROMD (ROMDH, ROMDL) 中。

本芯片查表写指令保留未用 (执行时仅影响 FRA 寄存器)。

在进行查表读操作时, 需要设置 IAPSEL<2:0> (ROMCL<6:4>) 选择操作区域, 程序区查表读还需使能配置字 FREN (CFG_WD0<13>), 如果 FREN 为 0, 禁止查表读, 程序区读取时为全零; 数据区和信息区查表读和配置字 FREN 是否使能无关。

应用例程 1: FLASH 程序存储区查表读

```
MOVI    0x05                ;读取程序存储器 0105H
MOVA    FRAL
MOVI    0x01
MOVA    FRAH
MOVI    0x50                ;选择操作区域为程序区
MOVA    ROMCL
TBR
MOV     ROMDH, 0
... ..
MOV     ROMDL, 0
... ..
MOVI    0x00                ;退出 IAP 操作
MOVA    ROMCL
```

应用例程 2: FLASH 数据存储区查表读。

```
MOVI    0x05                ;读取数据存储器 1F05H 单元
MOVA    FRAL
MOVI    0X1F
MOVA    FRAH
MOVI    0x40                ;选择操作区域为数据区
```

```

MOVA    ROMCL
TBR
MOV     ROMDH, 0
.....
MOV     ROMDL, 0
.....
MOVI    0x00           ;退出 IAP 操作
MOVA    ROMCL
    
```

应用例程 3: INFO1 信息区查表读。

```

MOVI    0x93           ;读取 INFO1 存储器 UID0(0093H)单元
MOVA    FRAL
MOVI    0X00
MOVA    FRAH
MOVI    0x60           ;选择操作区域为 INFO1 信息区
MOVA    ROMCL
BSS     ROMCL,0       ;INFO1 区读触发位使能
JBC     ROMCL,0
GOTO    $-1
BSS     ROMCL,7       ;INFO1 区查表指令读出使能
TBR
MOV     ROMDH, 0
.....
MOV     ROMDL, 0
.....
MOVI    0x00           ;退出 IAP 操作
MOVA    ROMCL
    
```

3.3.5.3 存储器的IAP擦写

FLASH 程序区和数据区都支持 IAP 擦写操作。

擦写操作需通过存储器控制寄存器（ROMCH，ROMCL）共同完成，同时地址寄存器 FRA（FRAH，FRAL）和 FRAN（FRAHN，FRALN）的值需满足逻辑取反，即寄存器 FRAN 的值为寄存器 FRA 的反码，如果 FRA 和 FRAN 不满足逻辑取反，硬件会自动清零擦写使能位 WREN，禁止擦写。每次 FRA 和 FRAN 寄存器更新并满足取反逻辑后，都要重新打开 FLASH 擦除/编程使能位 WREN。

IAP 擦写包括三个基本操作：数据备份，页擦除，自编程。

FLASH 存储器的擦除以页为单位，可将页地址寄存器 FRAH 所指向的页擦除。每页擦除时间至少为 2ms。

FLASH 存储器的自编程以字为单位，可将 ROMD（ROMDH，ROMDL）寄存器中的 16 位值写入 FRA（FRAH，FRAL）所指向的地址单元。单个地址编程时间至少为 20us。

3.3.5.4 存储器页更新流程

◆ 编程模式

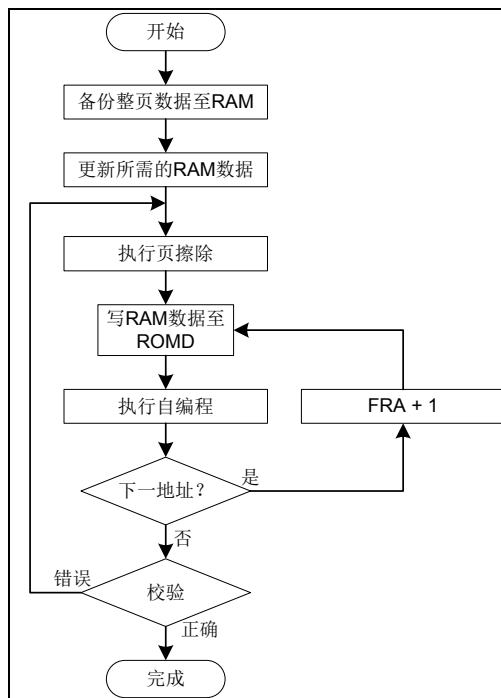


图 3-4 页更新参考流程图

更新一页 FLASH 存储器的步骤:

1. 用查表读指令将一页内容备份至数据存储区 (需 256x2 字节存储空间, 用于存放一页的数据量);
2. 修改备份数据存储区要更新的值;
3. 通过设置寄存器 ROMCL 和 ROMCH 进行页擦除 (必须依照固定程序流程进行);
4. 通过寄存器 FRAL 和 FRAH 选择需要更新的地址, 以及设置寄存器 ROMDL 和 ROMDH 需要更新的数据;
5. 通过设置寄存器 ROMCL 和 ROMCH, 将寄存器 ROMDL 和 ROMDH 中的内容写入 FRA 所指向的页中的地址 (必须依照固定程序流程进行);
6. 重复 4、5 步骤直至完成整页编程;
7. 用查表读指令进行写入区的校验。

3.3.5.5 操作参考例程

以下例程以数据存储区的 IAP 页擦和编程为例, 同样, 当 IAP 操作选择程序存储区, 也支持 IAP 页擦和编程操作。

应用例程 4: FLASH 数据存储区页擦除。

除定时器/计数器可保持运行外, 程序停止运行, 直至擦除操作完成后自动恢复运行。

```

MOVI    0X00          ;设置擦除页面的地址
MOVA    FRAL
MOVI    0X1F
MOVA    FRAH
MOVI    0XFF          ;设置页面的地址反码
MOVA    FRALN
MOVI    0XE0
    
```

```

MOVA    FRAHN
MOVI    0x40          ;选择操作区域为数据区
MOVA    ROMCL
BSS     ROMCL, FPEE  ;选择擦除操作
BSS     ROMCL, WREN  ;打开 FLASH 擦除/编程使能
BCC     INTG, GIE    ;关闭全局中断（避免中断影响后续固定程序流程）
JBC     INTG, GIE    ;判断全局中断是否清零
GOTO    $-2

MOVI    0x55
MOVA    ROMCH
... ..          ; 8 个 NOP 指令，或等待 8 个指令周期
MOVI    0xAA
MOVA    ROMCH
... ..          ; 8 个 NOP 指令，或等待 8 个指令周期
BSS     ROMCL, WR
JBC     ROMCL,WR    ;等待擦除结束
GOTO    $-1
BSS     INTG, GIE    ;开全局中断
.....
MOVI    0x00          ;退出 IAP 操作
MOVA    ROMCL
CLR     FRALN
CLR     FRAHN

```

应用例程 5: FLASH 数据存储区地址单元写入。

除定时器/计数器可保持运行外，程序停止运行，直至写入操作完成后自动恢复运行。

```

MOVI    0x00          ; 写入 FLASH 数据存储区的第 1 页第 1 个地址
MOVA    FRAL
MOVI    0x1F
MOVA    FRAH
MOVI    0xFF          ;设置待写入单元的地址反码
MOVA    FRALN
MOVI    0XE0
MOVA    FRAHN

MOVI    0x12
MOVA    ROMDH
MOVI    0x34
MOVA    ROMDL          ; 写入数据 1234H
MOVI    0x40          ;选择操作区域为数据区
MOVA    ROMCL
BCC     ROMCL, FPEE  ; 选择编程操作
BSS     ROMCL, WREN  ; 打开 FLASH 擦除/编程使能
BCC     INTG, GIE    ;关闭全局中断（避免中断影响后续固定程序流程）

```

JBC	INTG, GIE	;判断全局中断是否清零
GOTO	\$-2	
MOVI	0x55	
MOVA	ROMCH	
... ..		; 8 个 NOP 指令, 或等待 8 个指令周期
MOVI	0xAA	
MOVA	ROMCH	
... ..		; 8 个 NOP 指令, 或等待 8 个指令周期
BSS	ROMCL, WR	
JBC	ROMCL,WR	;等待编程结束
GOTO	\$-1	
BSS	INTG, GIE	; 开全局中断
.....		
MOVI	0x00	;退出 IAP 操作
MOVA	ROMCL	
CLR	FRALN	
CLR	FRAHN	

注：上述应用例程方框中的程序为固定操作格式，使用时不可改变，否则会导致 IAP 擦除和编程不成功。

3.3.6 特殊功能寄存器

3.3.6.1 查表地址寄存器低 8 位 (FRAL)

FRAL: 查表地址寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	FRAL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	x	x	x	x	x	x	x	x

Bit 7~0 FRAL<7:0>: 查表地址低 8 位

3.3.6.2 查表地址寄存器高 8 位 (FRAH)

FRAH: 查表地址寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	FRAH<7:0>							
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
RESET	x	x	x	x	x	x	x	x

Bit 7~0 FRAH<7:0>: 查表地址高 8 位

3.3.6.3 查表地址取反寄存器低 8 位 (FRALN)

FRALN: 查表地址取反寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	FRALN<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 FRALN<7:0>: 查表地址取反低 8 位

3.3.6.4 查表地址取反寄存器高 8 位 (FRAHN)

FRAHN: 查表地址取反寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	FRAHN<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 FRAHN<7:0>: 查表地址取反高 8 位

3.3.6.5 查表数据寄存器低 8 位 (ROMDL)

ROMDL: 查表数据寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ROMDL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	x	x	x	x	x	x	x	x

Bit 7~0 ROMDL<7:0>: 查表数据低 8 位

3.3.6.6 查表数据寄存器高 8 位 (ROMDH)

ROMDH: 查表数据寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ROMDH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	x	x	x	x	x	x	x	x

Bit 7~0 ROMDH<7:0>: 查表数据高 8 位

3.3.6.7 存储器控制寄存器低 8 位 (ROMCL)

ROMCL: 存储器控制寄存器低 8 位									
Bit	7	6	5	4	3	2	1	0	
Name	INFORDEN	IAPSEL<2:0>			FPEE	WREN	WR	INFORDTRG	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
RESET	0	0	0	0	0	0	0	0	

Bit7 INFORDEN: INFO1 区查表指令读出使能位

0: 禁止

1: 使能

- Bit 6~4 IAPSEL<2:0>: IAP 操作区选择
 - 110: INFO1 信息区
 - 101: FLASH 程序区
 - 100: FLASH 数据区
 - 其它: 禁止 IAP 操作
- Bit 3 FPEE: FLASH 存储器页擦除/编程选择位
 - 0: 编程
 - 1: 擦除
- Bit 2 WREN: FLASH 存储器页擦除/编程使能位
 - 0: 禁止, 如果 FRA 和 FRAN 不满足逻辑取反时, 硬件自动清零 WREN
 - 1: 使能
- Bit 1 WR: FLASH 存储器页擦除/编程触发位
 - 0: 未启动页擦除/编程操作, 或操作已完成
 - 1: 页擦除/编程正在进行操作 (硬件自动清零)
- Bit 0 INFORDTRG: INFO1 区查表读触发位
 - 0: 禁止
 - 1: 使能, 读完成后硬件自动清零

3.3.6.8 存储器控制寄存器高 8 位 (ROMCH)

ROMCH: 存储器控制寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	ROMCH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 ROMCH<7:0>: 存储器页擦除/编程控制字

注: ROMCH 寄存器为虚拟寄存器, 对该寄存器读出始终为全 0。

3.4 在线编程ISP和在线调试ICD

FLASH 存储器和 FLASH 数据存储具有可重复烧写的功能, 便于客户代码和数据的更新升级。为了实现开发人员在开发过程中能够更轻松地进行代码的调试、更新、升级, 本芯片还支持在线编程 ISP 和在线调试 ICD, 用户只需在电路系统板上引出五根编程和调试接口线, 即可实现程序的重新烧录和调试, 更加方便高效。

芯片管脚	管脚说明
ISPCK	编程/调试串行时钟端口
ISPDA	编程/调试串行数据端口
MRSTN	复位脚
VDD	电源
VSS	地

表 3-1 在线编程/调试管脚说明

注: 对编程/调试接口中的 ISPDA 和 ISPCK 管脚, 芯片支持 PC0 和 PC1 作为一组编程/调试接口。

3.5 数据存储器

3.5.1 概述

- ◇ 数据存储器由 2 部分组成
 - 通用数据存储 GPR
 - 特殊功能寄存器 SFR
- ◇ 物理存储包括
 - 1K Byte 数据存储
 - 128 个特殊寄存器
- ◇ 支持 3 种寻址方式
 - 直接寻址
 - GPR 特殊寻址
 - 间接寻址

3.5.2 通用数据存储

通用数据存储被用于临时存放数据和控制信息，可以在程序控制下进行读写操作。本芯片通用数据存储空间为 1K Byte，支持 8 个存储体组，地址范围为 0000_H~03FF_H。程序控制过程中，对这些存储体访问时，需通过寄存器 BKSR 选择存储体，实现在不同存储体间的跳转。通用数据存储的内容在上电复位后是不确定的，未掉电的其它复位后，将保存复位前的内容。

地址映射如下：

0000 _H	Section 0
007F _H	Section 1
00FF _H	Section 2
017F _H	Section 3
01FF _H	Section 4
027F _H	Section 5
02FF _H	Section 6
037F _H	Section 7
03FF _H	保留
FF7F _H	

图 3-5 GPR 地址映射示意图

3.5.3 特殊功能寄存器

特殊功能寄存器用于芯片对外设操作的控制设定。本芯片支持 128 个特殊寄存器，地址范围 FF80_H~FFFF_H。大多数寄存器都是可以读写的，仅有少数寄存器作为保留使用，用户程序不能进行读写。相关功能所使用的寄存器将分别在各个章节中描述。

FF80 _H	IAD	FFA0 _H	SPICON0	FFC0 _H	T31C1H	FFE0 _H	RXB
FF81 _H	IAAL	FFA1 _H	SPICON1	FFC1 _H	T31C2L	FFE1 _H	RXC
FF82 _H	IAAH	FFA2 _H	SPIIE	FFC2 _H	T31C2H	FFE2 _H	TXB
FF83 _H	BKSR	FFA3 _H	SPIIF	FFC3 _H	T31IEL	FFE3 _H	TXC
FF84 _H	PSW	FFA4 _H	SPIRBR	FFC4 _H	T31IEH	FFE4 _H	BRR
FF85 _H	AREG	FFA5 _H	SPITBW	FFC5 _H	T31IDL	FFE5 _H	T21R1L
FF86 _H	PCRL	FFA6 _H	PWRC	FFC6 _H	T31IDH	FFE6 _H	T21R1H
FF87 _H	PCRH	FFA7 _H	WDTC	FFC7 _H	T31IVSL	FFE7 _H	T21R2L
FF88 _H	MULA/MULL	FFA8 _H	WKDC	FFC8 _H	T31IVSH	FFE8 _H	T21R2H
FF89 _H	MULB/MULH	FFA9 _H	PWEN	FFC9 _H	T31IFL	FFE9 _H	T21OC
FF8A _H	DIVEL/DIVQL	FFAA _H	PA	FFCA _H	T31IFH	FFEA _H	T31CH2C
FF8B _H	DIVEH/DIVQH	FFAB _H	PAT	FFCB _H	T31IFML	FFEB _H	T31CH3C
FF8C _H	DIVS/DIVR	FFAC _H	PB	FFCC _H	T31IFMH	FFEC _H	T31CH4C
FF8D _H	T31CH2RH	FFAD _H	PBT	FFCD _H	T31ICRL	FFED _H	T31PINCL
FF8E _H	T31CH3RL	FFAE _H	PC	FFCE _H	T31ICRH	FFEE _H	T31PINCH
FF8F _H	T31CH3RH	FFAF _H	PCT	FFCF _H	T31EVG	FFE _F	I2CX16
FF90 _H	FRAL	FFB0 _H	PAPU	FFD0 _H	T31CH1C	FFF0 _H	I2CC
FF91 _H	FRAH	FFB1 _H	PBPU	FFD1 _H	T21L	FFF1 _H	I2CSA
FF92 _H	ROMDL	FFB2 _H	PCPU	FFD2 _H	T21H	FFF2 _H	I2CTB
FF93 _H	ROMDH	FFB3 _H	T31CHBK	FFD3 _H	T21PL	FFF3 _H	I2CRB
FF94 _H	ROMCL	FFB4 _H	T31CH4RH	FFD4 _H	T21PH	FFF4 _H	I2CIEC
FF95 _H	ROMCH	FFB5 _H	PORTCTR	FFD5 _H	T21R0L	FFF5 _H	I2CIFC
FF96 _H	INTG	FFB6 _H	T31DLYT	FFD6 _H	T21R0H	FFF6 _H	T31CNTL
FF97 _H	INTP	FFB7 _H	PAPD	FFD7 _H	T21CL	FFF7 _H	T31CNTH
FF98 _H	INTC0	FFB8 _H	PBPD	FFD8 _H	T21CM	FFF8 _H	T31PRSL
FF99 _H	T31CH4RL	FFB9 _H	FRALN	FFD9 _H	T21CH	FFF9 _H	T31PRSH
FF9A _H	INTE0	FFBA _H	FRAHN	FFDA _H	ADCRL	FFFA _H	T31CNTLDL
FF9B _H	INTF0	FFBB _H	T8N	FFDB _H	ADCRH	FFFB _H	T31CNTLDH
FF9C _H	INTE1	FFBC _H	T8NC	FFDC _H	ADCCL	FFFC _H	T31POS
FF9D _H	INTF1	FFBD _H	T31C0L	FFDD _H	ADCCH	FFFD _H	T31CH1RL
FF9E _H	INTE2	FFBE _H	T31C0H	FFDE _H	ANSL	FFFE _H	T31CH1RH
FF9F _H	INTF2	FFBF _H	T31C1L	FFDF _H	—	FFFF _H	T31CH2RL

图 3-6 特殊功能寄存器空间

3.5.4 寻址方式

SRAM 数据存储器的寻址方式支持直接寻址、GPR 特殊寻址和间接寻址。

3.5.4.1 直接寻址

直接寻址的地址信息由两部分组成，BKSR 和指令中的 8 位地址信息。BKSR 用于选择存储体组，指令中的 8 位地址信息用于在 BKSR 所选的存储体组中寻址。

在直接寻址时，当指令中的 8 位地址信息大于或等于 80_H 时，将忽略 BKSR 而直接寻址 SFR 映射区。当指令中的 8 位地址信息小于 80_H 时，访问 GPR 地址映射区。

示意图如下：

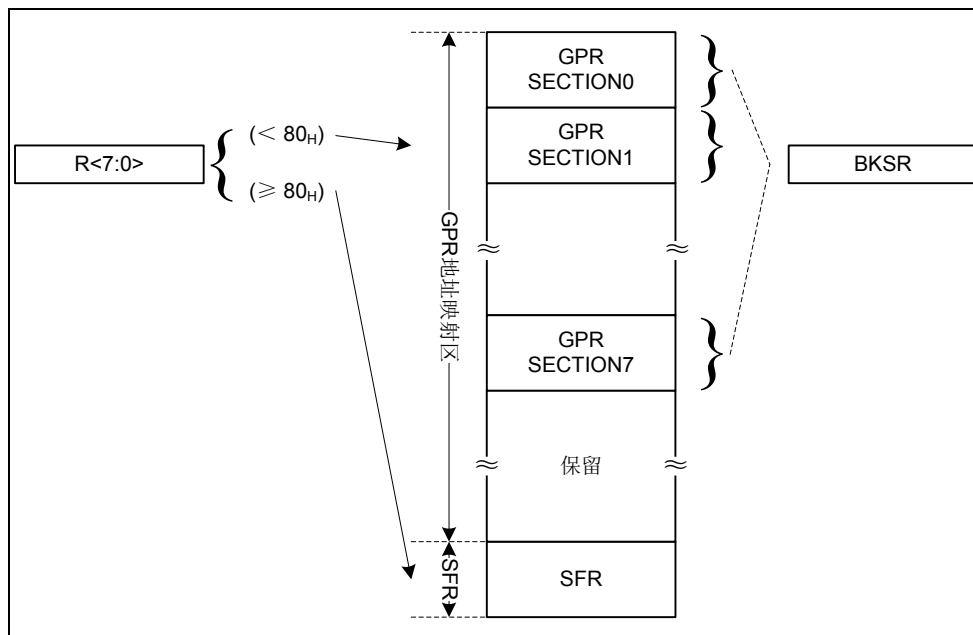


图 3-7 直接寻址示意图

3.5.4.2 GPR特殊寻址

为方便较大的数据段（例如数组）在 GPR 中的移动，指令 MOVAR 和 MOVRA 用于对 GPR 进行特殊寻址操作，本芯片 MOVAR 和 MOVRA 指令最大支持 10 位地址信息（R<9:0>），可直接寻址 1K 字节地址空间。无需进行 SECTION 间切换。

MOVAR 和 MOVRA 指令无法访问 SFR。

示意图如下：

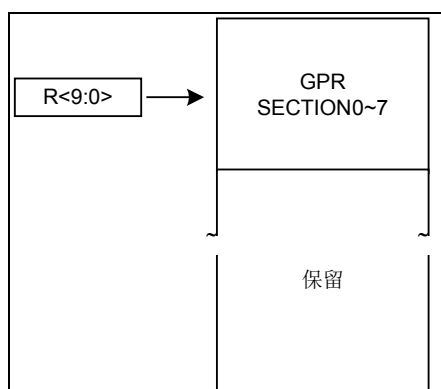


图 3-8 GPR 特殊寻址示意图

3.5.4.3 间接寻址

间接寻址是通过 16 位间接地址寄存器 IAA（由 2 个 8 位寄存器 IAAH 和 IAAL 组成）和 8 位虚拟数据寄存器 IAD，间接访问数据寻址空间中的存储单元。先将访问目的地址存放于间接地址寄存器 IAA，再通过指令对 IAD 进行读/写操作，实际的读/写操作对象则是 IAA 指向的数据寻址空间中的目的地址单元。

IAD 寄存器本身也映射到数据寻址空间的 FF80_H 地址，因此当 IAA 存放的地址值为 FF80_H

时，读/写 IAD 相当于用间接寻址方式访问虚拟寄存器 IAD 本身，此时读操作将始终读出于 00_H，写操作则是一个空操作（可能影响状态位）。

ISTEP 指令，用来对 16 位间接地址寄存器 IAA 进行偏移操作。执行该指令时，先将指令字中的 8 位有符号立即数进行符号位扩展为 16 位数，再将 IAA 的值加上这个数的结果存回 IAA 寄存器。ISTEP 可实现的偏移范围为-128~127。

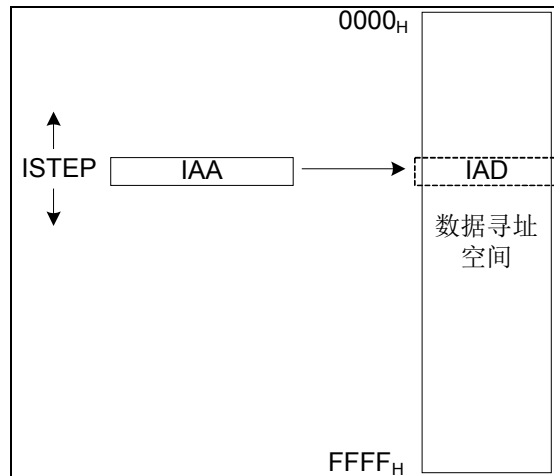


图 3-9 间接寻址示意图

3.5.5 特殊功能寄存器

3.5.5.1 间接寻址数据寄存器 (IAD)

IAD: 间接寻址数据寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IAD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 IAD<7:0>: 间接寻址数据

3.5.5.2 间接寻址索引寄存器低 8 位 (IAAL)

IAAL: 间接寻址索引寄存器低 8 位								
Bit	7	6	5	4	3	2	1	0
Name	IAAL<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 IAAL<7:0>: 间接寻址索引低 8 位

3.5.5.3 间接寻址索引寄存器高 8 位 (IAAH)

IAAH: 间接寻址索引寄存器高 8 位								
Bit	7	6	5	4	3	2	1	0
Name	IAAH<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 IAAH<7:0>: 间接寻址索引高 8 位

3.5.5.4 存储体选择寄存器 (BKSR)

BKSR: 存储体选择寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	DBKSR<2:0>		
R/W	—	—	—	R/W	—	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~5 未使用

Bit 4 保留位, 必须软件设置为 0

Bit 3 未使用

Bit 2~0 DBKSR<2:0>: 数据存储体选择位

000: 选择存储体 0

001: 选择存储体 1

010: 选择存储体 2

011: 选择存储体 3

100: 选择存储体 4

101: 选择存储体 5

110: 选择存储体 6

111: 选择存储体 7

注: BKSR<4>位必须保持复位值 0, 或者软件设置为 0。

第4章 输入/输出端口

4.1 概述

输入/输出端口是芯片的最基本组成部分，本芯片最多支持 18 个输入/输出端口。所有 I/O 端口都是 TTL/SMT 输入和 CMOS 输出驱动。

- ◇ PA 输入/输出端口功能组件
 - 8 位双向输入/输出端口
 - TTL/SMT 输入和 CMOS 输出驱动
 - 端口输入输出控制寄存器 (PAT)
 - 端口弱上拉控制寄存器 (PAPU)
 - 端口弱下拉控制寄存器 (PAPD)
 - 数/模端口控制寄存器 (ANSL)
 - PA0, PA3~7 支持外部端口中断功能
- ◇ PB 输入/输出端口功能组件
 - 8 位双向输入/输出端口
 - TTL/SMT 输入和 CMOS 输出驱动
 - 端口输入输出控制寄存器 (PBT)
 - 端口弱上拉控制寄存器 (PBPU)
 - 端口弱下拉控制寄存器 (PBPD)
 - 端口 PB0~1 有开漏输出功能
 - PB4~5, PB1 支持外部端口中断功能
- ◇ PC 输入/输出端口功能组件
 - 2 位双向输入/输出端口
 - TTL/SMT 输入和 CMOS 输出驱动
 - 端口输入输出控制寄存器 (PCT)
 - 端口弱上拉控制寄存器 (PCPU)

注：当端口设置为输出或者模拟输入端口时，内部弱上/下拉自动禁止。

4.2 结构框图

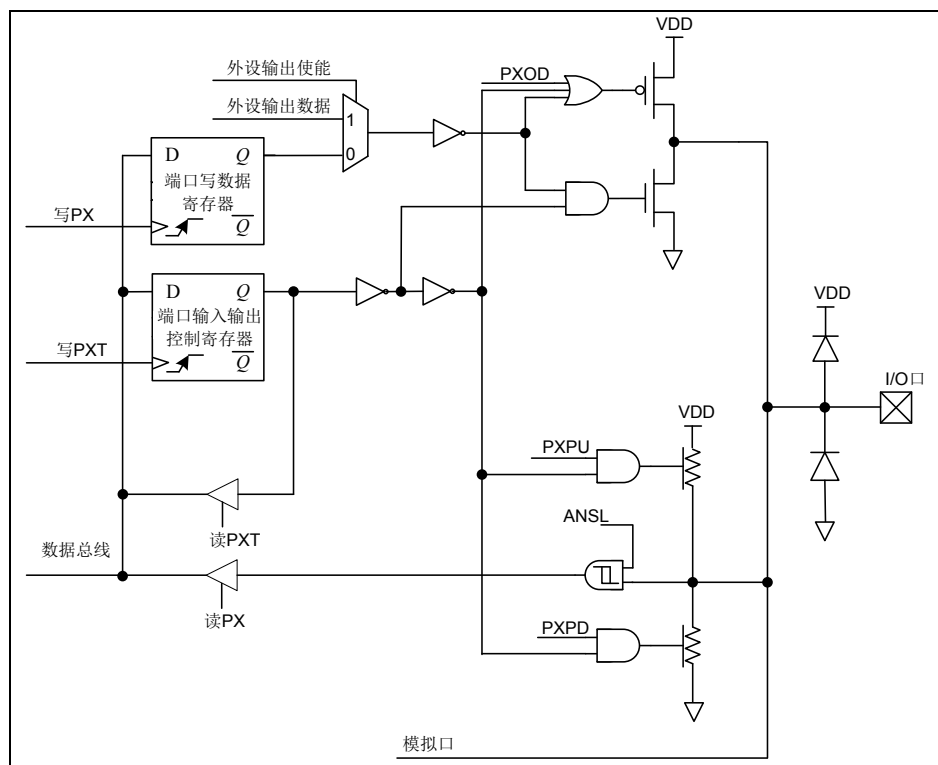


图 4-1 PA/PB/PC 端口结构图

注 1: PC 端口无弱下拉功能。

注 2: 除 PB0/PB1 外, 其它端口无开漏输出功能。

4.3 I/O端口功能设置

4.3.1 I/O端口输入/输出控制

芯片中的所有 I/O 端口都具有输入/输出的能力，端口控制寄存器 PAT/PBT/PCT 用于相应端口的输入或输出功能选择。当 I/O 端口设置为数字输出状态时，I/O 端口输出 PA/PB/PC 寄存器内容，即相应 I/O 端口电平状态，读取 PA/PB/PC 寄存器的操作实际为读取相应 I/O 端口电平状态。当 I/O 端口设置为数字输入状态时，读取 PA/PB/PC 寄存器的操作实际为读取相应 I/O 端口电平状态。

4.3.2 I/O端口弱上/下拉功能

很多产品的应用中需要端口连接上拉或下拉电阻，使端口固定在一个稳定的电平状态，防止外界干扰以及其它影响。（PA3/MRSTN 端口内部弱上拉默认使能）

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	支持	支持	支持	支持	支持	支持
PB	支持	支持	支持	支持	支持	支持	支持	支持
PC	支持	支持	—	—	—	—	—	—

表 4-1 I/O 端口弱上拉

管脚	0	1	2	3	4	5	6	7
PA	支持	支持	支持	支持	支持	支持	支持	支持
PB	支持	支持	支持	支持	支持	支持	支持	支持
PC	—	—	—	—	—	—	—	—

表 4-2 I/O 端口弱下拉

4.3.3 I/O端口模拟/数字类型选择功能

当数字信号和模拟信号共用管脚时，在使用对应端口的数字信号或模拟信号功能前，须正确设置端口的类型，否则可能不会达到预期的结果。本芯片中部分 PA/PB 端口具有独立的模拟/数字信号选择功能，由 ANSL 寄存器控制选择。当端口被配置为模拟端口时，读相应的 PA/PB 寄存器时，始终读到“0”。

4.3.4 I/O端口开漏输出

端口 PB0~1 支持开漏输出功能，可独立设置为开漏输出，由 PORTCTR 寄存器的 PBOD<1:0>位控制。

管脚	0	1	2	3	4	5	6	7
PA	—	—	—	—	—	—	—	—
PB	支持	支持	—	—	—	—	—	—
PC	—	—	—	—	—	—	—	—

表 4-3 I/O 端口开漏输出

4.3.5 I/O端口复用功能

为了使资源合理利用最优化，本芯片的所有 I/O 端口都具有复用功能。当端口用于复用功能时，管脚电平由复用功能决定。

4.4 端口中断

4.4.1 外部端口中断（PINT）

本芯片支持 9 个外部端口中断。当 PINT0~PINT8 复用端口被配置为数字输入端口，且输入信号变化满足触发条件时，将产生 PINT0~PINT8 外部端口中断。可配置为上升沿触发、下降沿触发或双沿触发。外部端口中断可由 PIE0~PIE8 使能。中断产生将影响相应的中断标志 PIF0~PIF8。在 IDLE 模式下，此中断能唤醒 CPU。

外部中断 PINT5 和 PINT8 可触发 AD 转换。当寄存器 ADC_ETR1EN（PORTCTR<3>）使能时，外部中断 PINT8 可触发 AD 转换；当寄存器 ADC_ETR0EN（PORTCTR<2>）使能时，外部中断 PINT5 可触发 AD 转换；ADC 必须先使能，且设置为硬件采样，即 ADCCL 寄存器的 ADEN 和 SMPS 控制位都需设置为 1。

管脚名	端口输入	边沿选择	中断名	中断使能	中断标志
PA0	PINT0	PEG0<1:0>	PINT0	PIE0	PIF0
PA3	PINT1	PEG0<1:0>	PINT1	PIE1	PIF1
PA4	PINT2	PEG1<1:0>	PINT2	PIE2	PIF2

管脚名	端口输入	边沿选择	中断名	中断使能	中断标志
PA5	PINT3	PEG1<1:0>	PINT3	PIE3	PIF3
PA6	PINT4	PEG2<1:0>	PINT4	PIE4	PIF4
PA7	PINT5	PEG2<1:0>	PINT5	PIE5	PIF5
PB4	PINT6	PEG3<1:0>	PINT6	PIE6	PIF6
PB5	PINT7	PEG3<1:0>	PINT7	PIE7	PIF7
PB1	PINT8	PEG3<1:0>	PINT8	PIE8	PIF8

表 4-4 外部端口中断

4.5 I/O端口操作注意事项

当执行以端口寄存器为目标的算术或逻辑运算指令（除位操作指令）时，芯片实际执行读-修改-写过程，即先读取该组全部 I/O 端口的电平，修改后再写回端口寄存器。位操作指令对 I/O 的修改操作只影响选定的位，对同组其它 I/O 不影响。因此建议用户对单个 I/O 的修改采用位操作指令。此外在 I/O 复用功能使能和关闭时，应充分考虑当前 I/O 端口的输出寄存器值，并判断是否需要重新对这些 I/O 端口进行初始化赋值。

4.6 特殊功能寄存器

4.6.1 PA端口电平状态寄存器（PA）

PA: PA 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PA<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	x	x	x	x	x	x	x	x

Bit 7~0 PA<7:0>: PA 端口电平状态

0: 低电平

1: 高电平

4.6.2 PA端口输入输出控制寄存器（PAT）

PAT: PA 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PAT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	1	1	1	1	1	1	1	1

Bit 7~0 PAT<7:0>: PA 端口输入输出状态控制位

0: 输出状态

1: 输入状态

注: PA3 只有在配置为 IO 端口时，输入/输出功能才都有效，用作外部复位管脚时，固定为输入。

4.6.3 PA端口弱上拉控制寄存器 (PAPU)

PAPU: PA 端口弱上拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PAPU<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	1	0	0	0

Bit 7~0 PAPU<7:0>: PA 端口内部弱上拉控制位
 0: 禁止
 1: 使能

4.6.4 PA端口弱下拉控制寄存器 (PAPD)

PAPD: PA 端口弱下拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PAPD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 PAPD<7:0>: PA 端口内部弱下拉控制位
 0: 禁止
 1: 使能

注 1: PA3 只有在配置为 IO 端口时, 弱下拉功能、输入/输出功能才有效;
 注 2: PA3 配置为外部复位管脚时, 固定为输入;
 注 3: PA3 默认弱上拉使能, 当配置为外部复位管脚或者 IO 时, 都可以软件关闭弱上拉使能。

4.6.5 PB端口电平状态寄存器 (PB)

PB: PB 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PB<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	x	x	x	x	x	x	x	x

Bit 7~0 PB<7:0>: PB 端口电平状态
 0: 低电平
 1: 高电平

4.6.6 PB端口输入输出控制寄存器 (PBT)

PBT: PB 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PBT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	1	1	1	1	1	1	1	1

Bit 7~0 PBT<7:0>: PB 端口输入输出状态控制位
 0: 输出状态

1: 输入状态

4.6.7 PB端口弱上拉控制寄存器 (PBPU)

PBPU: PB 端口弱上拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PBPU<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 PBPU<7:0>: PB 端口内部弱上拉控制位

0: 禁止

1: 使能

4.6.8 PB端口弱下拉控制寄存器 (PBPD)

PBPD: PB 端口弱下拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	PBPD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 PBPD<7:0>: PB 端口内部弱下拉控制位

0: 禁止

1: 使能

4.6.9 PC端口电平状态寄存器 (PC)

PC: PC 端口电平状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	PC<1:0>	
R/W	—	—	—	—	—	—	R/W	R/W
RESET	x	x	x	x	x	x	x	x

Bit 7~2 未使用

Bit 1~0 PC<1:0>: PC1~PC0 端口电平状态

0: 低电平

1: 高电平

4.6.10 PC端口输入输出控制寄存器 (PCT)

PCT: PC 端口输入输出控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	PCT<1:0>	
R/W	—	—	—	—	—	—	R/W	R/W
RESET	0	0	0	0	0	0	1	1

Bit 7~2 未使用

Bit 1~0 PCT<1:0>: PC1~PC0 端口输入输出状态控制位

- 0: 输出状态
- 1: 输入状态

4.6.11 PC端口弱上拉控制寄存器 (PCPU)

PCPU: PC 端口弱上拉控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	—	—	PCPU<1:0>	
R/W	—	—	—	—	—	—	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~2 未使用

Bit 1~0 PCPU<1:0>: PC1~PC0 端口内部弱上拉控制位
 0: 禁止
 1: 使能

4.6.12 端口特殊功能控制寄存器 (PORTCTR)

PORTCTR: 端口特殊功能控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	T31CH4EN	T31CH3EN	AD_ETR1EN	ADC_ETR0EN	PBOD<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~6 保留未用

bit5 T31CH4EN: T31 通道 4 选择位
 0: PB3 输入捕捉, 比较输出, PWM 输出使能
 1: PA4 比较输出, PWM 输出使能

bit4 T31CH3EN: T31 通道 3 选择位
 0: PB2 输入捕捉, 比较输出, PWM 输出使能
 1: PA3 比较输出, PWM 输出使能

bit3 ADC_ETR1EN: 外部中断 8 触发 ADC 转换使能位
 0: 禁止
 1: 使能

bit2 ADC_ETR0EN: 外部中断 5 触发 ADC 转换使能位
 0: 禁止
 1: 使能

Bit 1~0 PBOD<1:0>: PB1~PB0 端口开漏输出控制位
 0: 禁止
 1: 使能

注: 具体 IO 端口的驱动能力, 可参考附录 3 《电气特性》。

第5章 特殊功能及操作特性

5.1 系统时钟与振荡器

5.1.1 概述

芯片运行所需要的时钟源由振荡器提供，不同的振荡器选择可以让使用者在不同的应用需求中实现更大范围的功能。本款芯片所提供的振荡器有2种：内部高速RC振荡器（16MHz）和内部低速RC振荡器（32KHz）。灵活选择振荡器，使得产品在速度和功耗方面可以达到最优化。内部高速RC振荡器除了作为系统时钟源外，还可作为ADC转换时钟源；内部低速RC振荡器可以为看门狗定时器、ADC模块、T8N模块等提供所需要的时钟源，不能作为系统时钟源。

◇ INTHRC

- 内部 16MHz RC 振荡器
- 出厂前，内部 RC 振荡器频率已经在常温下校准，校准精度在±1%以内
- 支持多种分频时钟，可通过配置字选择

◇ INTLRC

- 内部 32KHz RC 振荡器
- WDT 计数时钟
- T8N 计数时钟
- AD 转换时钟

◇ 振荡和暂停

- 在 IDLE0 模式下，主系统时钟 INTHRC 振荡器暂停振荡，LDO 休眠
- 在 IDLE1 模式下，主系统时钟 INTHRC 振荡器暂停振荡，LDO 正常工作
- 在 IDLE2 模式下，主系统时钟 INTHRC 振荡器不停振，LDO 正常工作

5.1.2 内部结构图

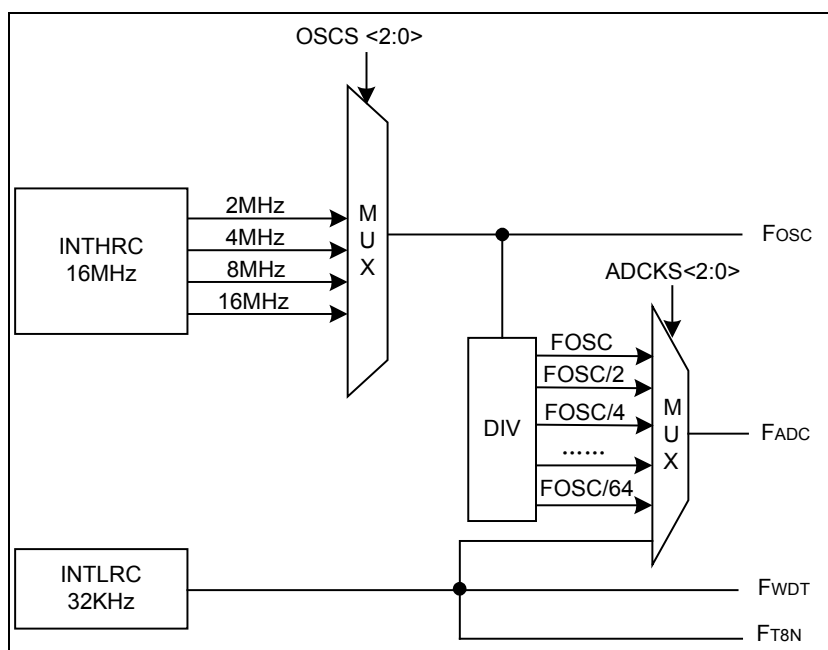


图 5-1 系统时钟结构图

5.1.3 时钟源

5.1.3.1 内部高速 16MHz RC振荡器模式 (INTHRC)

芯片内置 16MHz RC 时钟振荡器，不需要外接其它外部器件，作为系统时钟源。

当芯片配置字 $OSCS<2:0> = 111$ 、 101 、 100 或 011 时，配置为 INTOSCIO 模式，此时 PB3 管脚复用为通用 I/O 端口。

当芯片配置字 $OSCS<2:0> = 110$ 时，配置为 INTOSC 模式，此时 PB3 管脚复用为输出 CLKO，CLKO 输出系统时钟的 16 分频时钟 ($F_{osc}/16$)。客户可通过编程界面选择。

在出厂前，芯片已经在常温下校准，在工作电压范围内，INTHRC 时钟频率校准精度在 $\pm 1\%$ 以内。

5.1.3.2 内部低速 32kHz RC振荡器模式 (INTLRC)

芯片内置 32KHz RC 时钟振荡器，不需要外接其它外部器件，可用作 WDT、ADC 模块、T8N 模块的时钟源。

在出厂前，芯片已经在常温下校准，在工作电压范围内，INTLRC 时钟频率校准精度在 $\pm 5\%$ 以内。

5.2 系统电源

5.2.1 概述

芯片供电电源为VDD，与其对应的是芯片的参考地VSS。VDD给IO端口、ADC和内部LDO模块供电，内部LDO输出电压给数字功能模块、FLASH存储器、SRAM等供电。

LDO输出电压，在出厂前，常温下已经校准到 $1.64V \pm 20mV$ 以内。

5.2.2 内部结构图

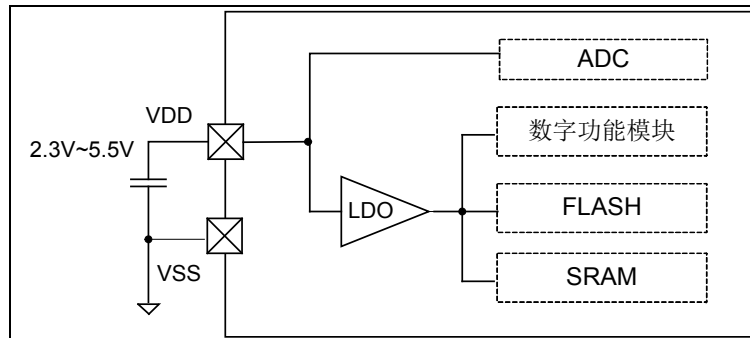


图 5-2 系统电源结构框图

5.3 看门狗定时器 (WDT)

5.3.1 概述

看门狗定时器是芯片的一个组成部分，它可以在发生软件故障时，将芯片复位。若系统进入了错误的工作状态，看门狗可以在合理的时间范围内使芯片复位。使能看门狗时，若用户程序清除看门狗定时器失败，则在预定的时间范围内，看门狗会使系统复位。

◇ WDT 定时器

- 8 位 WDT 定时计数器（无实际物理地址，不可读写）
- 定时器时钟源为内部 32KHz RC 时钟
- 8 位预分频器（无实际物理地址，不可读写）
- WDT 控制寄存器（WDTC）
- 唤醒功能
- 复位功能

5.3.2 内部结构图

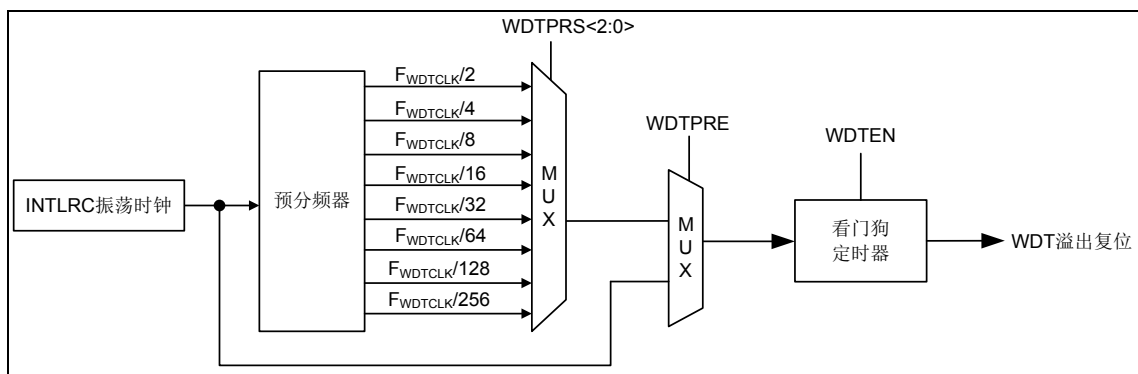


图 5-3 看门狗定时器内部结构图

5.3.3 WDT定时器

芯片提供 8 位 WDT 定时计数器，通过芯片配置字 WDTEN 可使能硬件看门狗 WDT。当芯片配置字 WDTEN 使能时，WDT 定时器计数使能；当 WDTEN 关闭时，WDT 定时器计数禁止。客户可通过编程器界面选择。

在 IDLE 模式下，WDT 计数溢出会唤醒 CPU，不复位芯片；系统在执行 IDLE 指令时，硬件会自动清零 WDT 计数器，并重新开始计数。

在正常运行模式下，WDT 计数溢出会复位芯片。为了避免不必要的复位，需使用 CWDT 指令适时清零 WDT 计数器。

WDT 支持一个预分频器，由 WDTC 寄存器中的 WDTPRE 位控制。当 WDTPRE 位清零，禁止预分频器时，常温下 WDT 的计数溢出时间约为 8ms。

当 WDTPRE 位置 1，使能预分频器时，可通过 WDTC 寄存器中的 WDTPRS<2:0>位设置 WDT 时钟源的预分频比，再将分频后的时钟信号作为 WDT 定时器的计数时钟。

5.3.4 特殊功能寄存器

5.3.4.1 WDT控制寄存器 (WDTC)

WDTC: WDT 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	—	WDTPRE	WDTPRS<2:0>		
R/W	—	—	—	—	R/W	R/W	R/W	R/W
RESET	0	0	0	0	1	1	1	1

Bit 7~4 未使用

Bit 3 WDTPRE: WDT 预分频器使能位

0: 禁止

1: 使能

Bit 2~0 WDTPRS <2:0>: WDT 预分频器分频比选择位

000: 1:2

001: 1:4

010: 1:8

011: 1:16

100: 1:32

101: 1:64

110: 1:128

111: 1:256

5.4 复位模块

5.4.1 概述

- ◇ 上电复位 POR
- ◇ 掉电复位 BOR, 复位电压点可配置
- ◇ 外部端口 MRSTN 复位, 低电平复位有效
- ◇ 看门狗定时器 WDT 溢出复位
- ◇ 软件执行指令 RST 复位

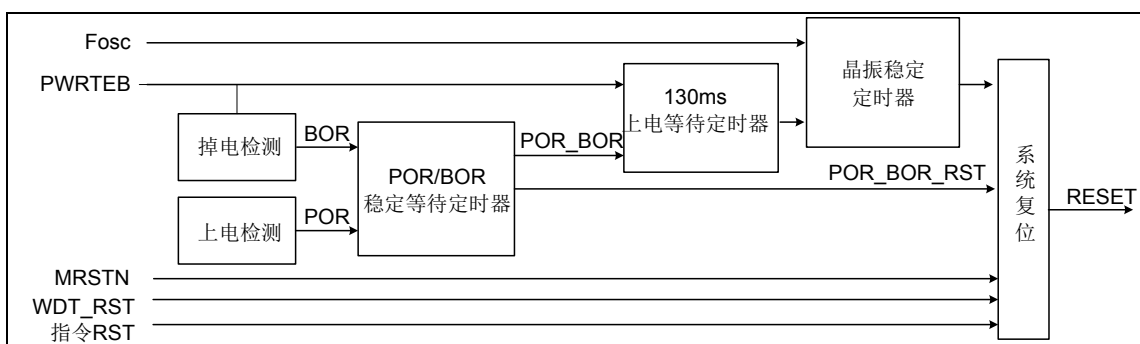


图 5-4 芯片复位原理图

5.4.2 上电复位

芯片上电过程中会产生 POR 复位，并且该复位信号将会一直保持到电源电压升高到芯片能够正常工作的电压为止。系统上电过程呈逐渐上升的曲线形式，需要一定时间才能达到正常电平值。上电复位的时序如下：

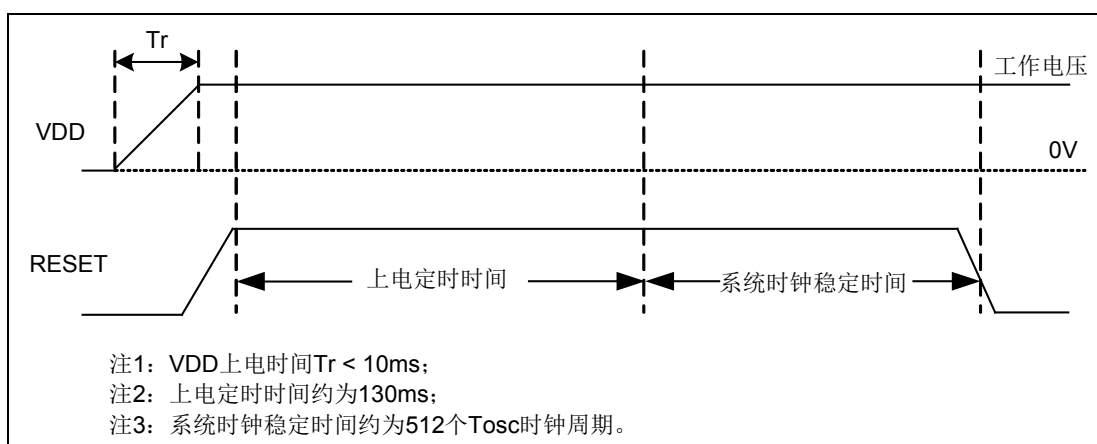


图 5-5 上电复位时序示意图

5.4.3 掉电复位

掉电复位针对外部因素引起的系统电压跌落情形（例如：更换电池），掉电时可能会引起系统工作状态不正常或程序执行错误，掉电复位电路可保障芯片在异常掉电过程中处于复位状态，避免出现误操作。对电压跌落的滤波时间 T_{filter} ，可通过寄存器 $PWEN<3:2>$ 进行设置，根据所配置的 BOR 低电压档位和应用系统的供电情况，选择合适的滤波时间，

通常保持为默认值。

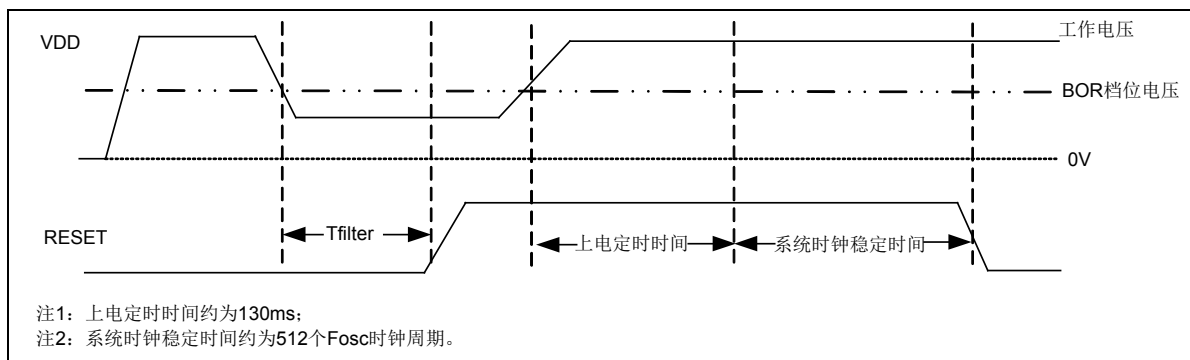


图 5-6 低电压复位时序示意图

5.4.4 外部MRSTN管脚复位

芯片提供外部 MRSTN 管脚，用于系统复位。当复位管脚输入低电平信号时，系统复位。当复位管脚处于高电平时，系统正常运行。需要注意的是，芯片配置为外部复位功能时，在系统上电完成后，外部复位管脚必须输入高电平，否则系统将一直保持在复位状态。另外需要特别注意的是，禁止将 MRSTN 管脚直接连接到 VDD 上。外部复位滤波时间 Tfilter 为 200us 左右，可滤除外部复位管脚上脉宽小于 200us 的干扰脉冲信号，为确保 MRSTN 管脚的外部复位信号有效，其低电平脉宽需大于 250us。

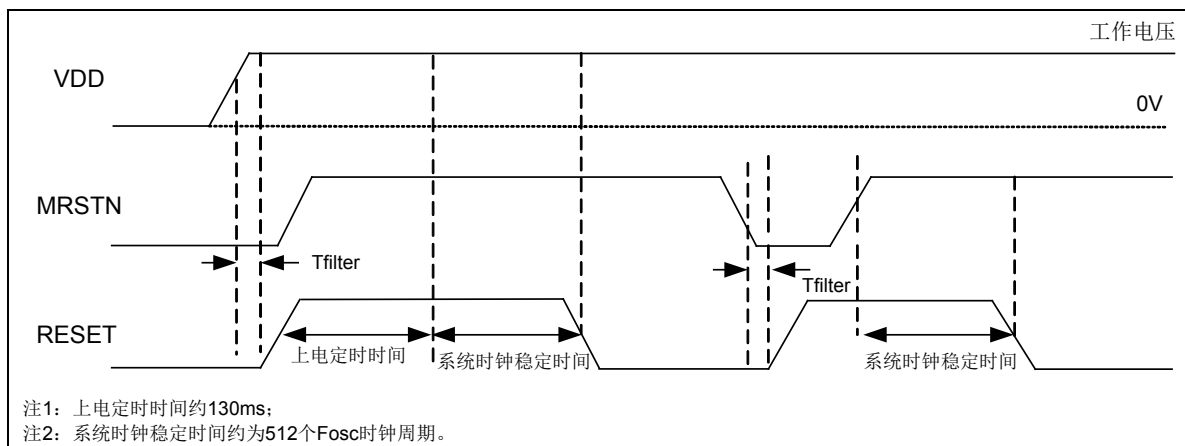


图 5-7 外部 MRSTN 管脚复位

注 1: 当芯片配置字 MRSTEN=1 为外部复位时，上电定时器可以通过 PWRTEB 屏蔽，而当 MRSTEN=0 为数字输入输出端口时，上电定时器固定使能，定时时间约为 130ms。
注 2: 上电时，系统时钟稳定时间约为 512 个 Fosc 时钟周期。

外部 MRSTN 管脚复位电路有多种，以下介绍两种比较典型的连接电路。

1. RC 复位

RC 复位电路是外部 MRSTN 管脚复位电路最简单的一种，对外界环境条件要求不高的情况下，可以采用此种连接方式。

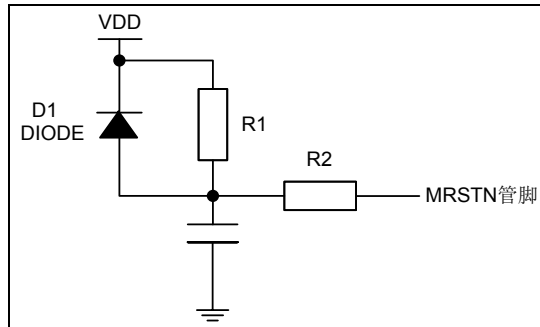


图 5-8 MRSTN 复位参考电路图 1

注：采样 RC 复位，其中 $47\text{K}\Omega \leq R1 \leq 100\text{K}\Omega$ ，电容 C1 ($0.1\mu\text{F}$)，R2 为限流电阻， $0.1\text{K}\Omega \leq R2 \leq 1\text{K}\Omega$ 。

2. PNP 三极管复位

PNP 三极管复位电路适用于对电源干扰较强的场合。

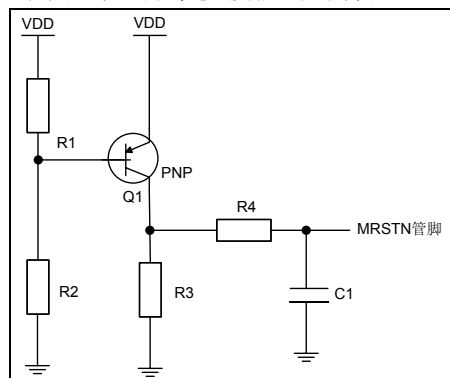


图 5-9 MRSTN 复位参考电路图 2

注：采用 PNP 三极管复位，通过 R1 ($2\text{K}\Omega$) 和 R2 ($10\text{K}\Omega$) 分压作为基极输入，发射极接 VDD，集电极一路通过 R3 ($20\text{K}\Omega$) 接地，另一路通过 R4 ($1\text{K}\Omega$) 和 C1 ($0.1\mu\text{F}$) 接地，C1 另一端作为 MRSTN 输入。

5.4.5 看门狗定时器溢出复位

看门狗复位是系统的一种保护设置。在正常状态下，由程序将看门狗定时器清零。若出错，系统处于未知状态，程序无法清除看门狗，导致看门狗定时器计数溢出，产生系统复位。看门狗溢出复位后，系统重启进入正常状态。

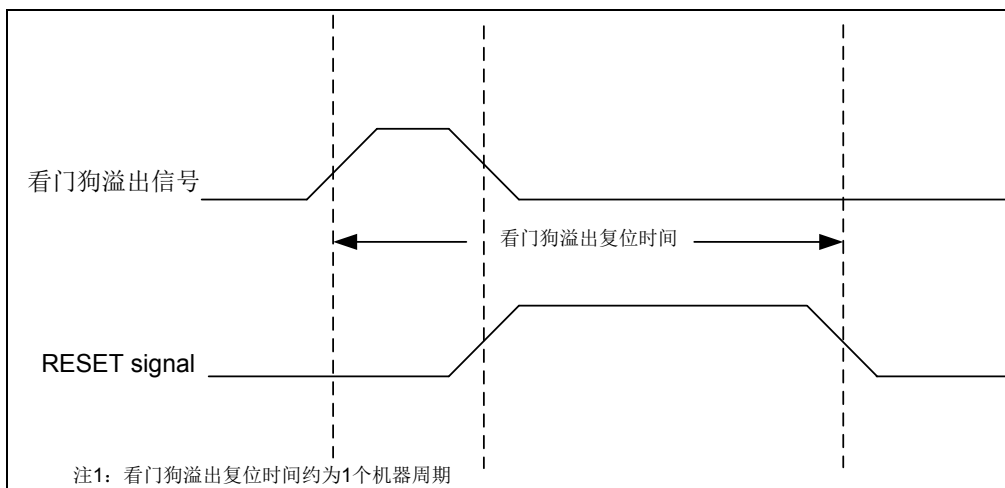


图 5-10 看门狗溢出复位

5.4.6 RST指令软件复位

整个芯片可通过执行 RST 指令进行复位，复位后，全部寄存器状态位都将被影响。

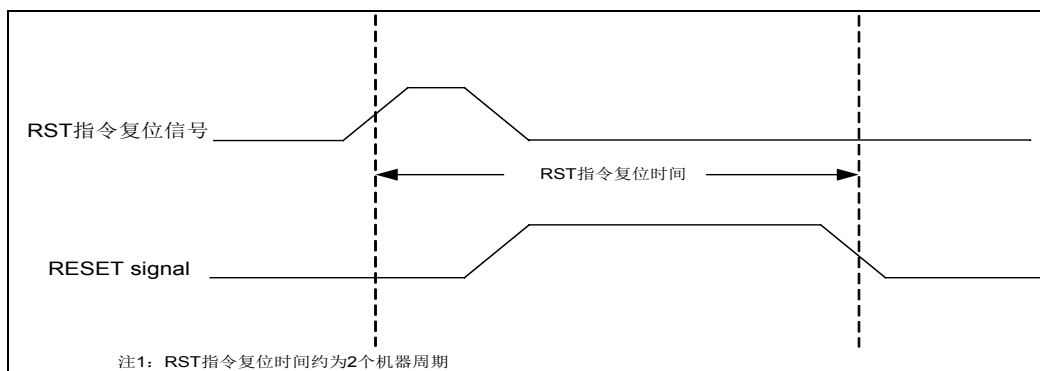


图 5-11 RST 指令软件复位

5.4.7 特殊功能寄存器

5.4.7.1 电源控制寄存器 (PWRC)

PWRC: 电源控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	LPM<1:0>	—	—	N_TO	N_PD	N_PD	N_POR	N_BOR
R/W	R/W	R/W	—	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	1	1	1	0	0

Bit 7-6 LPM<1:0>: 休眠模式选择位
 00: IDLE0 模式, 深睡眠模式
 01: IDLE1 模式, 浅睡眠模式
 10/11: IDLE2 模式, 快速唤醒睡眠模式

Bit 5-4 保留未用

Bit 3 N_TO: WDT 溢出标志位
 0: WDT 计数溢出时被清零
 1: 上电复位或执行 CWDT、IDLE 指令后被置 1

- Bit 2 **N_PD**: 低功耗标志位
0: 执行 IDLE 指令后清零
1: 上电复位或执行 CWDT 指令后置 1
- Bit 1 **N_POR**: 上电复位状态位
0: 上电复位发生（上电复位后，必须软件置位）
1: 无上电复位发生
- Bit 0 **N_BOR**: 低电压复位状态位
0: 低电压复位发生（低电压复位后，必须软件置位）
1: 无低电压复位发生

5.4.7.2 功耗控制寄存器 (PWEN)

PWEN: 功耗控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	ADVREFS2	—	MRSTF	PORLOST	BORFLT<1:0>		RCEN	HALT_PWM
R/W	R/W	R/W	R/W	R	R/W	R/W	R/W	R/W
RESET	0	0	0	0	1	0	1	1

Bit 7 **ADVREFS2**: A/D 参考源选择位，此位需和寄存器 ADVREFS<1:0> (ADCCH<1: 0>) 同时进行设置，才能选择正确的参考源。详情可参考 ADCCH 寄存器。

Bit 6 未使用

Bit 5 **MRSTF**: 外部复位状态位
0: 已发生外部复位（外部复位后，必须软件置 1）
1: 未发生外部复位

Bit 4 **PORLOST**: 上电复位失效状态位
0: 已发生上电复位
1: 未发生上电复位

Bit 3~2 **BORFLT<1:0>**: BOR 滤波时间选择位
00: 约 3 个 INTLRC 时钟周期
01: 约 5 个 INTLRC 时钟周期
10: 约 7 个 INTLRC 时钟周期
11: 约 9 个 INTLRC 时钟周期

Bit 1 **RCEN**: IDLE 状态下，WDT 计数使能位（非 IDLE 状态下固定为 1）
0: 关闭 WDT
1: 使能 WDT

Bit 0 **HALT_PWM**: 在线调试暂停状态下，PWM 输出使能位
0: 使能
1: 禁止

5.5 低功耗操作

5.5.1 MCU低功耗模式

芯片支持三种休眠模式：IDLE0 模式、IDLE1 和 IDLE2 模式。

◇ IDLE0 深睡眠模式

- 时钟源停振，主系统时钟暂停
- 程序暂停、同步模块暂停、异步模块运行，器件功耗降低
- LDO 休眠，唤醒后需要稳定时间
- 支持低功耗唤醒，唤醒时间可配
- 所有 I/O 端口将保持进入 IDLE0 模式前的状态
- 若使能 WDT，则 WDT 将被清零并保持运行
- N_PD 位被清零，N_TO 位被置 1

◇ IDLE1 浅睡眠模式

- 时钟源停振，主系统时钟暂停
- 程序暂停、同步模块暂停、异步模块运行，器件功耗降低
- LDO 正常工作
- 支持低功耗唤醒，唤醒时间可配
- 所有 I/O 端口将保持进入 IDLE1 前的状态
- 若使能 WDT，则 WDT 将被清零并保持运行
- N_PD 位被清零，N_TO 位被置 1

◇ IDLE2 快速唤醒睡眠模式

- 时钟源工作，主系统时钟暂停
- 程序暂停、同步模块暂停、异步模块运行，器件功耗降低
- LDO 正常工作
- 支持快速唤醒
- 所有 I/O 端口将保持进入 IDLE2 前的状态
- 若使能 WDT，则 WDT 将被清零并保持运行
- N_PD 位被清零，N_TO 位被置 1

5.5.2 低功耗模式配置

三种低功耗模式 IDLE0、IDLE1 和 IDLE2 模式的选择，由 PWRC 寄存器中的 LPM<1:0> 位控制。当 LPM = 00 时，执行 IDLE 指令，芯片进入 IDLE0 模式；当 LPM = 01 时，执行 IDLE 指令，芯片进入 IDLE1 模式；当 LPM = 10 或者 11 时，执行 IDLE 指令，芯片进入 IDLE2 模式。

LPM (PWRC<7:6>)	低功耗模式
00	IDLE0 模式
01	IDLE1 模式
10/11	IDLE2 模式

表 5-1 低功耗模式配置表

为了降低功耗，所有 I/O 管脚都应保持为高电平或低电平。为了避免输入管脚悬空而引入

开关电流，应在外部将高阻输入的 I/O 管脚通过上拉或下拉电阻接为高电平或低电平，MRSTN 管脚必须处于逻辑高电平。如果产品封装引脚数小于最大引脚数，则未引出的和未使用的 I/O 管脚都需设置为输出低电平。

5.5.3 IDLE唤醒方式配置

当系统进入低功耗模式后，程序处于暂停状态，以下几种方式可将系统唤醒。

序号	唤醒方式	中断屏蔽	中断使能	中断模式	备注
1	MRSTN	—	—	—	—
2	WDT	—	—	—	WDT 溢出
3	PINTx	—	PIEx	默认/向量	—
4	I2CINT	—	I2CIE	默认/向量	只在 IDLE2 模式可唤醒

表 5-2 唤醒方式配置表

注：低功耗唤醒与全局中断使能无关。在低功耗模式时，若外设产生中断信号，即使默认中断模式下，全局中断使能 GIE 为 0，或向量中断模式下，高优先级中断使能 GIE 和低优先级中断使能 GIEL 均为 0，低功耗模式依然会被唤醒，只是唤醒后不会执行中断程序。

5.5.4 唤醒时序图

当唤醒事件发生后，芯片唤醒时间由 LDO 稳定时间 (VRwkdly) 和唤醒延时 (Twkdly) 两部分组成。

- ◇ 在 IDLE0 模式 (LPM=00) 下，芯片需要先等待 VRwkdly 时间 (由 WKDC<7:0> 设定)，此时间称为 LDO 稳定时间，最短为 64 个 16MHz 时钟周期 (Tinthrc)。之后芯片主时钟稳定一段 Twkdly 时间后才执行 IDLE 下一条指令，Twkdly 称为唤醒延时，唤醒延时为 4 个 Tosc 系统时钟周期；
- ◇ 在 IDLE1 模式 (LPM=01) 下，无 LDO 稳定时间，只有唤醒延时，唤醒延时为 16 个 Tosc 系统时钟周期。
- ◇ 在 IDLE2 模式 (LPM=10 或者 11) 下，无 LDO 稳定时间，无唤醒延时，可快速唤醒。

低功耗模式	唤醒时间	
	IDLE0 模式	VRwkdly
Twkdly		4Tosc
IDLE1 模式	VRwkdly	0
	Twkdly	16Tosc
IDLE2 模式	VRwkdly	0
	Twkdly	0

表 5-3 唤醒时间计算表

注：以上唤醒时间为理论值，Tinthrc 为内部 16MHz 时钟周期，内部 16MHz 振荡器稳定前的时钟频率可能会低于 16MHz，以实际芯片为准。

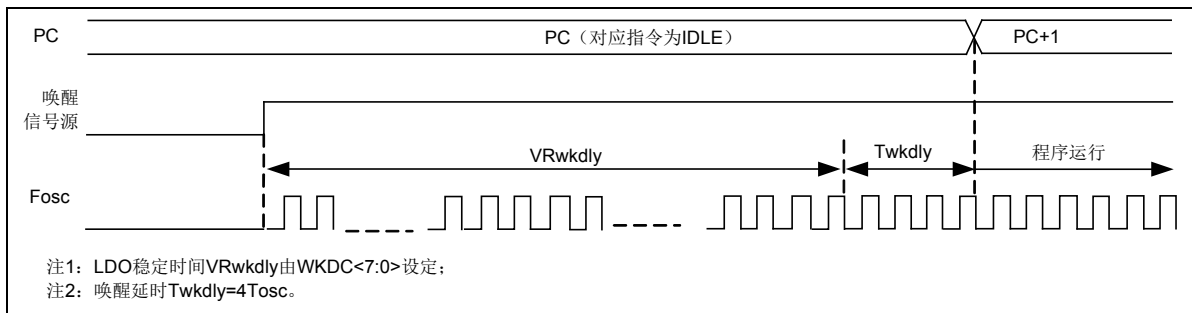


图 5-12 系统唤醒 IDLE0 的时序图

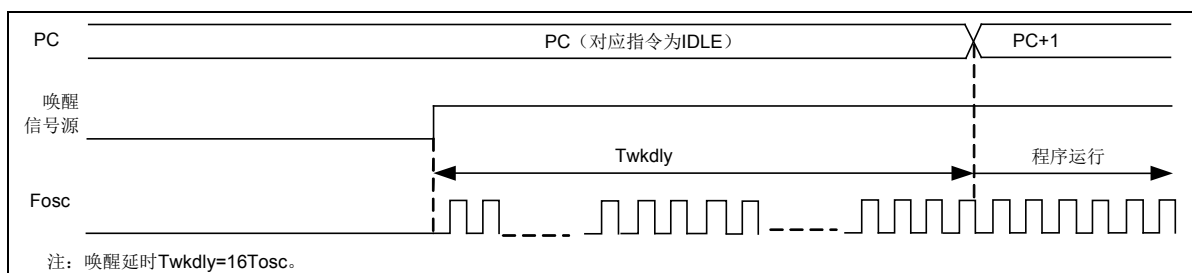


图 5-13 系统唤醒 IDLE1 的时序图

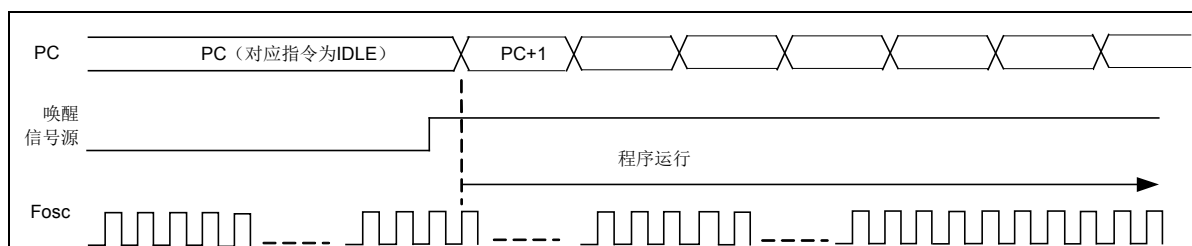


图 5-14 系统唤醒 IDLE2 的时序图

5.5.5 特殊功能寄存器

5.5.5.1 唤醒延时控制寄存器 (WKDC)

WKDC: 唤醒延时控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	WKDC<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	1	1	1	1	1	1	1	1

Bit 7~0 WKDC<7:0>: 唤醒延时时间设置位
 0FH: 延时最短 (设置值小于 0FH 时无效, 仍等效于 0FH)

 FFH: 延时最长

第6章 外设

6.1 8 位定时/计数器 (T8N)

6.1.1 概述

8 位定时器/计数器包括定时器和计数器两种工作模式。定时器模式根据寄存器制定的定时时间进行定时，可以使定时器有选择地产生中断请求或完成其它操作。计数器模式用于对外部时钟信号 (T8NCKI) 进行计数。

- ◇ T8N 支持两种工作模式
 - 定时器模式 (时钟源为系统时钟二分频 (Fosc/2) 或者 INTLRC 时钟)
 - 同步计数器模式 (时钟源为外部输入时钟 T8NCKI)
- ◇ T8N 支持以下功能组件
 - 8 位预分频器 (无实际物理地址, 不可读写)
 - 8 位计数器寄存器 (T8N)
 - 8 位控制寄存器 (T8NC)
- ◇ 中断和暂停
 - 支持溢出中断标志 (T8NIF)
 - 支持中断处理
 - 在 IDLE 模式下, T8N 暂停

6.1.2 内部结构图

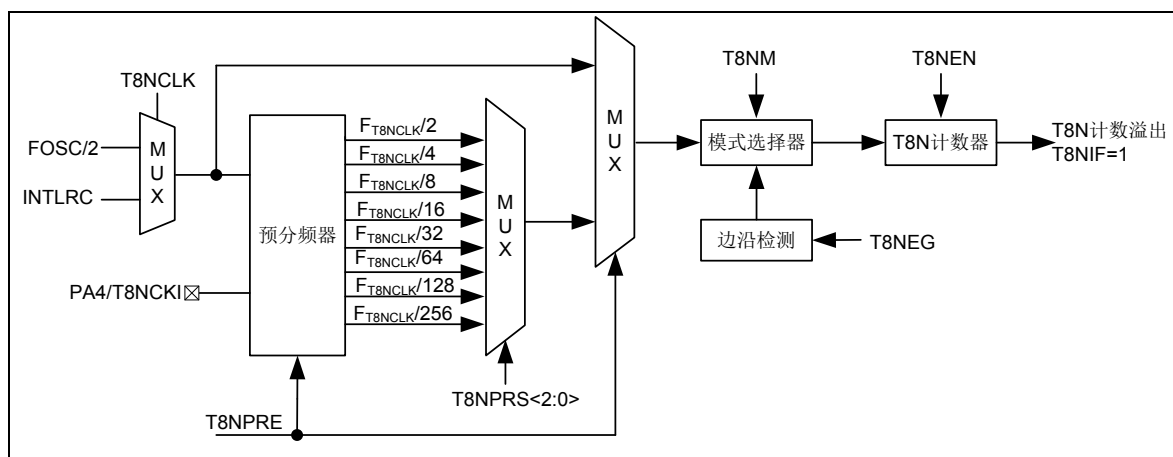


图 6-1 T8N 内部结构图

6.1.3 预分频器

预分频器可以提供定时器/计数器一个更长的溢出周期。当 T8NC 寄存器中的 T8NPRE 为“1”时, 使能 T8N 预分频器。任何对 T8N 计数器的写操作都会清零预分频器, 改写后立即更新, 但不影响预分频器的分频比设置, 预分频器的计数值无法读写。预分频器的分频比可通过 T8NC 寄存器中的 T8NPRS <2:0> 位进行设置, 预分频比范围为 1:2~1:256。

注 1: 当使用 INTLRC 为计数时钟时, 必须使能预分频控制位。

注 2: 建议不要在 T8N 计数时, 改写 T8N 计数器和预分频值, 否则会影响改写后的第一次计数的时间。

工作模式	T8NPRE	T8NPRS<2:0>	T8N 计数时钟	
			T8NCLK=0	T8NCLK=1
定时器模式	0	—	Fosc/2	—
	1	000	(Fosc/2) /2	Fintlrc /2
	1	001	(Fosc/2) /4	Fintlrc /4
	1	010	(Fosc/2) /8	Fintlrc /8
	1	011	(Fosc/2) /16	Fintlrc /16
	1	100	(Fosc/2) /32	Fintlrc /32
	1	101	(Fosc/2) /64	Fintlrc /64
	1	110	(Fosc/2) /128	Fintlrc /128
	1	111	(Fosc/2) /256	Fintlrc /256
工作模式	T8NPRE	T8NPRS<2:0>	T8N 计数时钟	
计数器模式	0	—	T8NCKI	
	1	000	T8NCKI /2	
	1	001	T8NCKI /4	
	1	010	T8NCKI /8	
	1	011	T8NCKI /16	
	1	100	T8NCKI /32	
	1	101	T8NCKI /64	
	1	110	T8NCKI /128	
	1	111	T8NCKI /256	

表 6-1 T8N 预分频器配置表

6.1.4 工作模式

T8N 有两种工作模式，定时器模式和计数器模式，通过 T8NM 进行选择。定时器和计数器计数模式均支持预分频器。配置为定时器模式时，T8N 计数器的时钟源可通过 T8NC 寄存器中的 T8NCLK 位选择为系统时钟 2 分频 (Fosc/2) 或 INTLRC；配置为计数器模式时，T8N 计数器的时钟源为经二分频后的系统时钟 Fosc/2 同步的外部输入时钟 T8NCKI，因此 T8NCKI 输入时钟信号的高电平和低电平时间都至少为一个机器周期。通过 T8NC 寄存器中的 T8NEG 位选择外部时钟的计数边沿为上升沿或下降沿。T8NCKI 所在 IO 端口必须配置为数字输入状态。

T8NM	T8NCLK	工作模式	时钟源
0	0	定时器模式	Fosc/2
0	1	定时器模式	INTLRC
1	0	同步计数器模式	T8NCKI

表 6-2 T8N 工作模式配置表

6.1.5 定时器模式

T8N 计数器为递增计数，计数值由 FF_H 变为 00_H 时，T8N 计数器发生溢出并重新开始计数。T8N 计数器发生溢出时，中断标志 T8NIF 位被置“1”，产生 T8N 溢出中断。在 CPU

进入休眠模式后，T8N 模块不工作，因此不产生中断。

当 T8N 配置为定时器模式时，若禁止预分频器，则 T8N 计数器的时钟只能选择为系统时钟二分频 ($F_{osc}/2$)，不能选择为 INTLRC；若使能预分频器，分频器对 $F_{osc}/2$ 或 INTLRC 进行分频，此时，T8N 计数器的计数时钟为分频后的时钟。

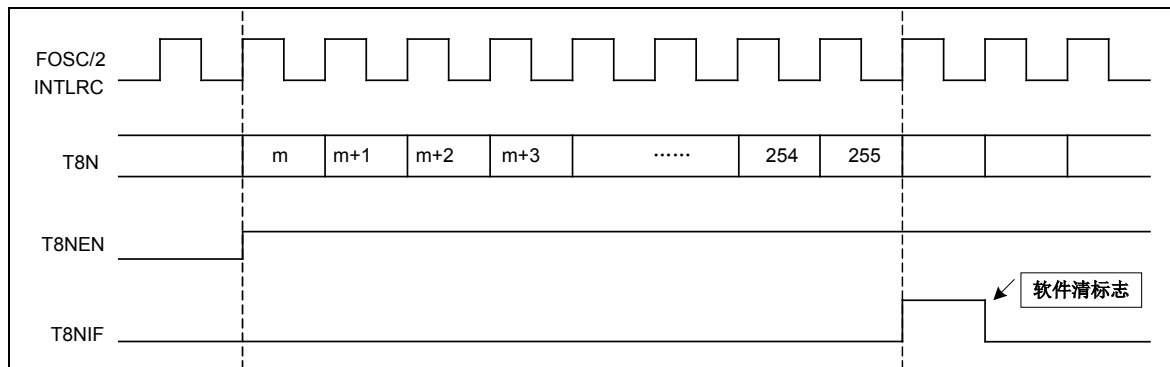


图 6-2 定时器模式时序图

6.1.6 同步计数器模式

当 T8N 配置为同步计数器模式时，若禁止预分频器，T8N 计数器的时钟为外部输入时钟 T8NCKI，内部相位时钟 p2 将对时钟 T8NCKI 进行同步。所以 T8NCKI 保持高电平或者低电平的时间至少为一个机器周期。通过设置 T8NEG (T8NC<4>)选择外部时钟的计数边沿为上升沿或下降沿。

同样，同步计数器模式也支持预分频器对外部时钟 T8NCKI 进行分频。并且，T8NCKI 复用的 IO 端口必须配置为数字输入状态。

T8N 计数器为递增计数，计数值由 FFH 变为 00H 时，T8N 计数器发生溢出并重新开始计数。T8N 计数器发生溢出时，中断标志 T8NIF 位被置“1”，产生 T8N 溢出中断。在 CPU 进入休眠模式后，T8N 模块不工作，因此不产生中断。

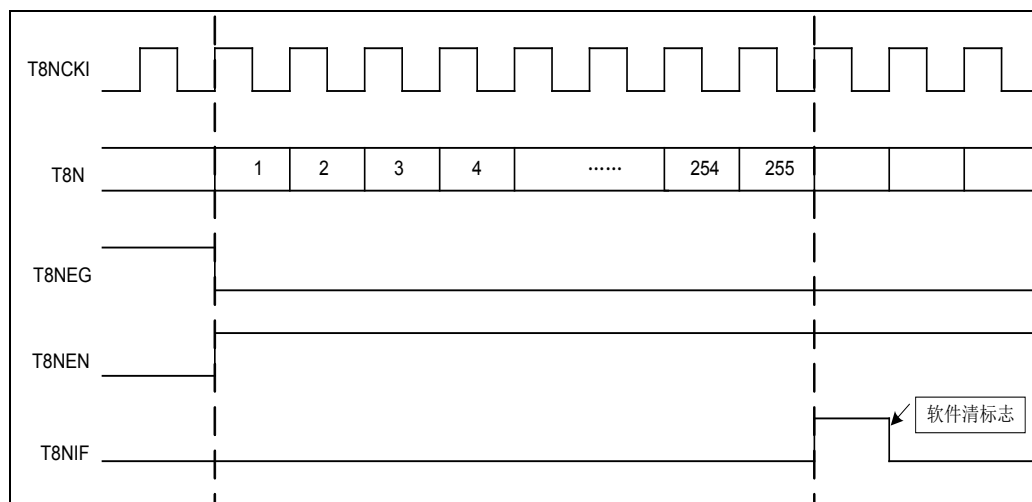


图 6-3 计数器模式时序图 (T8NEG=0, T8NCKI 上升沿计数)

6.1.7 特殊功能寄存器

8 位定时器/计数器 T8N 由两个寄存器控制，一个 8 位计数器寄存器 T8N 和一个控制寄

寄存器 T8NC。T8N 寄存器用于存放计数值，T8NC 控制寄存器用于控制 T8N 的使能、T8N 的模式选择、T8NCKI 计数边沿选择、预分频器使能位以及预分频器分频比选择。

6.1.7.1 T8N计数器寄存器 (T8N)

T8N: T8N 计数器寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T8N <7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7~0 T8N <7:0>: 8 位 T8N 计数值

6.1.7.2 T8N控制寄存器 (T8NC)

T8NC: T8N 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	T8NEN	T8NCLK	T8NM	T8NEG	T8NPRE	T8NPRS<2:0>		
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
RESET	0	0	0	0	0	0	0	0

Bit 7 T8NEN: T8N 模块使能位

- 0: 关闭
- 1: 使能

Bit 6 T8NCLK: T8N 定时时钟源选择位

- 0: 系统时钟二分频 $F_{osc}/2$
- 1: INTLRC 时钟 (必须同时使能 T8N 的预分频控制位, 即 T8NPRE=1)

Bit 5 T8NM: T8N 模式选择位

- 0: 定时器模式
- 1: 同步计数器模式

Bit 4 T8NEG: T8NCKI 同步计数边沿选择位

- 0: T8NCKI 上升沿计数
- 1: T8NCKI 下降沿计数

Bit 3 T8NPRE: 预分频器使能位

- 0: 禁止
- 1: 使能

Bit 2~0 T8NPRS <2:0>: 预分频器分频比选择位

- 000: 1:2
- 001: 1:4
- 010: 1:8
- 011: 1:16
- 100: 1:32
- 101: 1:64
- 110: 1:128
- 111: 1:256

6.2 16 位多功能定时器 (T21)

6.2.1 概述

16 位多功能定时器 T21 共有 4 种工作模式：定时器模式、多精度 PWM 模式、捕捉器模式、比较器模式。

◇ T21 支持 4 种工作模式

- 定时器模式（时钟源为 Fosc）
- 多精度 PWM 模式，支持 3 路独立的 PWM 输出，输出占空比、极性都可独立设置
- 捕捉器模式，支持 3 路独立的捕捉输入，每路输入捕捉边沿可分别设置
- 比较器模式，支持 3 路独立的比较输出

◇ T21 支持以下功能组件

- 4 位预分频器和 7 位后分频器（无实际物理地址，不可读写）
- 16 位计数器 T21（计数器初始值可写）
- 16 位捕捉/比较/精度寄存器 T21Rn
- 16 位周期寄存器 T21P
- 多功能控制寄存器 T21CL、T21CM、T21CH
- 多功能输入输出控制寄存器 T21OC

◇ 中断和暂停

- 支持溢出中断 T21VIF、周期匹配中断 T21PIF 和多功能中断 T21MIF
- 在 IDLE 模式下，停止工作

注 1: 精度寄存器和周期寄存器的更新，在写低 8 位寄存器时，同时加载高位寄存器的值，因此寄存器更新时，需要先写高 8 位寄存器，再写低 8 位寄存器；

注 2: 管脚图中的 T21_CH0/T21_CH1/T21_CH2 分别代表的是本节中多精度 PWM 模式的输出通道 PWM210/PWM211/PWM212、捕捉输入模式的通道 T21CI0/T21CI1/T21CI2、比较输出模式的输出通道 T21CO0/T21CO1/T21CO2；

注 3: T21Rn 中 n 代表 0, 1, 2。

6.2.2 内部结构图

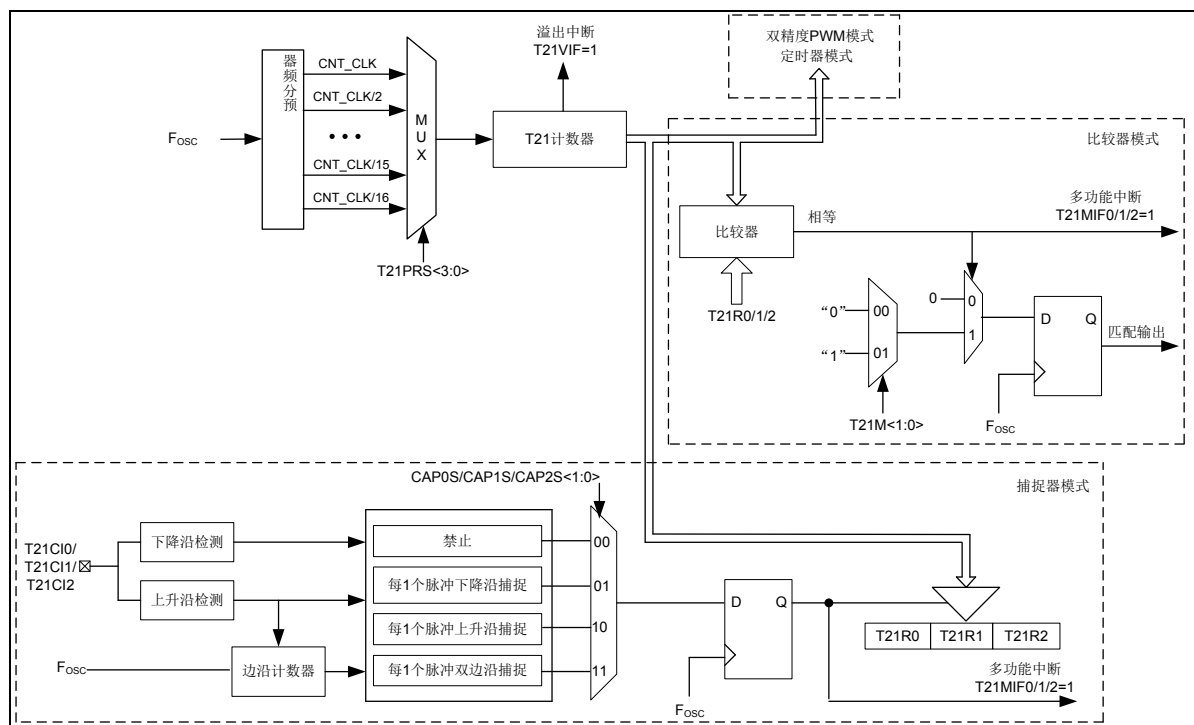


图 6-4 T21 内部结构图

6.2.3 预分频器和后分频器

预分频器可以提供更长的溢出周期。T21 支持可配置的预分频器。通过 T21CM 寄存器中的 T21PRS 位配置预分频器的分频比，预分频比的范围为 1:1 ~ 1:16。任何对计数器或控制寄存器的写操作都会使预分频器和后分频器清零，但不改变配置的分频比。预分频器和后分频器的计数值不可读写。

后分频器的分频比可通过 T21CH 寄存器中的 T21POS<6:0>位进行设置，后分频比范围为 1:1~1:128，通过计数器与周期寄存器值的匹配，来进行后分频。

6.2.4 工作模式

T21 有 4 种工作模式，定时器模式、多精度 PWM 模式、捕捉器模式、比较器模式，通过 T21M<3:0>进行模式选择。

T21EN 置 1 使能之前，需先由 T21M 设定工作模式，选择计数时钟，并配置好预分频器、后分频器、周期等参数，且需保证计数时钟在 T21EN 使能时已稳定。

6.2.5 定时器模式

当 T21M 为 0000 时，T21 工作在定时器模式。

T21 计数器的时钟源为系统时钟 Fosc，并支持预分频器和后分频器。

T21 计数器为可读写寄存器，支持计数初值的设置和计数过程中的计数值改变。

T21EN 使能时，16 位定时器 T21 对计数时钟进行递增计数，当 T21 的计数值与周期寄存器 T21P 相等时，后分频计数器加 1，同时 T21 计数器被自动清零并重新开始计数。

当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将定时溢出中断标志 T21VIF 置“1”，该中断标志需要软件清零。

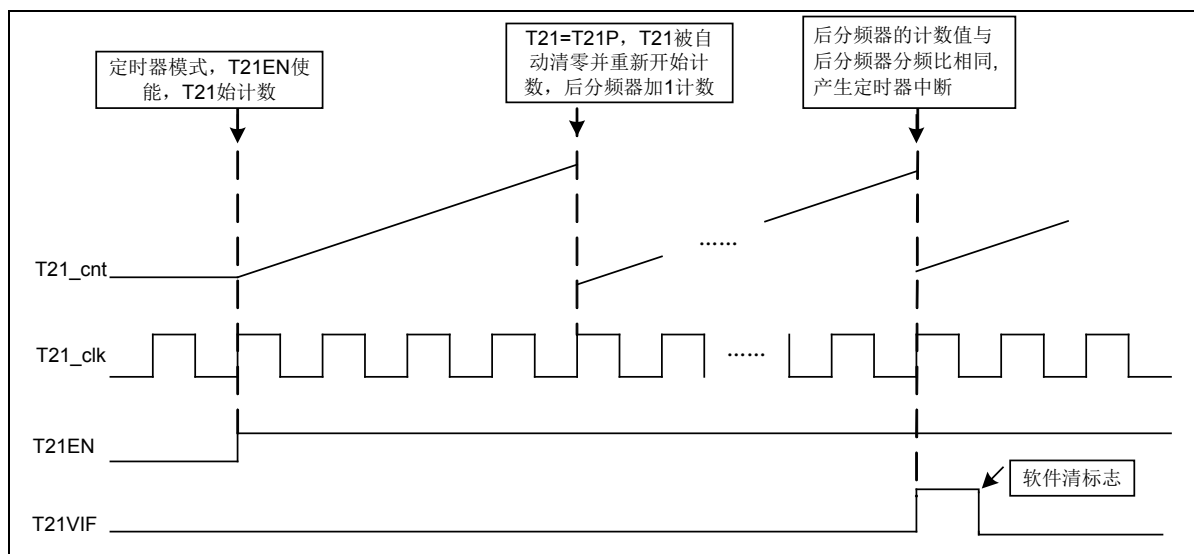


图 6-5 T21 定时器模式时序图

6.2.6 多精度PWM模式

T21M 为“1100”时，T21 工作在多精度 PWM 模式，支持 3 路 PWM 输出 PWM210、PWM211 和 PWM212，可分别通过 T21R0、T21R1 和 T21R2 独立设置 PWM 占空比，并可通过 T21CM、T21OC 寄存器的控制位独立设置输出极性。

多精度 PWM 模式计数时钟源为系统时钟 Fosc，并支持预分频器和后分频器。此模式下，后分频比不影响 PWM 周期，只影响计数溢出中断标志 T21VIF。

如下图所示，当 T21EN 使能，T21TR 为 0 时，PWM 输出关闭，并保持 PWM210/1/2 输出为 0；设置 T21TR 为 1 时，PWM 输出波形启动，PWM210/ PWM211/ PWM212 输出起始为 1，同时分别将 16 位周期寄存器 T21P 和 16 位精度寄存器 T21R0/T21R1/T21R2 寄存器的内容，更新至 16 位 PWM 周期缓冲器 PRDBUF 和 16 位精度缓冲器 RESBUF0/RESBUF1/RESBUF2（该缓冲器软件不可读写），随后 16 位计数器 T21 从零开始递增计数，当 T21 与 RESBUF0/RESBUF1/RESBUF2 的值相等时，PWM210/ PWM211/ PWM212 输出改变为 0，并继续递增计数。当 T21 的计数值与 PRDBUF 相等时，后分频计数器加 1，PWM210/PWM211/PWM212 输出恢复为 1，同时 PRDBUF 和 RESBUF0/RESBUF1/RESBUF2 再次分别载入 T21P 和 T21R0/T21R1/T21R2 寄存器的值，并产生周期中断标志 T21PIF，该中断标志需要软件清零。至此一个完整的 PWM 周期完成，随后计数器 T21 从零开始递增计数，继续循环产生新的 PWM 周期。当后分频器的计数值与后分频器分频比相同时，复位后分频器，并将计数溢出中断标志 T21VIF 置“1”，该中断标志需要软件清零。

特别的，若精度缓冲器 RESBUF 的值不小于周期缓冲器 PRDBUF，当输出极性选择高有效时，则当前 PWM 周期内 PWM 输出始终为 1；反之，当输出极性选择低有效时，则当前 PWM 周期内 PWM 输出始终为 0。

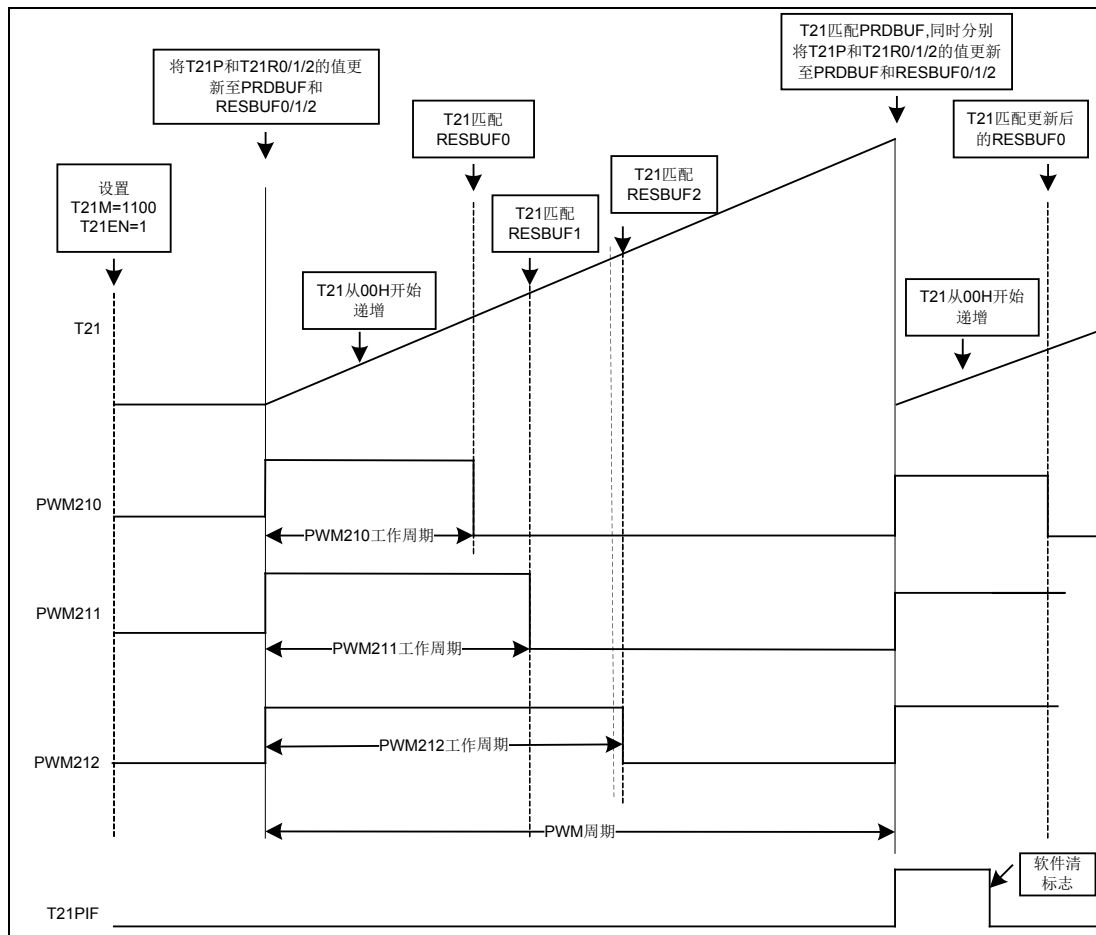


图 6-6 T21 多精度 PWM 模式示意图

PWM 计算公式如下：

$$\text{PWM 周期} = (T21P + 1) \times T_{osc} \times (\text{预分频器分频比})$$

$$\text{PWM 频率} = 1 / (\text{PWM 周期})$$

$$\text{PWM 脉宽} = (T21R0/1/2 + 1) \times T_{osc} \times (\text{预分频器分频比})$$

$$\text{PWM 占空比} = (\text{PWM 脉宽}) / (\text{PWM 周期})$$

给定 PWM 频率，PWM 的最大分辨率可计算为：

$$\text{分辨率} = \frac{\log\left(\frac{F_{osc}}{F_{pwm} * F_{ckps}}\right)}{\log 2}$$

Fckps 是计数器的预分频器的分频比。

- 注：当 T21Rn=0 时，PWM 脉宽= T_{osc} × (预分频器分频比)。如果需要 PWM 输出为 0，可选择先设置 PWM 输出所对应的管脚为低电平，并设置相应的 PT2EN<1:0>、PT1EN 或者 PT0EN<1:0>为全零，硬件会自动关闭相应 I/O 端口的 PWM 输出功能。

6.2.7 捕捉器模式

T21M 设置为“01xx”时，T21 工作在捕捉器模式，T21 支持 3 个相互独立的捕捉输入端口 T21CI0、T21CI1 和 T21CI2。该模式下支持 3 种捕捉条件选择。

T21 配置为捕捉模式时，时钟源为系统时钟（Fosc）。在此模式下，16 位计数器 T21 进

行递增计数，当 T21CI0/T21CI1/T21CI2 输入信号的变化状态满足捕捉条件时，计数器 T21 的值将被载入到相应的 16 位捕捉寄存器 T21R0/T21R1/T21R2 中，并产生多功能中断 T21MIF0/T21MIF1/T21MIF2，该中断必须由软件清零。计数器继续递增计数。若下一次捕捉事件发生时，捕捉寄存器 T21R0/T21R1/T21R2 中的值未被及时读取，将被新捕捉的值覆盖。当计数值溢出时（即从 FFFF_H变为 0000_H），产生溢出中断 T21VIF，该中断必须软件清零。

T21 支持 1 个用于捕捉条件判断的边沿计数器，此边沿计数器仅在捕捉模式有效。当 T21 关闭或切换为其它模式时，该边沿计数器被清零，但在 T21 的 4 种捕捉模式相互切换时，该边沿计数器不会被清零。因此，当切换捕捉模式后，首次捕捉可能存在误差，同时也可能导致错误的中断产生。为了避免产生错误中断，用户在改变模式时应该先禁止 T21 相应中断使能位，并且清除中断标志。

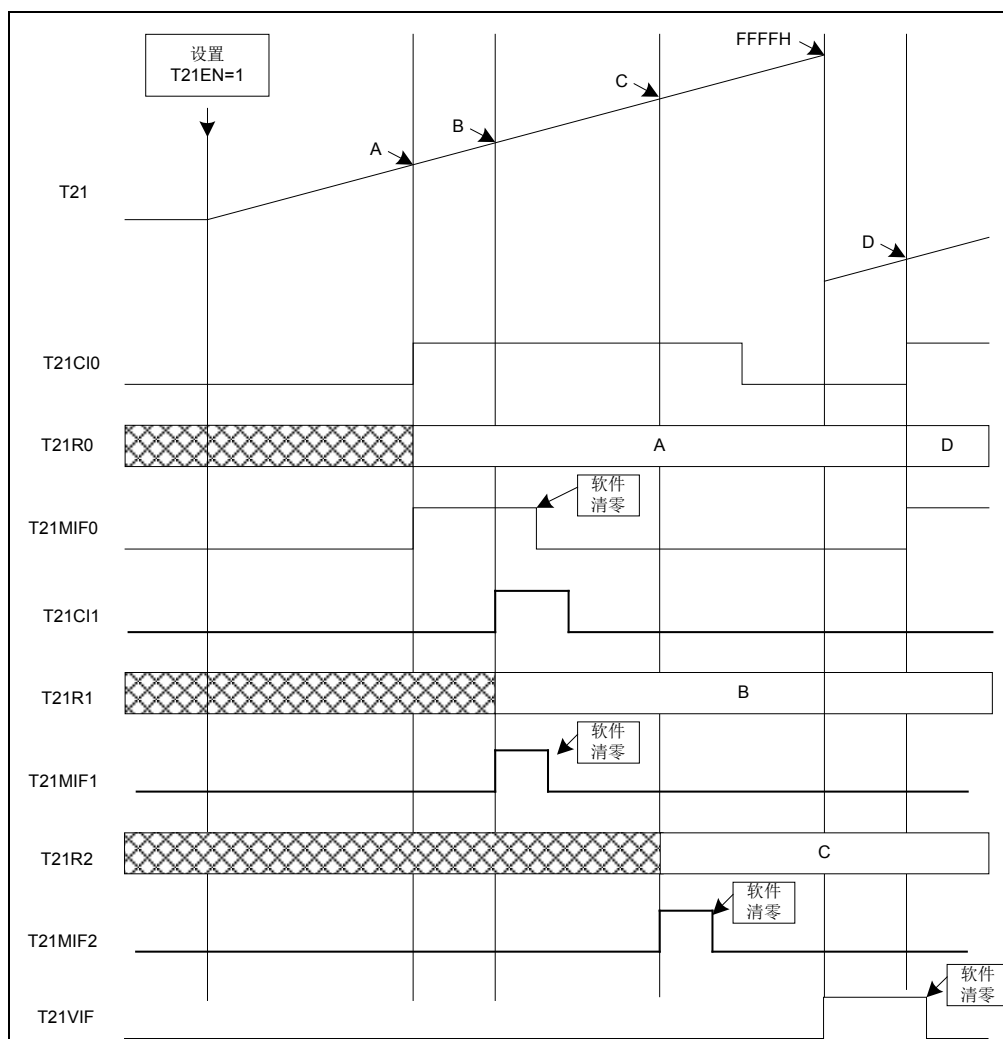


图 6-7 T21 捕捉器模式时序图（每个脉冲上升沿捕捉信号）

6.2.8 比较器模式

T21M 设置为“10xx”时，T21 工作在比较器模式，T21 支持 3 个相互独立的比较输出端口 T21CO0、T21CO1 和 T21CO2。

比较器模式时钟源为系统时钟（Fosc）。在此模式下，16 位计数器 T21 进行递增计数。

当计数器 T21 的计数值与比较寄存器 T21R0/T21R1/T21R2 中的值相等时，执行相应的比较匹配事件，并产生多功能中断 T21MIF0/T21MIF1/T21MIF2，该中断必须软件清零。当计数值溢出时（即从 FFFF_H 变为 0000_H），产生溢出中断 T21VIF，该中断必须软件清零；计数溢出后，继续从 0 开始递增计数。

比较器模式配置位 T21M 配置为 1000 或 1001 时，当 T21 计数器匹配 T21R0L/T21R0H 时，T21CO0 端口输出 0 或 1 并保持；当 T21 计数器匹配 T21R1L/T21R1H 时，T21CO1 端口输出 0 或 1 并保持；当 T21 计数器匹配 T21R2L/T21R2H 时，T21CO2 端口输出 0 或 1 并保持。

比较器模式配置位 T21M 配置为 1011 时，当 T21 计数器匹配 T21R0L/T21R0H、T21R1L/T21R1H 或 T21R2L/T21R2H 时，T21 被清零，并可触发 ADC 转换。ADC 必须先使能，且设置为硬件采样，即 ADCCL 寄存器的 ADEN 和 SMPS 控制位都需设置为 1。特别注意：因匹配时 T21 被清零，因此只有 T21R0L/T21R0H、T21R1L/T21R1H 或 T21R2L/T21R2H 中的较小值在该模式下有效。

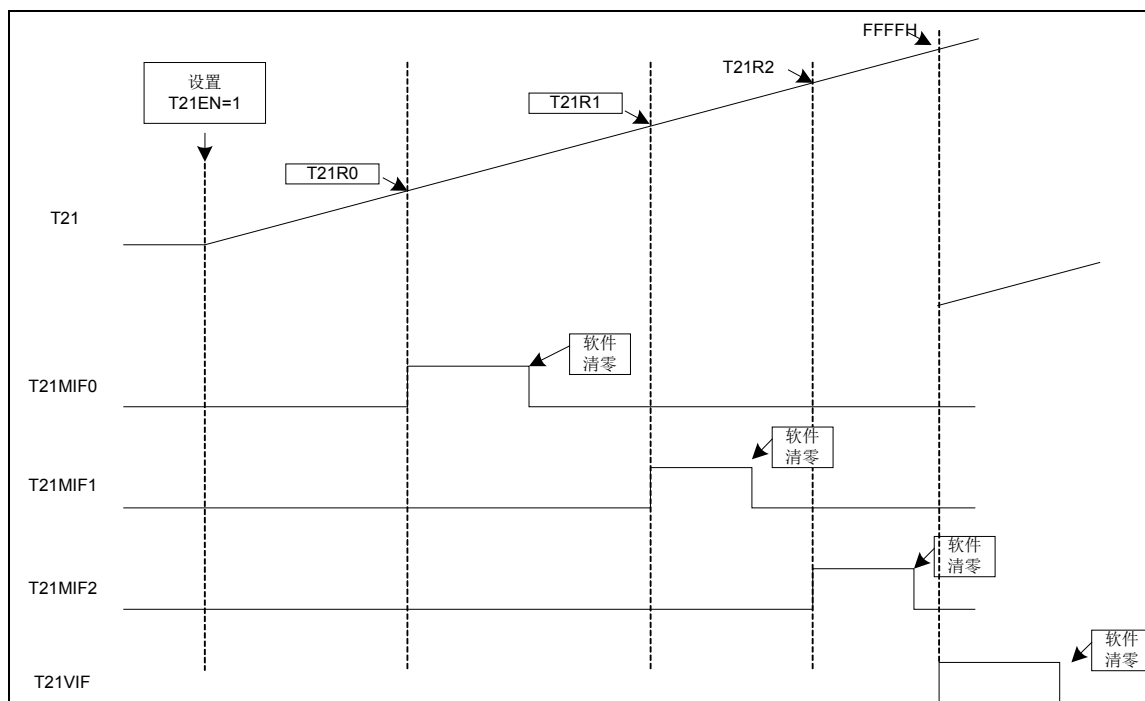


图 6-8 T21 比较器模式时序图

6.2.9 多功能复用输出端口

T21 工作在多精度 PWM 和比较器模式下时，通过设置 T21OC 寄存器的控制位 PT0EN、PT1EN 和 PT2EN，可选择 PWM 和比较输出到 IO 端口；如果控制位 PT0EN、PT1EN 和 PT2EN 选择禁止输出时，则 IO 端口不会输出 PWM 波形和比较结果，此时 IO 端口输出的高/低电平由 IO 端口寄存器的赋值决定。注意，在多精度和比较器模式下，相应的 IO 端口方向寄存器需设置为输出。

6.2.10 特殊功能寄存器

6.2.10.1 计数器寄存器低 8 位 (T21L)

T21L: T21 计数器低 8 位 (T21L)								
Bit	7	6	5	4	3	2	1	0
Name	T21<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T21<7:0>: T21 计数器低 8 位

6.2.10.2 计数器寄存器高 8 位 (T21H)

T21H: T21 计数器高 8 位 (T21H)								
Bit	7	6	5	4	3	2	1	0
Name	T21<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T21<15:8>: T21 计数器高 8 位

6.2.10.3 周期寄存器低 8 位 (T21PL)

T21PL: T21 周期寄存器低 8 位 (T21PL)								
Bit	7	6	5	4	3	2	1	0
Name	T21P<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 T21P<7:0>: PWM 周期值低 8 位

6.2.10.4 周期寄存器高 8 位 (T21PH)

T21PH: T21 周期寄存器高 8 位 (T21PH)								
Bit	7	6	5	4	3	2	1	0
Name	T21P<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 T21P<15:8>: PWM 周期值高 8 位

注: 周期寄存器的更新, 在写低 8 位寄存器时, 会同时加载高位寄存器的值, 因此寄存器更新时, 需要先写高 8 位寄存器, 再写低 8 位寄存器。

6. 2. 10. 5 多功能寄存器 0 低 8 位 (T21R0L)

T21R0L: T21 精度寄存器 0 低 8 位 (T21R0L)								
Bit	7	6	5	4	3	2	1	0
Name	T21R0<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T21R0<7:0>:
 多精度 PWM 模式: PWM210 精度值低 8 位
 捕捉模式: T21CI0 捕捉值低 8 位
 比较模式: T21CO0 比较值低 8 位

6. 2. 10. 6 多功能寄存器 0 高 8 位 (T21R0H)

T21R0H: T21 精度寄存器 0 高 8 位 (T21R0H)								
Bit	7	6	5	4	3	2	1	0
Name	T21R0<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T21R0<15:8>:
 多精度 PWM 模式: PWM210 精度值高 8 位
 捕捉模式: T21CI0 捕捉值高 8 位
 比较模式: T21CO0 比较值高 8 位

6. 2. 10. 7 多功能寄存器 1 低 8 位 (T21R1L)

T21R1L: T21 精度寄存器 1 低 8 位 (T21R1L)								
Bit	7	6	5	4	3	2	1	0
Name	T21R1<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T21R1<7:0>:
 多精度 PWM 模式: PWM211 精度值低 8 位
 捕捉模式: T21CI1 捕捉值低 8 位
 比较模式: T21CO1 比较值低 8 位

6. 2. 10. 8 多功能寄存器 1 高 8 位 (T21R1H)

T21R1H: T21 精度寄存器 1 高 8 位 (T21R1H)								
Bit	7	6	5	4	3	2	1	0
Name	T21R1<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T21R1<15:8>:
 多精度 PWM 模式: PWM211 精度值高 8 位

捕捉模式: T21CI1 捕捉值高 8 位
比较模式: T21CO1 比较值高 8 位

6.2.10.9 多功能寄存器 2 低 8 位 (T21R2L)

T21R2L: T21 精度寄存器 2 低 8 位 (T21R2L)								
Bit	7	6	5	4	3	2	1	0
Name	T21R2<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T21R2<7:0>:
多精度 PWM 模式: PWM212 精度值低 8 位
捕捉模式: T21CI2 捕捉值低 8 位
比较模式: T21CO2 比较值低 8 位

6.2.10.10 多功能寄存器 2 高 8 位 (T21R2H)

T21R2H: T21 精度寄存器 2 高 8 位 (T21R2H)								
Bit	7	6	5	4	3	2	1	0
Name	T21R2<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 T21R2<15:8>:
多精度 PWM 模式: PWM212 精度值高 8 位
捕捉模式: T21CI2 捕捉值高 8 位
比较模式: T21CO2 比较值高 8 位

注: 精度寄存器更新, 在写低 8 位寄存器时, 会同时加载高位寄存器的值, 因此寄存器更新时, 需要先写高 8 位寄存器, 再写低 8 位寄存器;

6.2.10.11 控制寄存器低 8 位 (T21CL)

T21CL: T21 控制寄存器低 8 位 (T21CL)								
Bit	7	6	5	4	3	2	1	0
Name	T21M<3:0>				CAP1S<1:0>		CAP0S<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 T21M <3:0>: T21 工作模式选择位
0000: 定时器模式 (计数器时钟源为 Fosc)
0000~0011: 保留未用
01xx: 捕捉模式
1000: 比较器模式, 匹配时输出 1
1001: 比较器模式, 匹配时输出 0
1010: 比较器模式, 匹配时不改变输出, 由 IO 输出状况决定
1011: 比较器模式, 匹配时复位 T21, 并触发 ADC 转换, 且不改变输出, 由 IO 输出状况决定

- 1100: 多精度 PWM 模式
- 其它: 保留未用
- Bit 3~2 **CAP1S<1:0>**: CAPTURE1 捕捉输入沿选择位
 - 00: 禁止
 - 01: 捕捉每 1 个脉冲下降沿
 - 10: 捕捉每 1 个脉冲上升沿
 - 11: 捕捉每 1 个脉冲双沿
- Bit 1~0 **CAP0S<1:0>**: CAPTURE0 捕捉输入沿选择位
 - 00: 禁止
 - 01: 捕捉每 1 个脉冲下降沿
 - 10: 捕捉每 1 个脉冲上升沿
 - 11: 捕捉每 1 个脉冲双沿

6.2.10.12 控制寄存器次高 8 位 (T21CM)

T21CM: T21 控制寄存器中 8 位 (T21CM)								
Bit	7	6	5	4	3	2	1	0
Name	CAP2S<1:0>		T21OM20	T21OM21	T21PRS<3:0>			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 **CAP2S<1:0>**: CAPTURE2 捕捉输入沿选择位
 - 00: 禁止
 - 01: 捕捉每 1 个脉冲下降沿
 - 10: 捕捉每 1 个脉冲上升沿
 - 11: 捕捉每 1 个脉冲双沿
- Bit 5 **T21OM20**: PWM210 输出极性选择位
 - 0: PWM210 高有效
 - 1: PWM210 低有效
- Bit 4 **T21OM21**: PWM211 输出极性选择位
 - 0: PWM211 高有效
 - 1: PWM211 低有效
- Bit 3~0 **T21PRS<3:0>**: T21 预分频器分频比选择位
 - 0000: 分频比为 1:1
 - 0001: 分频比为 1:2
 - 0010: 分频比为 1:3
 - 0011: 分频比为 1:4
 - 0100: 分频比为 1:5
 - 0101: 分频比为 1:6
 - 0110: 分频比为 1:7
 - 0111: 分频比为 1:8
 - 1000: 分频比为 1:9
 - 1001: 分频比为 1:10
 - 1010: 分频比为 1:11
 - 1011: 分频比为 1:12

- 1100: 分频比为 1:13
- 1101: 分频比为 1:14
- 1110: 分频比为 1:15
- 1111: 分频比为 1:16

6.2.10.13 控制寄存器高 8 位 (T21CH)

T21CH: T21 控制寄存器高 8 位 (T21CH)								
Bit	7	6	5	4	3	2	1	0
Name	T21EN	T21POS<6:0>						
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T21EN : T21 使能位
 0: 关闭
 1: 使能
- Bit 6~0 T21POS<6:0>: T21 后分频器分频值
 后分频次数 = T21POS<6:0> + 1

6.2.10.14 输入输出控制寄存器 (T21OC)

T21OC: T21 输入输出控制寄存器 (T21OC)								
Bit	7	6	5	4	3	2	1	0
Name	T21TR	—	PT2EN<1:0>		T21OM22	PT1EN	PT0EN<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T21TR: PWM 输出触发位
 0: PWM 输出为 0
 1: 启动 PWM 输出
- Bit 6 保留未用
- Bit 5~4 PT2EN<1:0>: T21CI2/PWM212/T21CO2 复用端口选择位
 00: 关闭, PA6、PA7 为通用端口
 01: 选择 PA6 端口
 10: 选择 PB7 端口
 11: 保留未用
- Bit 3 T21OM22: PWM212 输出极性选择位
 0: PWM212 高有效
 1: PWM212 低有效
- Bit 2 PT1EN: T21CI1/PWM211/T21CO1 复用端口选择位
 0: 关闭, PA7 为通用端口
 1: 选择 PA7 端口
- Bit 1~0 PT0EN<1:0>: T21CI0/PWM210/T21CO0 复用端口选择位
 00: 关闭, PA0、PB4 为通用端口
 01: 选择 PA0 端口
 10: 选择 PB4 端口
 11: 保留未用

6.3 16 位多功能定时器 (T31)

6.3.1 概述

16 位多功能定时器 T31 包括一个 16 位自动重载计数器，支持预分频器和后分频器，支持多种工作模式：定时器模式，捕捉器模式，比较器模式，PWM 模式，单脉冲模式，关断功能模式，从模式。

- ◇ T31 支持多种工作模式
 - 定时器模式（时钟源为 Fosc，外部时钟源模式 1，外部时钟源模式 2）
 - 捕捉器模式
 - 比较器模式
 - PWM 模式（普通 PWM 模式，中心对齐模式，带死区互补输出）
 - 单脉冲模式
 - 关断功能模式
 - 从模式（编码器模式，复位模式，门控模式，触发模式）
- ◇ T31 支持以下功能组件
 - 16 位自动重载计数器，支持递增计数，递减计数，递增/递减交替计数
 - 16 位可编程预分频器，计数时钟预分频范围为 1~65536
 - 8 位可编程后分频器，后分频范围为 1~256
 - 8 位死区延时寄存器 T31DLYT
 - 4 个 16 位捕捉/比较寄存器 T31CH1R、T31CH2R、T31CH3R 和 T31CH4R
 - 支持四个独立通道
- ◇ 中断和暂停
 - 支持关断中断 BKIF、外部触发中断 TRGIF、互补通道更新中断 CHUIF、通道多功能中断 MIFn、更新中断 UPIF、通道捕捉溢出中断 OVIFn，当中断发生时，如果对应的中断使能位为 1，则会置起 T31 总中断标志位 T31IF
 - 在 IDLE 模式下，停止工作

注：本章节中的字母 n 代表数字 1、2、3、4。

6.3.2 内部结构图

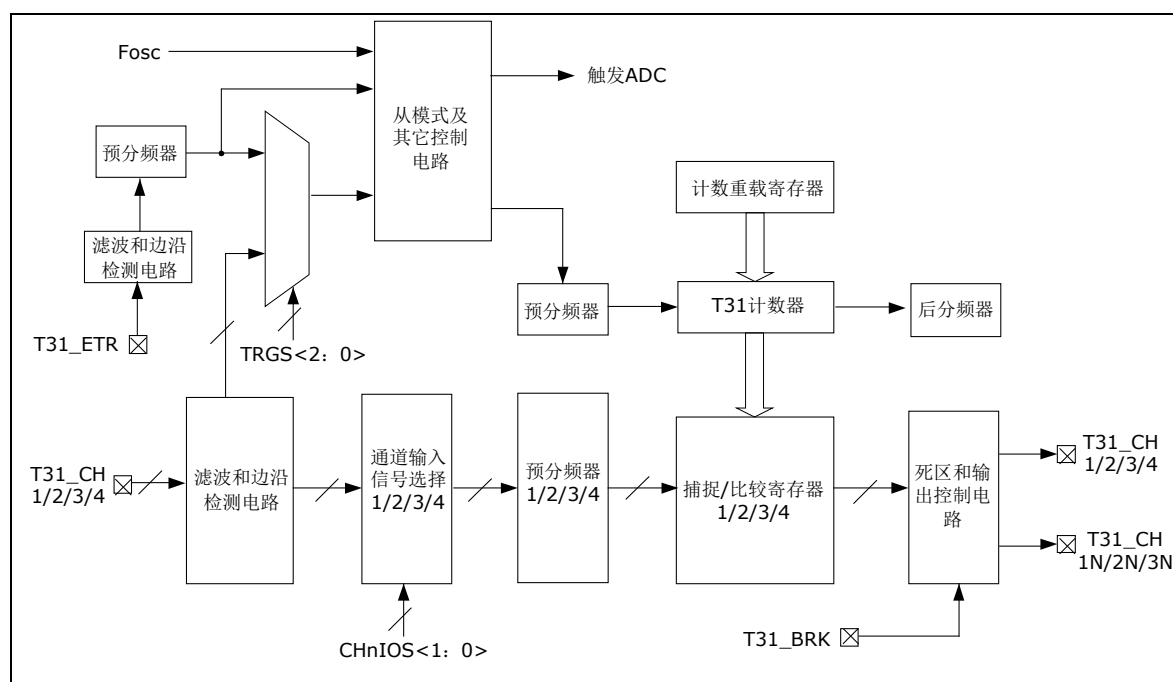


图 6-9 T31 内部结构图

6.3.3 时钟分频器

6.3.3.1 预分频器

预分频器包括一个 16 位预分频寄存器 T31PRS 和一个 16 位预分频计数器，预分频范围为 1~65536。其中预分频寄存器 T31PRS 可软件读写，并具有缓冲功能，所以寄存器 T31PRS 可在预分频计数器工作时被改写，更新后的预分频值直到下一次更新事件产生时才生效。

预分频计数器固定为递增计数方式，从 0 开始计数到 T31PRS 寄存器的值后，会自动清零并重新递增计数。

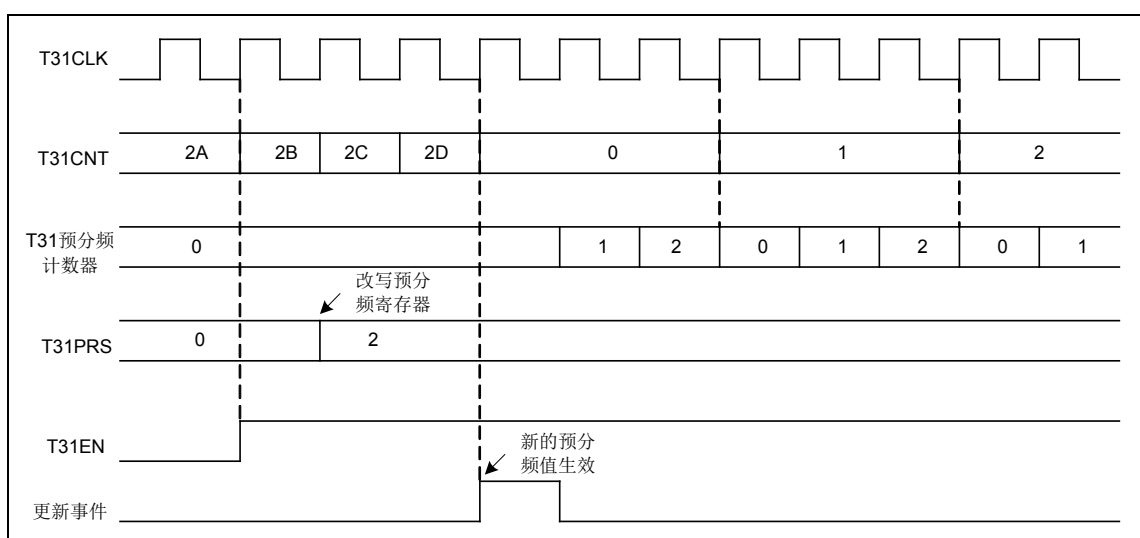


图 6-10 预分频比变更的计数时序图 (T31CNTLD=0x2D)

注：T31CLK 为系统时钟 Fosc。

6.3.3.2 后分频器

后分频器包括一个 8 位后分频寄存器 T31POS 和一个 8 位后分频计数器，后分频范围为 1~256。其中后分频寄存器 T31POS 可软件读写，并具有缓冲功能，所以寄存器 T31POS 可在后分频计数器工作时被改写，更新后的后分频值直到下一次更新事件产生时才生效。

后分频计数器固定为递减计数方式，从 T31POS 寄存器的值开始递减计数到 0，会自动重新加载 T31POS 寄存器的值，并继续递减计数。

T31 工作中使用了后分频器后，只在后分频计数器递减到 0 时才会产生更新事件，并置起更新标志位 UPIF (T31IFL<0>)。

当后分频寄存器 T31POS 的值为 N 时，则每 N 次计数器上溢出或下溢出时，产生更新事件，当更新事件发生时，所有计数相关设置都被更新：

- ◇ 后分频计数器重新加载 T31POS 寄存器的值
- ◇ 计数器重新加载 T31CNTLD 寄存器的值
- ◇ 预分频计数器重新加载 T31PRS 寄存器的值
- ◇ 比较器模式下的比较器重新加载 T31CHnR 寄存器的值

后分频计数器为递减计数，会在下列任一条件下发生递减：

- ◇ 每次计数器递增计数上溢出时递减
- ◇ 每次计数器递减计数下溢出时递减
- ◇ 在中心对齐模式下，每次计数器递增计数上溢出和递减计数下溢出时，后分频计数器均会递减

后分频计数器是自动加载的，当后分频递减计数到 0 后产生更新事件，自动加载 T31POS 寄存器的值。当更新事件由软件设定 UPT (T31EVG<0>) 位或由硬件通过从模式控制器产生时，后分频计数器也都会立即加载 T31POS 寄存器的值。

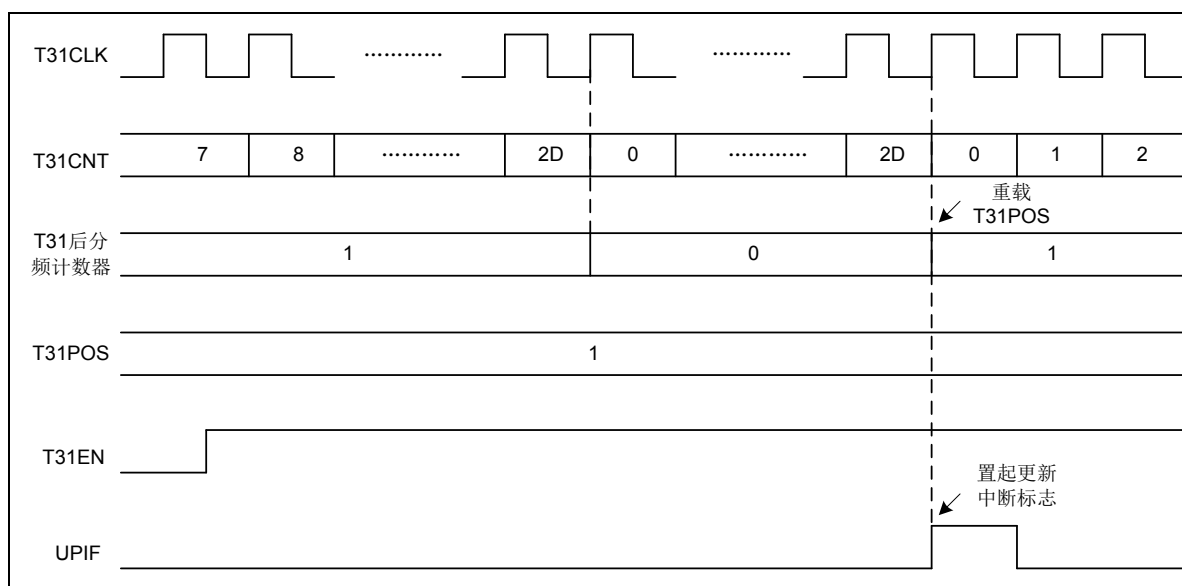


图 6-11 使用后分频的计数时序图 (T31CNTLD=0x2D)

6.3.4 计数模式

6.3.4.1 递增计数模式

在递增计数模式下，计数器由 0 计数至计数重载值（由 T31CNTLD 寄存器设置）后，会重新开始由 0 计数并产生一个计数器上溢出更新事件。

如果使用了后分频计数器，则会在递增计数上溢出次数达到后分频寄存器 T31POS 的值后产生更新事件，否则会在每次计数器上溢出时产生更新事件。

更新事件可通过设置 T31C0L 寄存器的 UED 位关闭，这样可以避免在改写计数重载寄存器 T31CNTLD 时恰好发生更新事件，而使改写值立即生效。禁止产生更新事件时，计数器递增计数上溢出后，仍会被清零重新计数，预分频器的计数也会被清零并重新开始计数（但预分频比不会改变）。

当更新事件发生时，所有计数相关设置都被更新且置起更新标志位 UPIF (T31IFL<0>)：

- ◇ 后分频计数器重新加载 T31POS 寄存器的值
- ◇ 计数器重新加载 T31CNTLD 寄存器的值
- ◇ 预分频计数器重新加载 T31PRS 寄存器的值

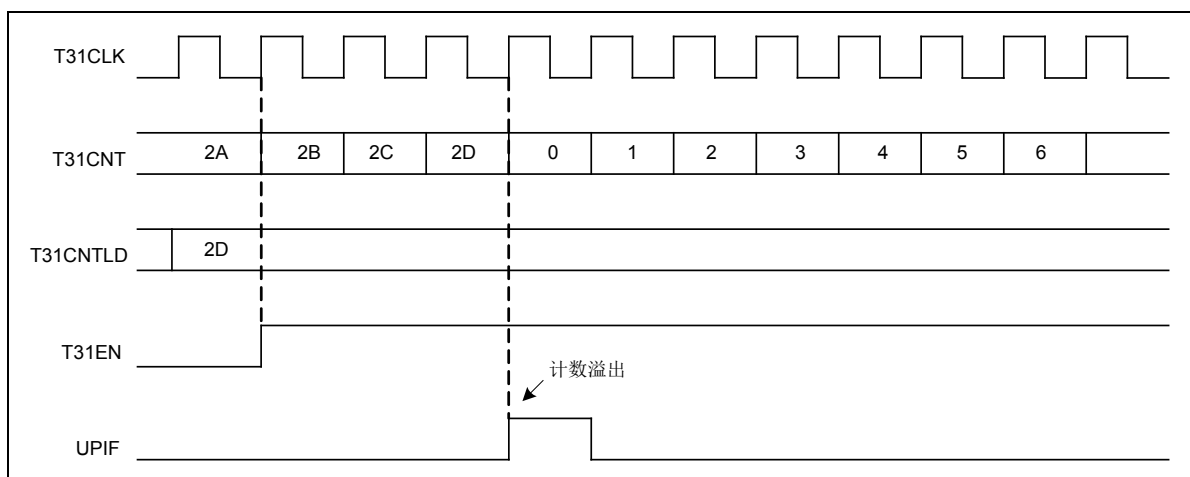


图 6-12 递增计数时序图（预分频为 1）

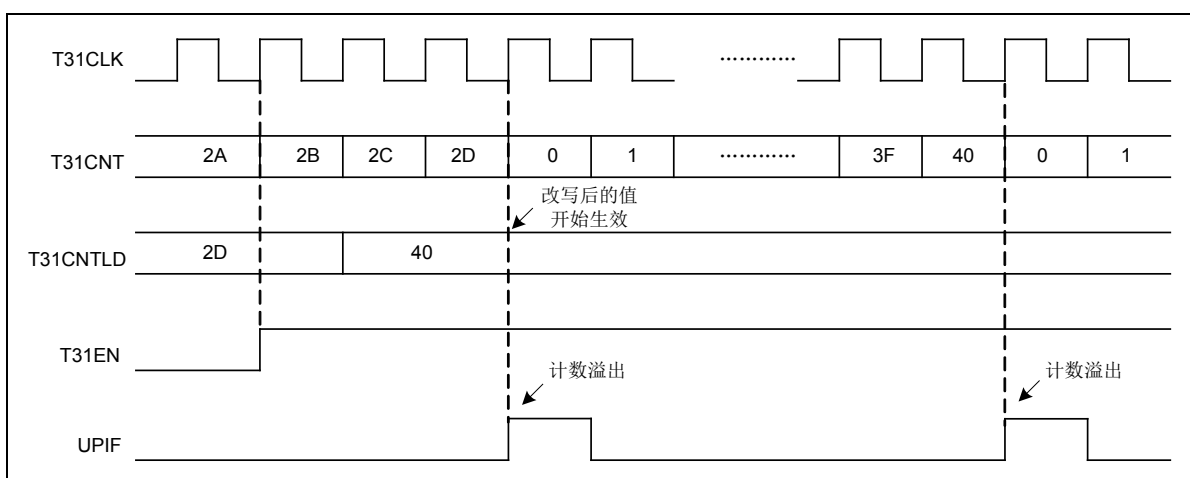


图 6-13 递增计数时序图（RLBE=1，T31CNTLD 有缓冲）

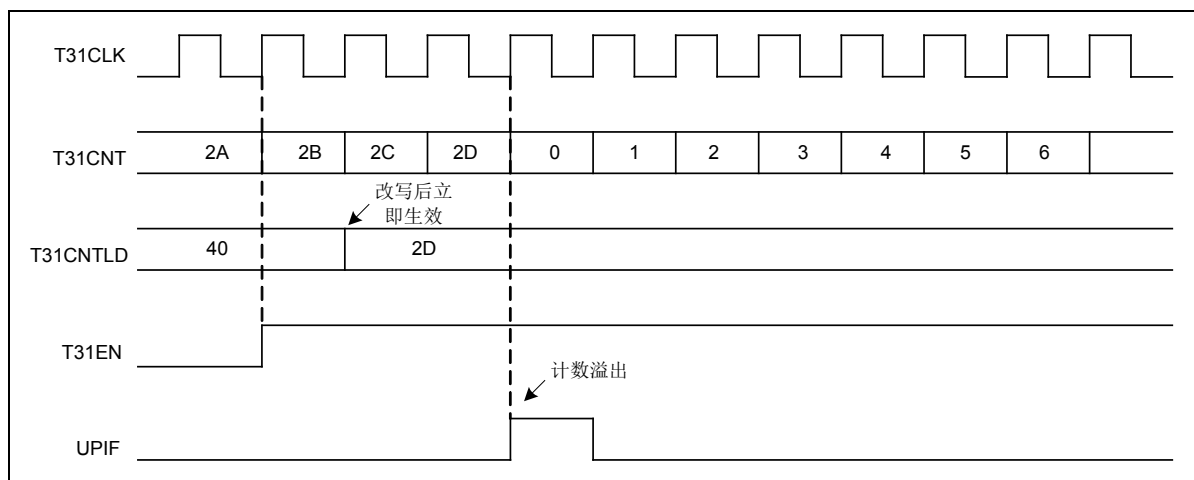


图 6-14 递增计数时序图 (RLBE=0, T31CNTLD 无缓冲)

6.3.4.2 递减计数模式

在递减计数模式下，计数器由计数重载值（由 T31CNTLD 寄存器设置）开始递减计数至 0 后，会重新开始由计数重载值计数并产生一个计数器下溢出更新事件。

如果使用了后分频计数器，则会在递减计数下溢出次数达到后分频寄存器 T31POS 的值后产生更新事件，否则会在每次计数器下溢出时产生更新事件。

更新事件可通过设置 T31C0L 寄存器的 UED 位关闭，这样可以避免在改写计数重载寄存器 T31CNTLD 时恰好发生更新事件，而使改写值立即生效。禁止产生更新事件时，计数器递减计数下溢出后，仍会自动重载然后重新计数，预分频器的计数也会被清零并重新开始计数（但预分频比不会改变）。

当更新事件发生时，所有计数相关设置都被更新且置起更新状态位 UPIF (T31IFL<0>)：

- ◇ 后分频计数器重新加载 T31POS 寄存器的值
- ◇ 计数器重新加载 T31CNTLD 寄存器的值
- ◇ 预分频计数器重新加载 T31PRS 寄存器的值

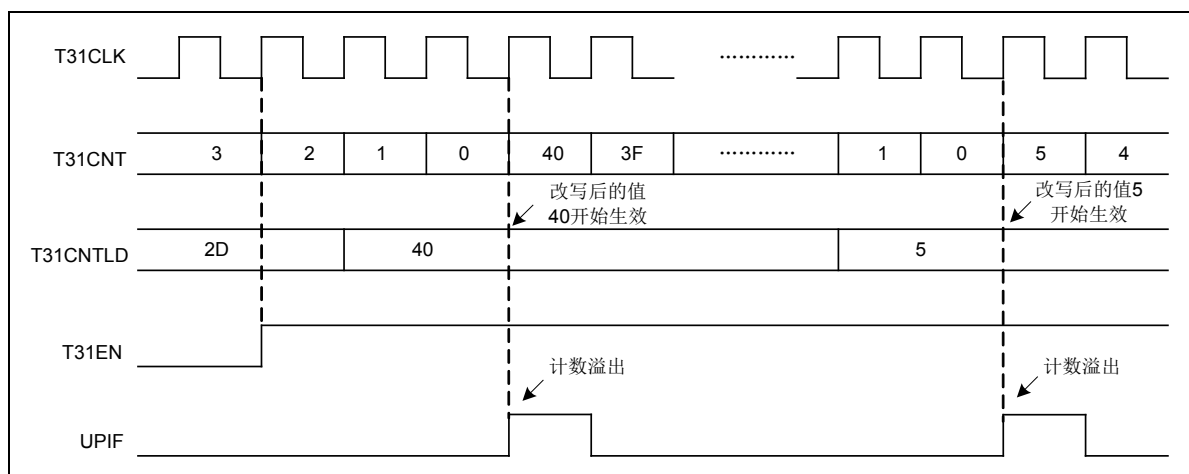


图 6-15 递减计数时序图 (RLBE=1, T31CNTLD 有缓冲)

6.3.4.3 中心对齐模式

在中心对齐模式下，计数器由 0 开始递增计数至计数重载值(由 T31CNTLD 寄存器设置)时，会产生一个计数器上溢出事件，再继续由计数重载值递减计数至 0，并产生一个计数器下溢出事件，然后计数器重新由 0 开始计数。

T31 支持 3 种中心对齐模式，可通过寄存器控制位 CMC (T31C0L<6:5>) 设置。在 3 种中心对齐模式下，计数器均以交替方式递增或递减计数，但各输出通道的多功能中断标志 MIFn 置 1 的方式不同，当 CMC=“01”时，为中心对齐模式 1，仅在计数器递减计数时多功能中断标志 MIFn 才会被置 1；当 CMC=“10”时，为中心对齐模式 2，仅在计数器递增计数时多功能中断标志 MIFn 才会被置 1；当 CMC=“11”时，为中心对齐模式 3，在计数器递增或递减计数时多功能中断标志 MIFn 均可被置 1。

在中心对齐模式下，计数器的计数方向选择位 DIRS (T31C0L<4>) 由硬件电路自动控制，实现计数器递增或递减计数。

更新事件可通过设置 T31C0L 寄存器的 UED 位关闭，这样可以避免在改写计数重载寄存器 T31CNTLD 时恰好发生更新事件，而使改写值立即生效。禁止产生更新事件时，计数器计数上溢出或下溢出后，仍会自动重新开始计数。

当更新事件发生时，所有计数相关设置都被更新且置起更新标志位 UPIF (T31IF<0>)：

- ◇ 后分频计数器重新加载 T31POS 寄存器的值
- ◇ 计数器重新加载 T31CNTLD 寄存器的值
- ◇ 预分频计数器重新加载 T31PRS 寄存器的值

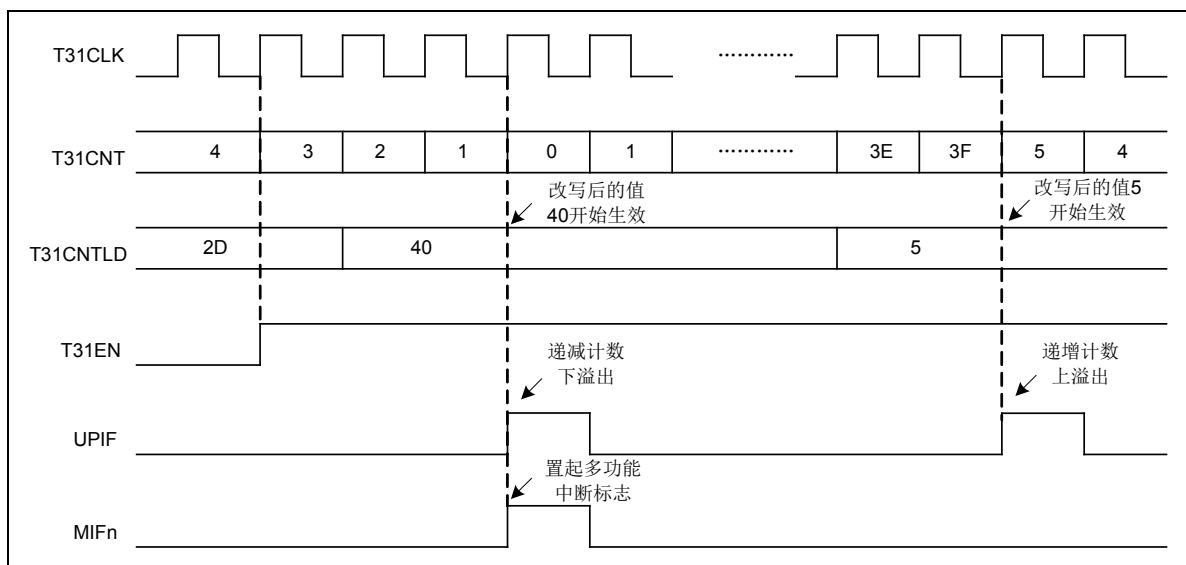


图 6-16 中心对齐模式 1 计数时序图 (RLBE=1)

6.3.5 工作模式

T31 支持多种工作模式：定时器模式，捕捉器模式，比较器模式，PWM 模式，单脉冲模式，关断功能模式，从模式。其中定时器模式包括内部 Fosc 时钟计数，外部时钟源模式 1 计数，外部时钟源模式 2 计数；PWM 模式包括 PWM 普通模式，PWM 中心对齐模式，带死区互补输出；从模式包括编码器模式，复位模式，门控模式，触发模式。

T31 支持 4 个捕捉/比较通道，其中有 3 个通道各支持两个互补输出端口，每个通道的捕捉输入和比较输出功能均不能同时使用。

6.3.6 定时器模式

T31 定时器包括一个可自动重载的 16 位计数寄存器 T31CNT，一个 16 位计数重载寄存器 T31CNTLD，一个 16 位预分频寄存器 T31PRS，一个 8 位后分频寄存器 T31POS，都可通过软件读写，但建议不要在计数器正常工作时改写计数寄存器的值，以免造成工作异常。

对计数重载寄存器 T31CNTLD 的写操作，需要先写高 8 位寄存器 T31CNTLDH，再写低 8 位寄存器 T31CNTLDL。高 8 位寄存器写入的值并不会立即生效，而是在写低 8 位寄存器的值时才会同时更新。

计数重载寄存器 T31CNTLD 支持写入缓冲功能，可通过 T31C0L 寄存器的 RLBE 位设置是否使能缓冲功能，当缓冲使能时，写入 T31CNTLD 寄存器的值不会立刻生效，而是直到下一次更新事件发生时才会生效。

当 T31C0L 寄存器的更新事件禁止位 UED 为 0 时，则以下任一事件发生时，都会产生一个更新事件：

- 计数器递增计数上溢出或递减计数下溢出
- 软件设置 UPT 位，产生一个更新事件
- 从模式控制器产生的更新

当 T31C0L 寄存器的更新事件禁止位 UED 为 1 时，禁止更新事件产生。

当 T31 工作在定时器模式时，无需使其捕捉/比较通道的功能，只需要对计数相关的寄存器进行设置。

定时器模式下计数器的时钟源可为系统时钟 Fosc 或外部时钟，并支持两种外部时钟源模式：

- ◇ 设置 T31C2L 寄存器的 T31SM=000，T31C2H 寄存器的 ECM2E=0，可配置计数器时钟源为系统时钟 Fosc。
- ◇ 设置 T31C2L 寄存器的 T31SM=111，T31C2H 寄存器的 ECM2E=0，可配置计数器为外部时钟源模式 1，并通过 TRGS 位，选择外部时钟源：
通道 1 端口 T31_CH1 输入脉冲信号边沿（双边沿均有效）；
通道 1 端口 T31_CH1 输入信号（支持输入滤波，上升沿或下降沿可选）；
通道 2 端口 T31_CH2 输入信号（支持输入滤波，上升沿或下降沿可选）；
外部触发输入 T31_ETR（支持输入滤波和独立的预分频，上升沿或下降沿可选）。
- ◇ 设置 T31C2H 寄存器的 ECM2E=1，可配置计数器为外部时钟源模式 2，使用外部触发输入 T31_ETR 作为时钟源。

支持计数时钟的预分频器和计数后分频器。

设置 T31C0L 寄存器的 CMC=00，可选择为普通计数模式，设置 T31C0L 寄存器的 T31EN=1 后，计数器开始计数。

支持递增和递减两种计数方式，可通过 T31C0L 寄存器的 DIRS 位进行选择。递增或递

减计数溢出时，计数器均会重新开始计数，并产生一个计数器上溢出或下溢出事件，且置起更新标志位 UPIF (T31IFL<0>)。

6.3.6.1 内部时钟源模式

设置 T31C2L 寄存器的 T31SM=000，T31C2H 寄存器的 ECM2E=0，可配置 T31 为内部时钟源模式，计数器时钟源为系统时钟 Fosc。

配置计数器为内部时钟源模式计数的步骤如下：

- ◇ 设置 T31C2L 寄存器的 T31SM=000，T31C2H 寄存器的 ECM2E=0，配置为内部时钟源模式
- ◇ 设置预分频寄存器 T31PRS，配置预分频
- ◇ 设置后分频寄存器 T31POS，配置后分频
- ◇ 设置 T31C0L 寄存器的 DIRS 位，选择递增或递减计数方式
- ◇ 设置 T31C0L 寄存器的 RLBE 位，配置计数重载寄存器缓冲是否使能
- ◇ 设置计数重载寄存器 T31CNTLD，配置计数周期
- ◇ 设置 T31C0L 寄存器的 T31EN=1，使能计数器

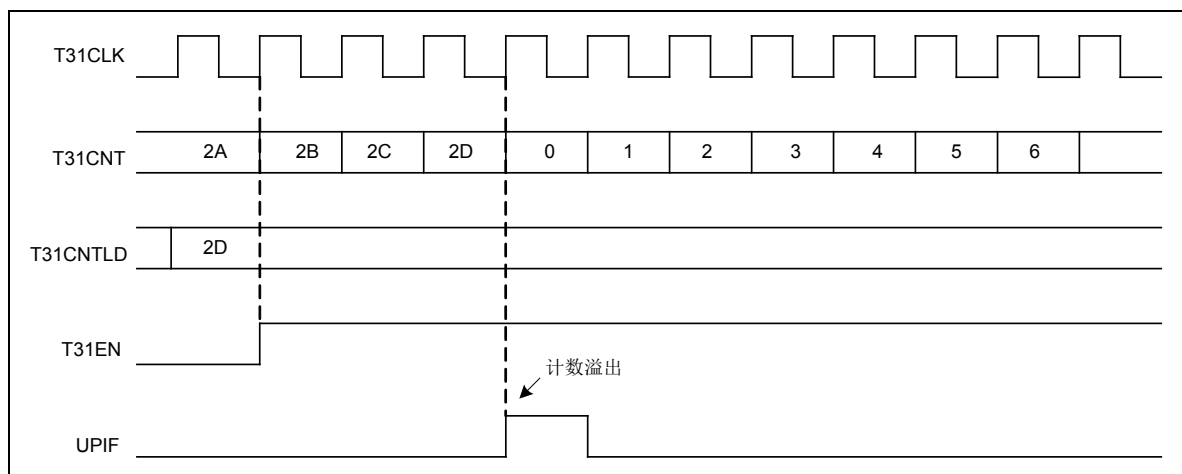


图 6-17 内部时钟源模式下递增计数时序图（预分频/后分频为 1）

6.3.6.2 外部时钟源模式 1

设置 T31C2L 寄存器的 T31SM=111，可配置 T31 为外部时钟源模式 1，该模式下计数器在外部输入时钟的每个上升沿或下降沿计数，外部输入时钟端口可选。

配置计数器为外部时钟源模式 1 计数的步骤如下：

- ◇ 设置 T31C2L 寄存器的 T31SM=111，配置为外部时钟源模式 1
- ◇ 设置 T31C2L 寄存器中的 TRGS 位，选择外部时钟源
- ◇ 如果外部时钟源为通道 1 或 2 端口，则可以设置 T31CHnC 寄存器的 CHnIFS 位，配置输入信号的滤波时间；设置 T31PINC 寄存器的 CHnNP/CHnP，选择上升沿或下降沿有效
- ◇ 如果外部时钟源为外部触发输入端口，则可以设置 T31C2H 寄存器的 ETFS 位，配置输入信号的滤波时间，设置 ETPRS 位，配置触发输入信号的预分频，设置 ETEG，

选择上升沿或下降沿有效

- ◇ 设置 T31C0L 寄存器的 T31EN=1，使能计数器

计数器工作在外部时钟源模式 1 时，每递增或递减计数一次，TRGIF 标志位均会被置 1。

因外部输入时钟需经过片内滤波采样电路处理，所以实际计数时刻与外部时钟上升沿时刻之间有一定延时。

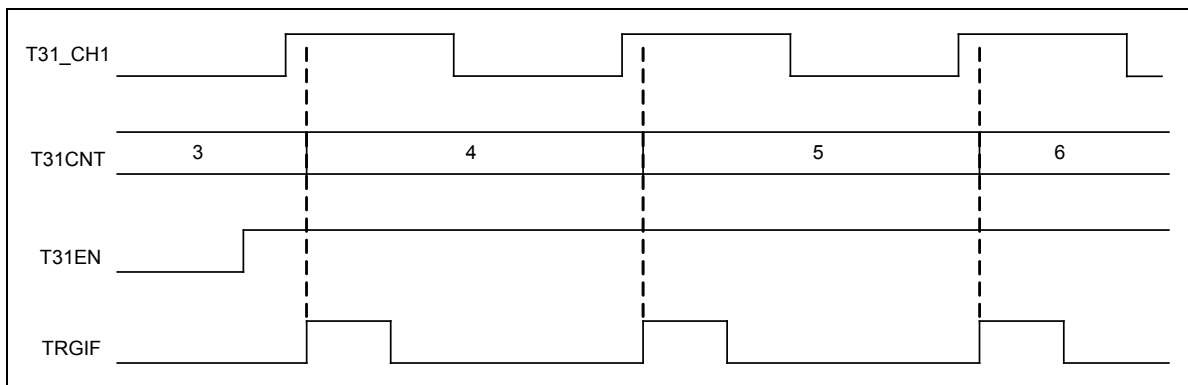


图 6-18 外部时钟源模式 1 的计数时序图（时钟源为通道 1 端口，上升沿递增计数）

6.3.6.3 外部时钟源模式 2

设置 T31C2L 寄存器的 T31SM=000，T31C2H 寄存器的 ECM2E=1，可配置 T31 为外部时钟源模式 2，该模式下计数器在外部触发输入 T31_ETR 的上升沿或下降沿计数，并可使用预分频器。外部时钟源模式 2 等同于在外部时钟源模式 1 时，将 T31_ETR 信号作为外部时钟。

配置计数器为外部时钟源模式 2 计数的步骤如下：

- ◇ 设置 T31C2H 寄存器的 ETFS 位，配置输入信号的滤波时间
- ◇ 设置 T31C2H 寄存器的 ETPRS 位，选择外部触发输入信号的预分频
- ◇ 设置 T31C2H 寄存器的 ETEG，选择上升沿还是下降沿有效
- ◇ 设置 T31C2L 寄存器的 T31SM=000，T31C2H 寄存器的 ECM2E=1，使能外部时钟源模式 2
- ◇ 设置 T31C0L 寄存器的 T31EN=1，使能计数器

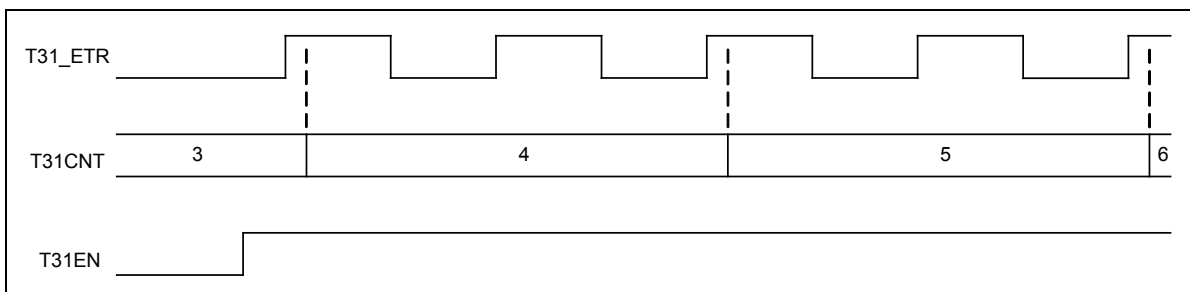


图 6-19 外部时钟源模式 2 的计数时序图（预分频比为 1: 2，上升沿递增计数）

6.3.7 捕捉器模式

T31 支持 4 个捕捉通道，每个捕捉通道，均支持两个捕捉输入端口，可通过 T31CHnC

寄存器的 CHnIOS 位进行选择。例如：对捕捉通道 1，可对通道 1 端口 T31_CH1，也可对通道 2 端口 T31_CH2 输入的信号进行捕捉（由 CHnIOS 位进行选择）。

支持对捕捉输入信号进行滤波处理和边沿选择，可以通过 T31CHnC 寄存器的 CHnIFS 位，设置捕捉输入信号的滤波时间，通过 T31PINC 寄存器的 CHnNP/CHnP 位，设置捕捉输入信号的有效边沿（上升沿，下降沿或双边沿）。

支持捕捉频率可选，可以通过 T31CHnC 寄存器的 CHnIM 位，设置捕捉的频率（每 1，2，4 或 8 个输入信号边沿，捕捉一次）。

设置 T31PINC 寄存器的 CHnE=1，使能通道的捕捉输入。

在捕捉器模式下，当检测到捕捉输入信号满足捕捉条件后，计数器的当前值被锁存到捕捉/比较寄存器 T31CHnR 中。

当发生捕捉时，多功能中断标志位 MIFn 被置 1，如果多功能中断使能位 MIEn=1，则 T31 总中断标志位 T31IF 也被置 1，如果总中断使能位 T31IE=1，则会产生一个捕捉中断请求；如果发生捕捉时，MIFn 标志位已经置位，则捕捉溢出中断标志位 OVIFn 会被置 1。通过对寄存器 T31ICR 的对应中断清零 0 位进行写 1 操作，可以清除中断标志位 MIFn 和 OVIFn，还可以通过读取捕捉寄存器 T31CHnR 来清除中断标志位 MIFn。

捕捉条件的产生也可由软件设置寄存器 T31EVG 的 CHnT 位来触发，当 CHnT 位写入 1 时，会触发捕捉，将计数器的当前值锁存到捕捉/比较寄存器 T31CHnR 中，同时置起相应的中断标志位 MIFn 或 OVIFn。

发生捕捉溢出时，建议先读取数据，再处理捕捉溢出标志，避免反复产生捕捉溢出。

捕捉模式可用于测量输入脉冲信号的周期，如果使用两个捕捉通道，同时对一个端口上的输入信号分别进行上升沿和下降沿的捕捉，则可以测量脉冲信号的周期和占空比。在测量脉冲信号的应用中，可设置 T31C2L 寄存器的 T31SM=100，把从模式控制器配置为复位模式，使用触发输入信号的上升沿重新初始化计数器，并设置 T31C2L 寄存器的 TRGS 位，选择通道端口的捕捉输入作为触发输入信号。

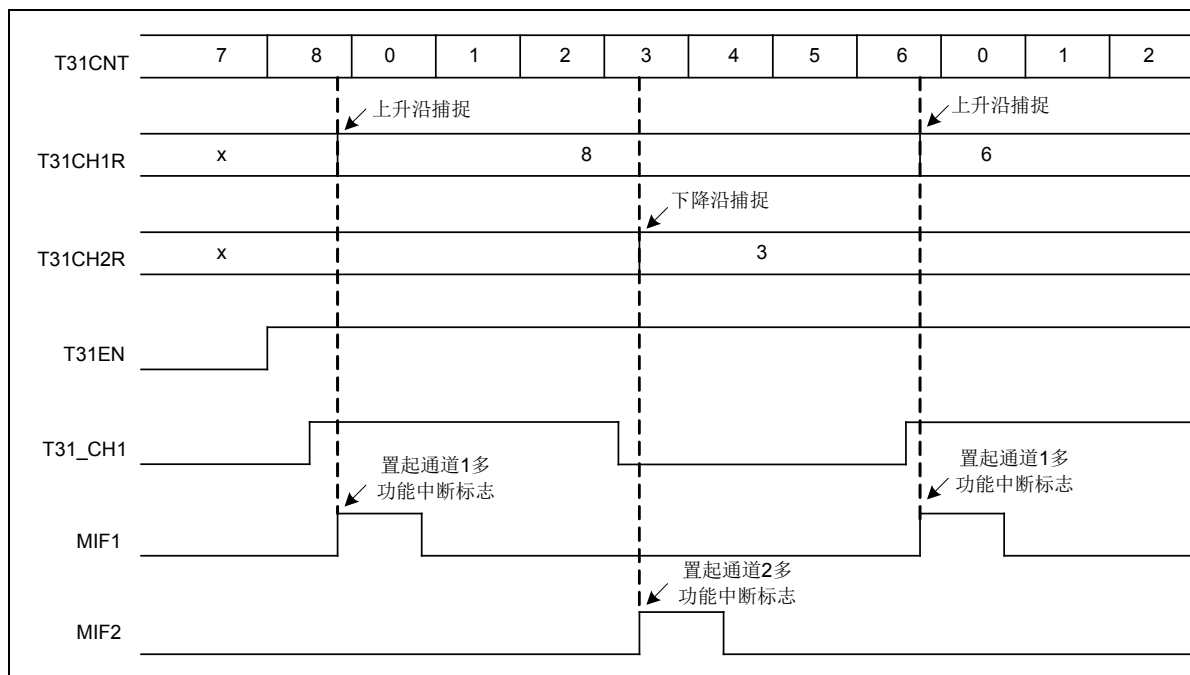


图 6-20 测量脉冲信号周期和占空比的捕捉模式时序（通道 1，复位模式）

6.3.8 比较器模式

设置 T31CHnC 寄存器的 CHnOM，可配置比较器模式。T31 支持 4 个比较输出通道，输出端口 T31_CHn (n=1, 2, 3, 4) 与捕捉通道复用，设置 T31CHnC 寄存器的 CHnIOS=00，可将通道端口配置为比较输出。

每个比较通道支持一个 16 位捕捉/比较寄存器 T31CHnR，可进行软件读写操作，写操作时需要先写高 8 位寄存器 T31CHnRH，再写低 8 位寄存器 T31CHnRL，高 8 位寄存器写入的值并不会立即生效，而是在写低 8 位寄存器的值时才会同时更新。通过 T31CHnC 寄存器的 CHnOBE 位，可设置 T31CHnR 寄存器是否立即生效，还是在下一次更新事件发生时生效。更新事件对于比较器输出和通道端口输出没有影响。

在比较器模式下，计数器可以使用内部或外部时钟进行计数，支持计数时钟预分频。

在比较器模式下，将计数器的计数值与比较寄存器进行比较，发生比较匹配时，可通过 T31CHnC 寄存器的 CHnOM 位和 T31PINC 寄存器中的输出极性控制位 CHnP，来控制通道端口 T31_CHn 的输出电平。发生比较匹配时：

- 如果 CHnOM=000，则通道端口输出电平保持不变；
- 如果 CHnOM=001，则比较器输出 1，通道端口电平取决于 CHnP 位；
- 如果 CHnOM=010，则比较器输出 0，通道端口电平取决于 CHnP 位；
- 如果 CHnOM=011，则通道端口电平翻转。

发生比较匹配时，会置起对应比较通道的多功能中断标志位 MIFn，如果相应的多功能中断使能位 MIEn=1，则 T31 总中断标志位 T31IF 也被置 1，如果总中断使能位 T31IE=1，则会产生一个比较中断请求。

发生比较匹配后，计数器仍继续递增或递减计数，直到计数溢出，会置起更新中断标志位 UPIF，如果使用了后分频器，则直到后分频器递减到 0 后，再次发生计数溢出时，才

置起更新中断标志位 UPIF。例如递增计数时，会继续计数到重载寄存器 T31CNTLD 的值后发生上溢出。

在比较器模式下，还支持软件将比较器输出强制为固定电平。设置 T31CHnC 寄存器的 CHnOM=100，可将比较器输出强制为 0；CHnOM=101，可将比较器输出强制为 1。比较器输出被强制为固定电平后，通道端口电平仍取决于 CHnP 位，硬件比较电路仍然会继续进行与计数值的比较，相应的标志也会被置起，并产生相应的中断。

比较器模式的配置步骤如下所示：

- ◇ 选择计数器时钟（内部，外部）和预分频
- ◇ 设置计数重载寄存器 T31CNTLD 和比较寄存器 T31CHnR
- ◇ 通过 CHnOM 设置比较匹配时的端口状态，通过 CHnP 设置端口电平极性
- ◇ 通过 CHnOBE 设置比较寄存器 T31CHnR 是立即生效还是有缓冲
- ◇ 设置 T31IEL 寄存器的 MIEn=1，INTE0 寄存器的 T31IE=1，可产生比较中断请求
- ◇ 设置 T31PINC 寄存器的 CHnE=1，使能比较通道端口输出
- ◇ 设置 T31C0L 寄存器的 T31EN=1，使能计数器

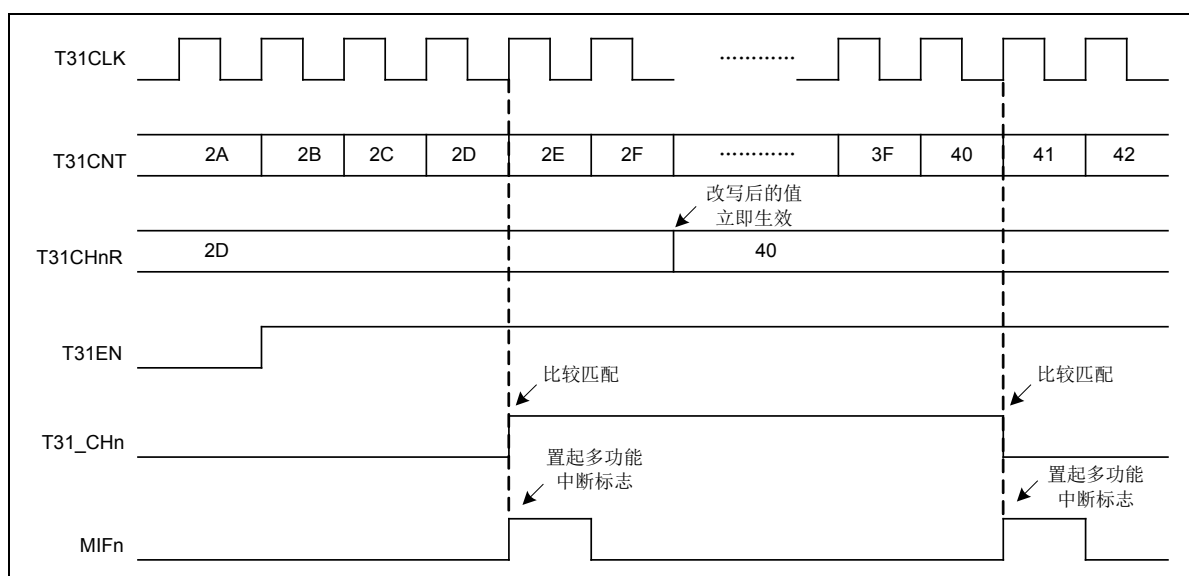


图 6-21 比较器模式时序图（比较匹配后端口输出翻转，CHnOBE=0，无缓冲）

每个通道的比较器输出，均支持通过外部触发输入信号 T31_ETR 清 0。设置 T31CHnC 寄存器的 CHnCOCE=1，T31C2L 寄存器的 COCE=1，可通过外部输入信号清零对应通道的比较器输出，清零后的比较器输出保持为低，直到下一更新事件发生。需要注意的是，此功能只能用于比较器模式和 PWM 模式，但不能用于比较器强制输出模式（CHnOM=100 或 101）。

使用外部触发输入信号清零比较器输出时，需要设置 T31C2H 寄存器的 ECM2E=0，禁止外部时钟源模式 2，不能把外部输入信号 T31_ETR 作为计数器时钟。

可通过 T31C2H 寄存器的 ETEG 和 ETFS 位，配置外部触发输入信号的有效边沿和滤波时间。

6.3.9 PWM模式

设置 T31CHnC 寄存器的 CHnOM，可配置 PWM 模式。T31 支持 4 个 PWM 输出通道，每个通道的 PWM 模式均可独立设置，基于比较器的比较输出结果，产生 PWM 输出波形。其中有 3 个 PWM 通道各支持两个互补输出端口 T31_CHn 和 T31_CHnN (n=1, 2, 3)，可产生带死区延时的互补输出信号，第 4 个 PWM 通道只支持一个输出端口 T31_CH4。

支持两种 PWM 模式，输出波形互补，通过 T31CHnC 寄存器的 CHnOM 可设置 PWM 模式，当 CHnOM=110 时为 PWM 模式 1，当 CHnOM=111 时为 PWM 模式 2。

在 PWM 模式下，通过 T31CNTLD 寄存器设置脉冲周期，通过 T31CHnR 寄存器设置脉冲宽度，确定占空比。必须设置 T31CHnC 寄存器的 CHnOBE=1，使能 T31CHnR 寄存器的缓冲功能，设置 T31C0L 寄存器的 RLBE=1，使能 T31CNTLD 寄存器的缓冲功能，可确保在周期或占空比连续改变时，每个 PWM 脉冲波形均是完整的。在计数器开始计数之前，必须设置 T31EVG 寄存器的 UPT 位，初始化更新所有寄存器的缓冲器。

可以通过 T31PINC 寄存器中的 CHnP 位设置端口 T31_CHn 的输出极性，可以选择端口电平相对于比较器输出是否反相。通过 T31PINC 寄存器的通道输出使能位 CHnE，互补输出使能位 CHnNE 和 T31CHBK 寄存器的通道输出状态总使能位 CHOE，空闲模式下的端口空闲状态选择位 NOFFS 和运行模式下的端口无效状态选择位 ROFFS，来控制端口 T31_CHn 的输出状态。

在 PWM 模式下，计数值 T31CNT 和比较寄存器值 T31CHnR 始终在进行比较，并根据 CHnOM 位设置的 PWM 模式，比较器输出对应的比较结果。

设置 T31C0L 寄存器的 CMC 位，可选择 PWM 信号波形为普通模式或中心对齐模式。

注：在 ICD 调试模式下，需软件固定设置 T31C0H 寄存器的 HTOEOFF=1，否则 PWM 输出可能异常。

6.3.9.1 PWM普通模式

设置 T31C0L 寄存器的 CMC=00，可配置 PWM 为普通模式，在 PWM 普通模式下，通过 T31C0L 寄存器的 DIRS 位，可以控制计数器递增或递减计数。

以 PWM 模式 1 为例，递增计数时只要 $T31CNT < T31CHnR$ ，比较器的输出就为高，否则比较器的输出保持为低，通道端口 T31_CHn 的输出电平取决于 CHnP 位的极性控制。如果 T31CHnR 中的比较值大于 T31CNTLD 中的计数重载值，则比较器的输出一直保持为高；如果 T31CHnR 中的比较值为 0，则比较器的输出一直保持为低。

以 PWM 模式 1 为例，递减计数时只要 $T31CNT > T31CHnR$ ，比较器的输出就为低，否则比较器的输出保持为高，通道端口 T31_CHn 的输出电平取决于 CHnP 位的极性控制。如果 T31CHnR 中的比较值大于 T31CNTLD 中的计数重载值，则比较器的输出一直保持为高；递减计数时不能产生占空比为 0 的 PWM 波形（即使 T31CHnR=0，当递减计数到 T31CNT=0 时，比较器的输出仍会跳变为高电平）。

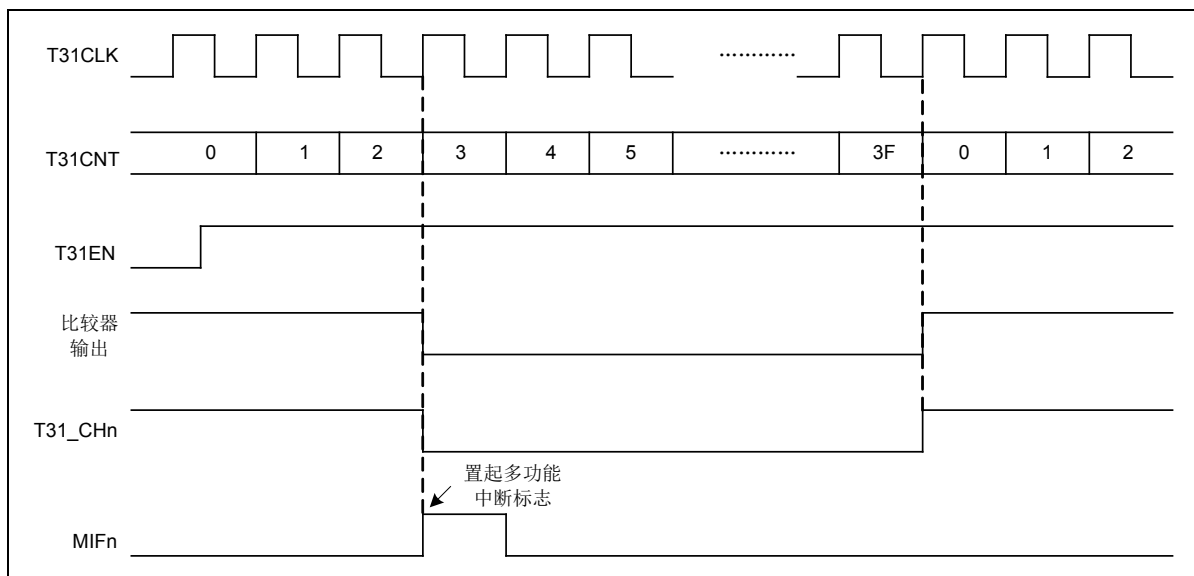


图 6-22 普通 PWM 波形，递增计数 (T31CHnR=3, T31CNTLD=0x3F, CHnP=0)

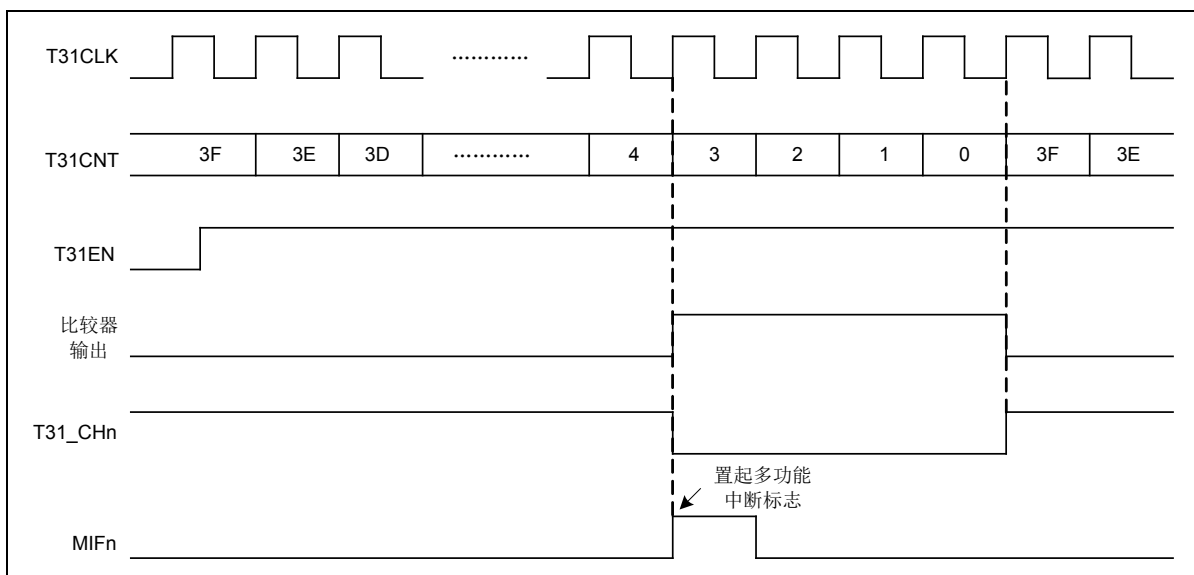


图 6-23 普通 PWM 波形，递减计数 (T31CHnR=3, T31CNTLD=0x3F, CHnP=1)

6.3.9.2 PWM中心对齐模式

设置 T31C0L 寄存器的 CMC 位为非 00 时，可配置 PWM 为中心对齐模式，共支持 3 种中心对齐模式，可实现各通道的多功能中断标志位 MIFn 在递减计数匹配时置 1、递增计数匹配时置 1、递减/递增计数匹配时置 1。

在中心对齐模式下，在计数器开始工作前，需先软件设置好 T31C0L 寄存器中的 DIRS 位，及其它控制寄存器，然后设置 T31EVG 寄存器的 UPT 位产生一次软件更新事件。计数器使能后基于 DIRS 位的初始值，来决定以递增或递减方式开始计数，计数过程中由硬件自动控制 DIRS 位，实现递增和递减交替的方式计数，软件修改无效。在软件初始化时，DIRS 和 CMC 位不要同时修改，也不要再在计数过程中修改计数器的值，以免产生异常。

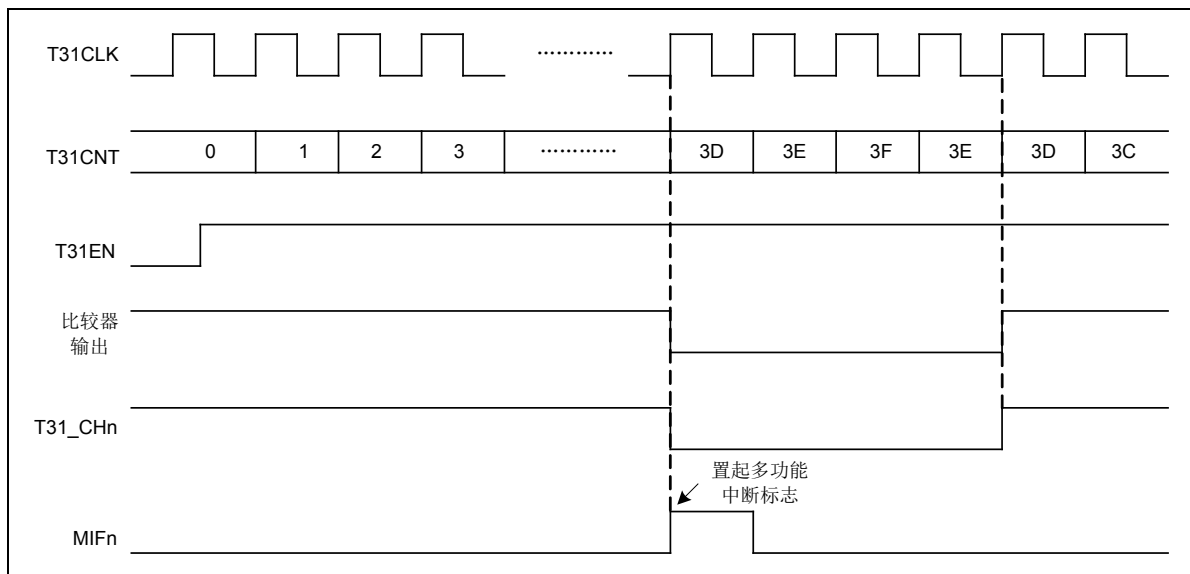


图 6-24 中心对齐 PWM 波形 (T31CHnR=0x3D, T31CNTLD=0x3F, CHnP=0, CMC=10)

6.3.9.3 带死区互补输出

T31 有 3 个 PWM 通道各支持两个互补输出端口 T31_CHn 和 T31_CHnN (n=1, 2, 3), 可产生带死区延时的互补输出信号, 并且死区时间可配置。

通过 T31PINC 寄存器的 CHnP 与 CHnNP 位, 可独立设置每个端口输出信号的极性。

互补输出信号可通过以下几个控制位进行设置: T31PINC 寄存器的通道输出和互补输出使能位 CHnE 和 CHnNE, T31CHBK 寄存器的通道输出状态总使能位 CHOE, 空闲和运行模式下的端口空闲和无效状态选择位 NOFFS 和 ROFFS, T31C1H 寄存器的通道输出和互补输出空闲状态选择位 ONSn 和 ONSnN。

通过 T31DLYT 寄存器, 可设置互补输出信号的死区时间, 所有通道均共用该死区时间, 根据比较器的输出信号, 产生 2 路互补输出 T31_CHn 和 T31_CHnN。如果死区时间大于输出信号的有效脉宽, 则不会产生脉冲输出。

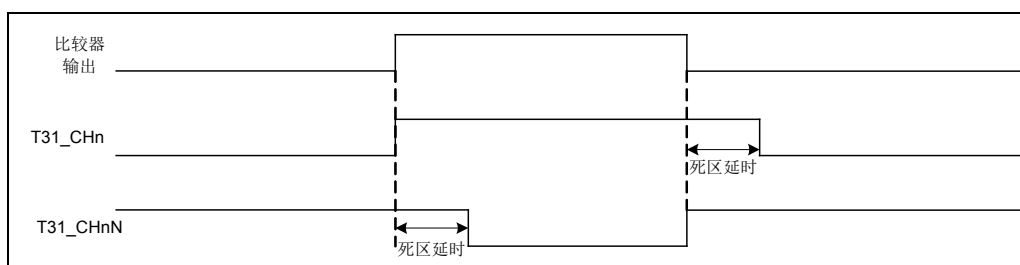


图 6-25 带死区延时的互补输出

当 PWM 通道配置为互补输出时, 如下寄存器控制位都会有缓冲: CHnOM、CHnE 和 CHnNE。发生互补通道更新事件时, 这些寄存器位才会真正生效, 这样就可以预先设置好下一步的配置, 并同时对所有互补通道的配置进行更新。互补通道更新事件可以通过设置 T31EVG 寄存器的 CHUT=1 产生, 或由触发信号产生 (由 T31C2L 寄存器的 TRGS 位选择触发信号)。

当发生互补通道更新事件时，会置起互补通道更新中断标志位 CHUIF (T31IF<5>)，如果互补通道更新中断使能位 CHUIE=1，并且总中断使能位 T31IE=1，则产生一个互补通道更新中断请求。

6.3.10 单脉冲模式

单脉冲模式实际是基于比较器模式或 PWM 模式来产生波形的，可通过设置 T31C0L 寄存器的 SPME=1，来实现单脉冲输出。在单脉冲模式下，计数器会在下一次更新事件产生时自动停止计数。

为确保单脉冲可以正确的产生，在计数器开始计数之前，计数器的计数值，比较值和计数重载寄存器的值，必须满足如下条件：

递增计数时 $T31CNT < T31CHnR \leq T31CNTLD$ ；递减计数时 $T31CNT > T31CHnR$ 。

通过比较寄存器 T31CHnR 和计数重载寄存器 T31CNTLD，可设置单脉冲输出的延时和脉宽时间。

基于 PWM 模式设置单脉冲输出波形的步骤如下：

- ◇ 设置 T31CHnC 寄存器的 CHnOM 位，选择 PWM 模式 1 或 2；
- ◇ 设置 T31PINC 寄存器的 CHnP 位，选择通道端口 T31_CHn 的输出极性；
- ◇ 设置 T31C0L 寄存器的 DIRS, CMC, SPME 位，配置为递增或递减计数，PWM 普通波形模式，单脉冲模式使能；
- ◇ 设置 T31CHnC 寄存器的 CHnOBE=1，T31C0L 寄存器的 RLBE=1，使能比较寄存器和计数重载寄存器的缓冲功能（也可以根据实际情况不使能缓冲）；
- ◇ 设置 T31CHnR 寄存器和 T31CNTLD 寄存器，配置单脉冲输出延时和脉宽时间；
- ◇ 设置 UPT 位来产生一个更新事件；
- ◇ 设置 T31C0L 寄存器的 T31EN=1 来启动计数器，也可以在触发模式下，通过外部触发输入信号来触发硬件自动设置 T31EN=1。

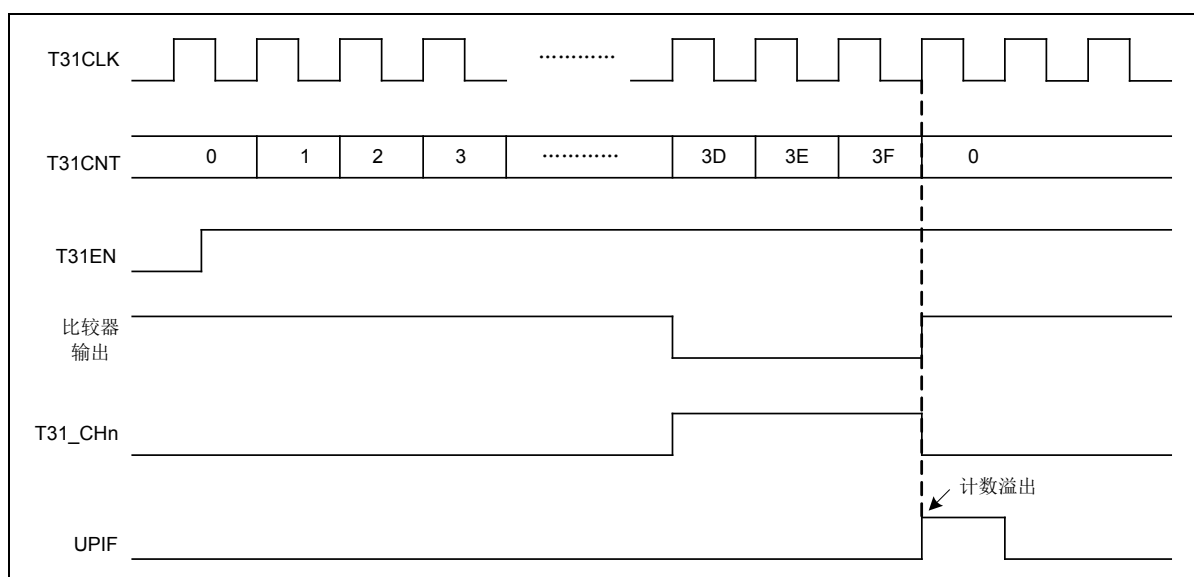


图 6-26 单脉冲输出波形 (PWM 模式 1, T31CHnR=0x3D, T31CNTLD=0x3F, CHnP=1)

在单脉冲模式下，如果希望通过外部触发输入信号的方式，来快速触发产生一个单脉冲输出，则可以设置 T31CHnC 寄存器的 CHnOFE=1，使能比较器输出加速功能，使得比较器输出和通道端口 T31_CHn 在外部触发时立即输出脉冲波形，而不需要等到计数比较匹配后再输出。需要注意的是，CHnOFE 位只在通道配置为 PWM 模式 1 和 PWM 模式 2 时才有效。

6.3.11 关断功能模式

关断功能模式可通过以下几个控制位进行设置：T31CHBK 寄存器的 CHOE、NOFFS 和 ROFFS 位，T31C1H 寄存器的 ONSn 和 ONSnN 位。关断产生时，通道输出空闲状态电平。

支持两种关断方式：一种是通过 T31_BRK 输入管脚关断，另一种是设置 T31EVG 寄存器的 BKT=1，来产生关断事件。

设置 T31CHBK 寄存器中的 BKE 位可以使能关断功能，关断输入信号的极性可以通过设置 BKPS 位选择，BKE 和 BKPS 可以同时被修改。

关断电路控制寄存器具有写保护功能，支持 3 个保护等级，可通过 T31CHBK 寄存器的 PROTS 位来选择，实现对死区时间，通道端口 T31_CHn/T31_CHnN 输出极性和空闲状态，CHnOM 配置，关断使能和极性等的写保护。

当发生关断时，执行下列操作：

- ◇ CHOE 位被立即清 0，将通道输出禁止或强制为空闲状态（由 NOFFS 位选择），该操作为异步操作，所以即使在芯片系统时钟关闭时依然有效。
- ◇ 空闲状态下，每个通道的输出电平，可通过 T31C1H 寄存器的 ONSn 和 ONSnN 位设定。通道输出禁止时，T31 不再控制端口输出使能。
- ◇ 当使用互补输出时：通道输出首先被置于无效状态，这是异步操作，即使定时器没有时钟，该操作也依然有效；如果定时器的时钟存在，则死区时间仍有效，并会重新启动死区时间计时，在死区时间之后根据 ONSn 和 ONSnN 位的设置，端口输出空闲状态电平。需要注意的是，因为重新同步 CHOE，死区时间会比平时略长一些（约 1~2 个时钟周期）。
- ◇ 如果使能了 T31IEL 寄存器中的关断中断使能位 BKIE，则当关断中断标志 BKIF (T31IFL<7>) 为 1 时，会产生一个中断请求。
- ◇ 如果使能了 T31CHBK 寄存器中的 AROE 位，则当关断事件撤消后，在下一个更新事件时 CHOE 位被自动置位，否则 CHOE 位始终保持为低，直到被软件再次置 1。

注 1：因为关断输入信号为电平有效，所以当关断输入有效时，不能同时（自动地或通过软件）设置 CHOE，并且中断标志位 BKIF 也不能被清除；

注 2：芯片复位后，T31CHBK 寄存器中的 PROTS 位只能写一次。

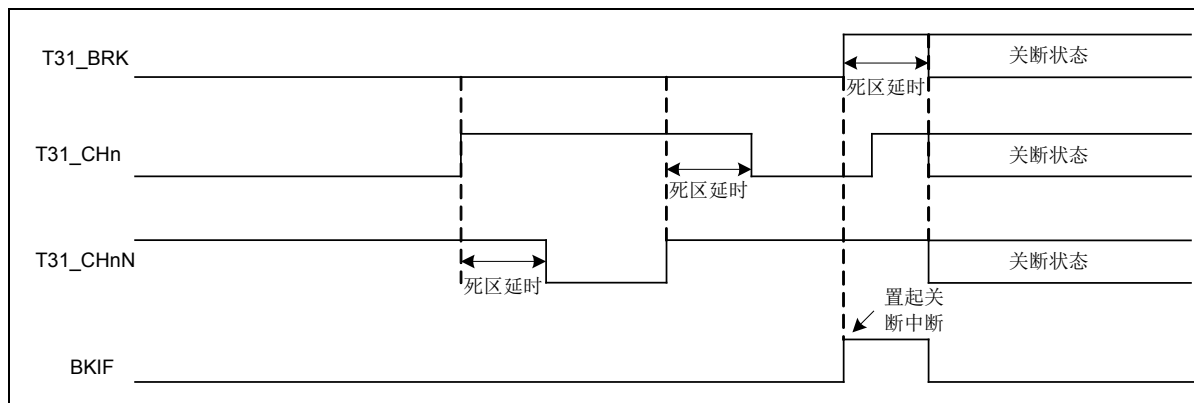


图 6-27 带死区互补输出的关断时序图

通道端口输出支持以下四种状态：

- 输出禁止，端口的输入输出状态由 IO 端口的输入输出控制寄存器 PxT 控制，输出数据由端口电平状态寄存器 Px 控制。
- 输出空闲状态，需设置 CHOE=0，端口电平由 T31C1H 寄存器的 ONSn/ONSnN 位设置，可以实现所有通道端口 T31_CHn/T31_CHnN 同时输出空闲状态。
- 输出无效状态，需设置 CHOE=1，端口电平由 T31PINC 寄存器的 CHnP/CHnNP 位设置，可以实现两路互补输出端口的其中一路输出无效状态，另一路输出有效状态。
- 输出有效状态，需设置 CHOE=1，端口输出比较器的比较结果，输出极性由 T31PINC 寄存器的 CHnP/CHnNP 位设置是否反相，可以实现两路互补输出。

CHOE	NOFFS	ROFFS	CHnE	CHnNE	T31_CHn 输出状态	T31_CHnN 输出状态
1	X	0	0	0	输出禁止	输出禁止
		0	0	1	输出禁止	有效状态，极性可配置
		0	1	0	有效状态，极性可配置	输出禁止
		0	1	1	两路互补输出均为有效状态，极性和死区时间可配置	
		1	0	0	输出禁止	输出禁止
		1	0	1	无效状态，电平可配置	有效状态，极性可配置
		1	1	0	有效状态，极性可配置	无效状态，电平可配置
		1	1	1	两路互补输出均为有效状态，极性和死区时间可配置	
0	X	0	0	0	输出禁止	输出禁止
		0	0	1	输出禁止	输出禁止
		0	1	0		
		0	1	1	输出禁止	输出禁止
		1	0	0		
		1	0	1	输出空闲状态，端口电平由 ONSn/ONSnN 设置，如果设置了死区时间，则在 CHOE=0 后，重新开始死区时间计时，经过所设置的死区时间之后，再输出空闲状态	
		1	1	0		
		1	1	1		

表 6-3 带有关断功能的通道互补输出列表

注：通道输出禁止时，对应的通道端口可以作为普通 IO 端口使用。

6.3.12 从模式

T31 支持以下扩展的从模式：编码器模式，复位模式，门控模式，触发模式。

6.3.12.1 编码器模式

T31 的通道 1 和通道 2 支持 3 种编码器模式，可通过 T31C2L 寄存器的 T31SM 位配置：当 T31SM=001 时，计数器只在通道 2 输入信号 T31_CH2 的边沿计数，计数方向由通道 1 信号 T31_CH1 的电平控制；当 T31SM=010 时，计数器只在通道 1 输入信号 T31_CH1 的边沿计数，计数方向由通道 2 信号 T31_CH2 的电平控制；当 T31SM=011 时，计数器在通道 2 输入信号 T31_CH2 和通道 1 输入信号 T31_CH1 的边沿均进行计数，计数时将出现边沿变化的通道信号作为时钟，计数方向由对方通道信号电平控制。

通过设置 T31PINCL 寄存器的 CH1NP/CH1P 和 CH2NP/CH2P 位，可以选择 T31_CH1 和 T31_CH2 端口的输入信号是否反相，还可以根据实际情况设置输入信号的滤波器时间。

在编码器模式下，计数器使用 T31_CH1 和 T31_CH2 两个通道输入的信号边沿计数。计数器启动后（T31C0L 寄存器的 T31EN=1），以其中一个通道输入信号做为计数时钟，时钟信号的上升沿和下降沿均有效，根据另外一个输入信号的电平变化，硬件自动控制计数方向选择位 DIRS（T31C0L<4>），进行递增或递减计数。

在编码器模式下，计数器相当于使用了一个带有方向选择的外部时钟，计数器只在 0 到 T31CNTLD 寄存器的计数重载值之间连续递增或递减计数。编码器模式下，禁止使能外部时钟源模式 2，两者不能同时工作。

在编码器模式下，计数器会根据外部增量式编码器的速度和方向自动调整计数，计数器的值反映的是编码器的位置，计数方向与外部相连的传感器旋转的方向相对应。下表列出了计数器在信号不同输入组合下的计数方式：

计数时钟	另一路信号的电平	T31_CH1		T31_CH2	
		上升沿	下降沿	上升沿	下降沿
T31_CH1	T31_CH2=1	递减	递增	不计数	不计数
	T31_CH2=0	递增	递减	不计数	不计数
T31_CH2	T31_CH1=1	不计数	不计数	递增	递减
	T31_CH1=0	不计数	不计数	递减	递增
T31_CH1 和 T31_CH2	1	递减	递增	递增	递减
	0	递增	递减	递减	递增

表 6-4 计数方向与编码器信号的关系（通道输入不反相）

外部增量编码器可以直接与芯片连接而不需要外部接口逻辑，但通常会使用比较器将编码器的差分输出转换为数字信号，这样可增强抗噪声干扰能力。外部增量编码器的第三个输出端用于指示机械零点，可以连接到芯片的一个外部中断输入管脚，用于触发一次计数器复位。

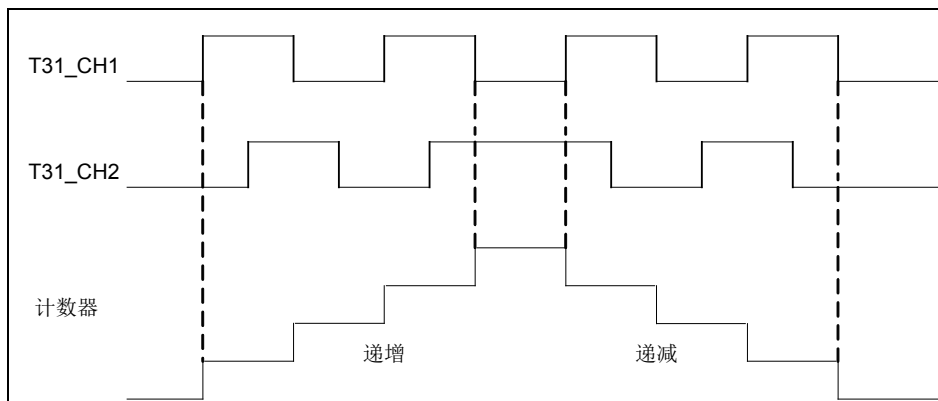


图 6-28 编码器模式下的计数器计数时序 (T31SM=010, 通道输入不反相)

6.3.12.2 复位模式

设置 T31C2L 寄存器的 T31SM=100, 可配置为复位模式。在复位模式下, 计数器使用内部 Fosc 时钟计数或外部时钟源模式 2 计数, 发生触发输入事件时, 计数器和预分频器可以被重新初始化, 预分频计数器会被清零 (预分频比不受影响), 递增计数时计数器也会被清零, 递减计数时, 计数器会重载计数寄存器的值; 同时如果 T31C0L 寄存器的 UES=0, 还会产生一个更新事件, 使所有的可重载寄存器 (T31CNTLD, T31CHnR) 都被重载初始化。

在复位模式下, 对触发输入信号, 可通过 T31C2L 寄存器的 TRGS, 选择触发信号源; 通过 T31PINC 寄存器的 CHnNP/CHnP 位或 T31C2H 寄存器的 ETEG 位, 选择触发信号的有效边沿; 还可以根据实际需要, 配置输入信号的滤波时间。

设置 T31C0L 寄存器的 T31EN=1, 启动计数, 触发输入产生时, 计数器被清零并从 0 重新开始计数, 同时置起触发中断标志位 TRGIF (T31IF<6>), 如果此时中断使能位 TRGIE=1, 则会产生一个中断请求。

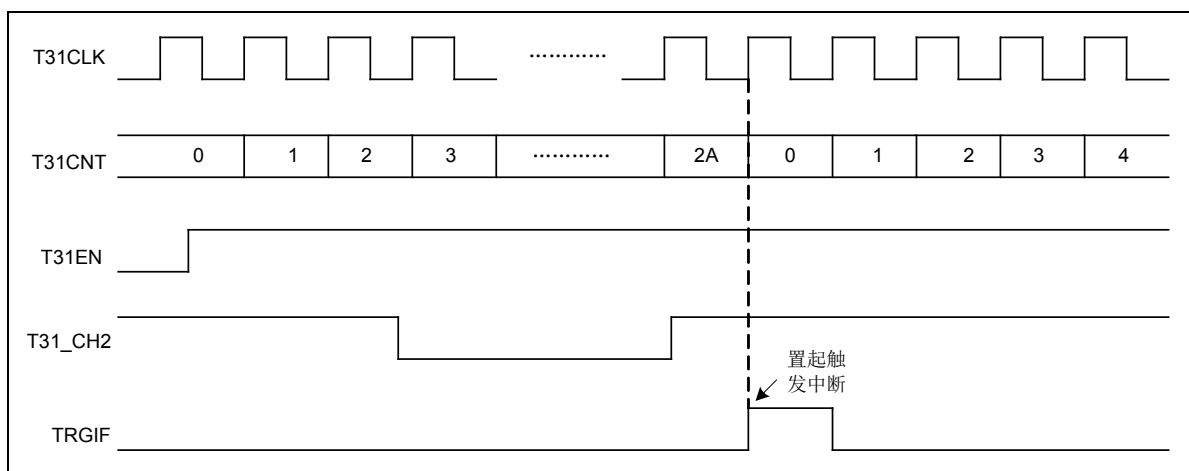


图 6-29 复位模式下的计数时序 (T31CNTLD=0x3F, 通道 2 端口信号上升沿触发)

注: 在外部时钟源模式 2 工作时, 可以同时使能复位模式, 这时 T31_ETR 信号作为外部时钟输入, 需选择另一个输入作为复位模式的触发信号, 禁止将 T31_ETR 作为触发信号 (即 TRGS 不能设置为 111)。

6.3.12.3 门控模式

设置 T31C2L 寄存器的 T31SM=101, 可配置为门控模式。在门控模式下, 计数器使用内部 Fosc 时钟计数或外部时钟源模式 2 计数, 计数器的计数可由触发输入信号作为门控信号, 来使能或停止 (计数器使能位 T31EN 仍需保持为 1)。

在门控模式下, 对触发输入信号, 可通过 T31C2L 寄存器的 TRGS, 选择触发信号源; 通过 T31PINC 寄存器的 CHnNP/CHnP 位或 T31C2H 寄存器的 ETEG 位, 选择触发信号的有效电平, 触发信号电平有效时计数器保持计数, 否则暂停计数; 还可以根据实际需要, 配置输入信号的滤波时间。

设置 T31C0L 寄存器的 T31EN=1, 启动计数, 只要门控信号电平有效, 计数器会正常计数, 一旦门控信号电平无效则停止计数。当计数器停止计数或重新开始计数时, 都会置起触发中断标志位 TRGIF (T31IF<6>), 如果此时中断使能位 TRGIE=1, 则会产生一个中断请求。

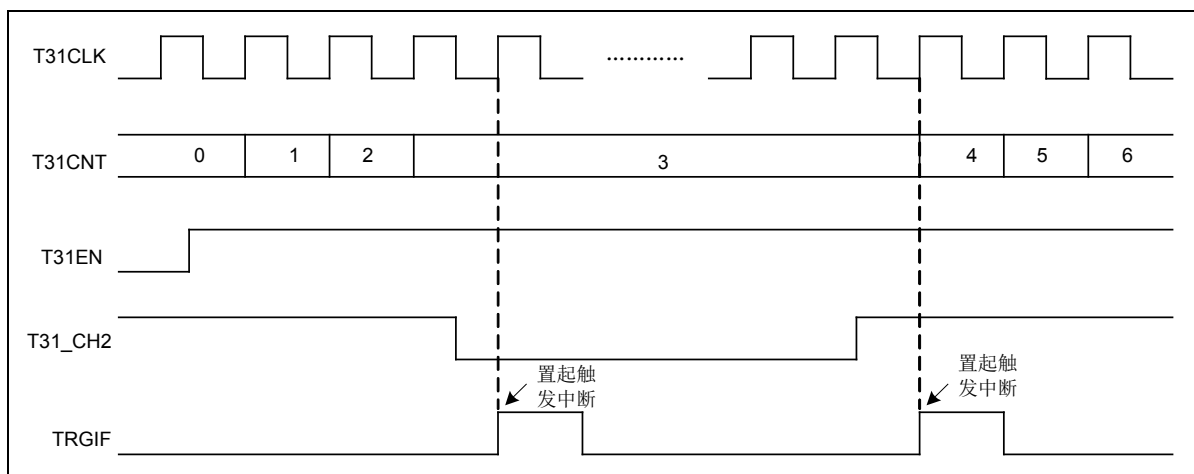


图 6-30 门控模式下的计数时序 (T31CNTLD=0x3F, 通道 2 端口门控信号高电平有效)

注: 在外部时钟源模式 2 工作时, 可以同时使能门控模式, 这时 T31_ETR 信号作为外部时钟输入, 需选择另一个输入作为门控模式的门控信号, 禁止将 T31_ETR 作为门控信号 (即 TRGS 不能设置为 111)。

6.3.12.4 触发模式

设置 T31C2L 寄存器的 T31SM=110, 可配置为触发模式, 在触发模式下, 计数器使用内部 Fosc 时钟计数或外部时钟源模式 2 计数, 计数器的启动可由触发输入信号的有效边沿来使能, 硬件自动设置 T31EN=1, 无需软件设置。

在触发模式下, 对触发输入信号, 可通过 T31C2L 寄存器的 TRGS, 选择触发信号源; 通过 T31PINC 寄存器的 CHnNP/CHnP 位或 T31C2H 寄存器的 ETEG 位, 选择触发信号的有效边沿; 还可以根据实际需要, 配置输入信号的滤波时间。

触发输入产生时, 硬件自动设置 T31EN=1, 启动计数器计数, 同时置起触发中断标志位 TRGIF (T31IF<6>), 如果此时中断使能位 TRGIE=1, 则会产生一个中断请求。

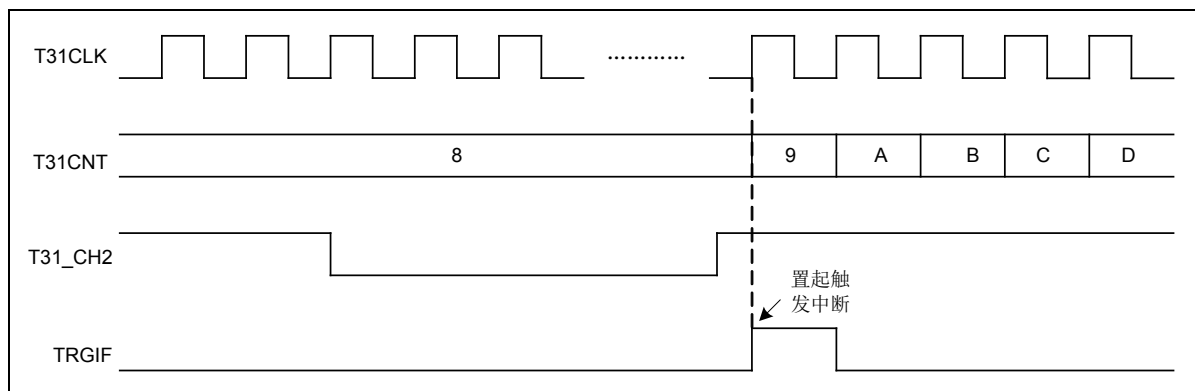


图 6-31 触发模式下的计数时序 (T31CNTLD=0x3F, 通道 2 端口信号上升沿触发)

注：在外部时钟源模式 2 工作时，可以同时使能触发模式，这时 T31_ETR 信号作为外部时钟输入，需选择另一个输入作为触发模式的触发信号，禁止将 T31_ETR 作为触发信号（即 TRGS 不能设置为 111）。

6.3.13 ICD 调试暂停模式下的 PWM 输出

在 ICD 调试模式下，需软件固定设置 HTOEOFF (T31C0H<6>) = 1，否则 PWM 输出可能会异常。在 ICD 调试暂停时，PWM 输出由 HALT_PWM (PWEN<0>) 位决定。

当设置 HALT_PWM=1 时，在调试暂停时，计数器停止计数，并关断 PWM 输出，此时 PWM 端口的输入/输出状态，由相应的端口输入输出控制寄存器 PxT 的对应控制位决定，如果 PxT 配置端口为输入，则相应的端口为高阻态，如果 PxT 配置端口为输出，则相应的端口电平由端口电平状态寄存器 Px 决定。

当设置 HALT_PWM=0 时，在调试暂停时，计数器仍继续计数，保持 PWM 输出。

6.3.14 特殊功能寄存器

6.3.14.1 计数器寄存器低 8 位 (T31CNTL)

T31CNTL: 计数器寄存器低 8 位 (T31CNTL)								
Bit	7	6	5	4	3	2	1	0
Name	CNT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 CNT<7:0>: 计数值低 8 位

6.3.14.2 计数器寄存器高 8 位 (T31CNTH)

T31CNTH: 计数器寄存器高 8 位 (T31CNTH)								
Bit	7	6	5	4	3	2	1	0
Name	CNT<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 CNT<15:8>: 计数值高 8 位

6.3.14.3 预分频寄存器低 8 位 (T31PRSL)

T31PRSL: 预分频寄存器低 8 位 (T31PRSL)								
Bit	7	6	5	4	3	2	1	0
Name	PRS<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PRS<7:0>: 预分频值低 8 位

6.3.14.4 预分频寄存器高 8 位 (T31PRSH)

T31PRSH: 预分频寄存器高 8 位 (T31PRSH)								
Bit	7	6	5	4	3	2	1	0
Name	PRS<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 PRS<15:8>: 预分频值高 8 位

注: 计数器使用预分频后的时钟计数, 预分频比为 PRS<15:0> + 1。

6.3.14.5 计数器重载寄存器低 8 位 (T31CNTLDL)

T31CNTLDL: 计数器重载寄存器低 8 位 (T31CNTLDL)								
Bit	7	6	5	4	3	2	1	0
Name	CNTLD<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 CNTLD<7:0>: 计数器计数重载值低 8 位

6.3.14.6 计数器重载寄存器高 8 位 (T31CNTLDH)

T31CNTLDH: 计数器重载寄存器高 8 位 (T31CNTLDH)								
Bit	7	6	5	4	3	2	1	0
Name	CNTLD<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	1	1	1	1

Bit 7~0 CNTLD<15:8>: 计数器计数重载值高 8 位

注 1: 发生更新事件时, T31CNTLD 的值会被自动重载, 对计数器重新初始化, 当 T31CNTLD <15:0>=0 时, 计数器重新初始化后, 不再继续计数;

注 2: 对寄存器 T31CNTLD 的写操作, 需要先写高 8 位寄存器 T31CNTLDH, 再写低 8 位寄存器 T31CNTLDL。

6.3.14.7 后分频寄存器 (T31POS)

T31POS: 后分频寄存器 (T31POS)								
Bit	7	6	5	4	3	2	1	0
Name	POS<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 POS<7:0>: 后分频值

6.3.14.8 通道 1 捕捉/比较寄存器低 8 位 (T31CH1RL)

T31CH1RL: 通道 1 捕捉/比较寄存器 1 低 8 位 (T31CH1RL)								
Bit	7	6	5	4	3	2	1	0
Name	CH1R<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 CH1R<7:0>: 通道 1 捕捉/比较值低 8 位

6.3.14.9 通道 1 捕捉/比较寄存器高 8 位 (T31CH1RH)

T31CH1RH: 通道 1 捕捉/比较寄存器高 8 位 (T31CH1RH)								
Bit	7	6	5	4	3	2	1	0
Name	CH1R<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 CH1R<15:8>: 通道 1 捕捉/比较值高 8 位

注: 对寄存器 T31CH1R 的写操作, 需要先写高 8 位寄存器 T31CH1RH, 再写低 8 位寄存器 T31CH1RL。

6.3.14.10 通道 2 捕捉/比较寄存器低 8 位 (T31CH2RL)

T31CH2RL: 通道 2 捕捉/比较寄存器低 8 位 (T31CH2RL)								
Bit	7	6	5	4	3	2	1	0
Name	CH2R<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 CH2R<7:0>: 通道 2 捕捉/比较值低 8 位

6.3.14.11 通道 2 捕捉/比较寄存器高 8 位 (T31CH2RH)

T31CH2RH: 通道 2 捕捉/比较寄存器高 8 位 (T31CH2RH)								
Bit	7	6	5	4	3	2	1	0
Name	CH2R<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 CH2R<15:8>: 通道 2 捕捉/比较值高 8 位

注：对寄存器 T31CH2R 的写操作，需要先写高 8 位寄存器 T31CH2RH，再写低 8 位寄存器 T31CH2RL。

6.3.14.12 通道 3 捕捉/比较寄存器低 8 位 (T31CH3RL)

T31CH3RL: 通道 3 捕捉/比较寄存器低 8 位 (T31CH3RL)								
Bit	7	6	5	4	3	2	1	0
Name	CH3R<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 CH3R<7:0>: 通道 3 捕捉/比较值低 8 位

6.3.14.13 通道 3 捕捉/比较寄存器高 8 位 (T31CH3RH)

T31CH3RH: 通道 3 捕捉/比较寄存器高 8 位 (T31CH3RH)								
Bit	7	6	5	4	3	2	1	0
Name	CH3R<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 CH3R<15:8>: 通道 3 捕捉/比较值高 8 位

注：对寄存器 T31CH3R 的写操作，需要先写高 8 位寄存器 T31CH3RH，再写低 8 位寄存器 T31CH3RL。

6.3.14.14 通道 4 捕捉/比较寄存器低 8 位 (T31CH4RL)

T31CH4RL: 通道 4 捕捉/比较寄存器低 8 位 (T31CH4RL)								
Bit	7	6	5	4	3	2	1	0
Name	CH4R<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 CH4R<7:0>: 通道 4 捕捉/比较值低 8 位

6.3.14.15 通道 4 捕捉/比较寄存器高 8 位 (T31CH4RH)

T31CH4RH: 通道 4 捕捉/比较寄存器高 8 位 (T31CH4RH)								
Bit	7	6	5	4	3	2	1	0
Name	CH4R<15:8>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 CH4R<15:8>: 通道 4 捕捉/比较值高 8 位

注：对寄存器 T31CH4R 的写操作，需要先写高 8 位寄存器 T31CH4RH，再写低 8 位寄存器 T31CH4RL。

6.3.14.16 死区延时寄存器 (T31DLYT)

T31DLYT: 死区延时寄存器 (T31DLYT)								
Bit	7	6	5	4	3	2	1	0
Name	DLYT<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 DLYT<7:0>: 死区延时设置值
 DLYT<7:5>=0xx: 死区时间为 DLYT<7:0> x Tdfck
 DLYT<7:5>=10x: 死区时间为 (128+2 x DLYT<5:0>) x Tdfck
 DLYT<7:5>=110: 死区时间为 (256+8 x DLYT<4:0>) x Tdfck
 DLYT<7:5>=111: 死区时间为 (512+16 x DLYT<4:0>) x Tdfck

注 1: 当 T31CHBK 寄存器的 PROTS=01, 10 或 11 (设置为保护等级 1, 2 或 3), T31DLYT 寄存器将不能被改写;
 注 2: Tdfck 为数字滤波器工作时钟周期, 由 DFCK (T31C0H<1:0>) 位设置。

6.3.14.17 控制寄存器 0 低 8 位 (T31C0L)

T31C0L: 控制寄存器 0 低 8 位 (T31C0L)								
Bit	7	6	5	4	3	2	1	0
Name	RLBE	CMC<1:0>		DIRS	SPME	UES	UED	T31EN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 RLBE: 计数重载寄存器缓冲使能位
 0: 禁止, T31CNTLD 寄存器没有缓冲, 写入后立即生效
 1: 使能, T31CNTLD 寄存器有缓冲, 在下一个更新事件时生效

Bit 6~5 CMC<1:0>: 中心对齐模式控制位 (推荐只在 T31EN=0 时改写该位)
 00: 普通模式, 计数器根据方向位 DIRS 递增或递减计数, 由软件控制。
 01: 中心对齐模式 1, 计数器以交替方式递增或递减计数。仅当计数器递减计数时, 多功能中断标志位 MIFn 才会被置 1 (对应通道需配置为输出)。
 10: 中心对齐模式 2, 计数器以交替方式递增或递减计数。仅当计数器递增计数时, 多功能中断标志位 MIFn 才会被置 1。
 11: 中心对齐模式 3, 计数器以交替方式递增或递减计数。当计数器递增或递减计数时, 多功能中断标志位 MIFn 均会被置 1。

Bit 4 DIRS: 计数器计数方向选择位 (中心对齐和编码器模式下, 该位只读)
 0: 递增计数
 1: 递减计数

Bit 3 SPME: 单脉冲模式使能位
 0: 禁止, 当发生更新事件时, 计数器不停止计数
 1: 使能, 当发生下一次更新事件时, T31EN 位被清 0, 计数器停止计数

Bit 2 UES: 更新事件源选择位
 0: 计数器上溢出/下溢出, 软件设置 UPT=1, 从模式控制器产生的更新, 可以产生更新事件
 1: 计数器上溢出/下溢出, 可以产生更新事件

- Bit 1 UED: 更新事件禁止位
0: 不禁止产生更新事件
1: 禁止产生更新事件
- Bit 0 T31EN: T31 计数器使能位
0: 禁止
1: 使能

注 1: 当计数器使能时 (T31EN=1), 禁止从普通模式转换到中心对齐模式;
注 2: 当计数器配置为中心对齐模式或编码器模式时, DIRS 位只可读, 无法软件改写;
注 3: 对 T31EN 位, 在触发模式下由硬件自动置 1, 无需通过软件置 1。

6.3.14.18 控制寄存器 0 高 8 位 (T31C0H)

T31C0H: 控制寄存器 0 高 8 位 (T31C0H)								
Bit	7	6	5	4	3	2	1	0
Name	—	HTOEOFF	—	—	—	—	DFCKS<1:0>	
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 未使用, 需软件固定设置为 0
- Bit 6 HTOEOFF: 在 ICD 调试时, PWM 状态控制 (非 ICD 调试模式下, 该位无效)
0: 预留, 禁止使用
1: 在 ICD 调试模式下, 该位需软件固定设置为 1, 否则 PWM 输出可能会异常
- Bit 5~2 未使用, 需软件固定设置为 0
- Bit 1~0 DFCKS<1:0>: 死区发生器和数字滤波器工作时钟频率 Fdfck 选择位
00: Fosc
01: Fosc/2
10: Fosc/4
11: 预留, 禁止使用

注: PWM 互补输出信号的死区发生器, 外部触发输入 T31_ETR 和各通道输入信号的数字滤波器, 均基于计数器内部时钟 Fosc 或其分频后的时钟进行工作。

6.3.14.19 控制寄存器 1 低 8 位 (T31C1L)

T31C1L: 控制寄存器 1 低 8 位 (T31C1L)								
Bit	7	6	5	4	3	2	1	0
Name	—	ADTRGS<2:0>			—	CHCUS	—	CHCBE
R/W	R/W	R/W	R/W	R/W	—	R/W	—	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 未使用, 需软件固定设置为 0
- Bit 6~4 ADTRGS<2:0>: ADC 触发源选择位, 触发后启动 ADC 转换
000: 计数器被重新初始化: 设置 T31EVG 寄存器的 UPT=1 产生更新事件; 或在复位模式下发生触发输入事件
001: 计数器被使能计数: 设置 T31C0L 寄存器的 T31EN=1 使能计数; 或在触发模

式下，触发输入信号使能计数；或在门控模式下使能计数

010: 更新事件的产生

011: 通道 1 的多功能中断标志 MIF1

100: 通道 1 发生了比较匹配

101: 通道 2 发生了比较匹配

110: 通道 3 发生了比较匹配

111: 通道 4 发生了比较匹配

Bit 3 未使用，需软件固定设置为 0

Bit 2 **CHCUS**: 互补通道控制位更新选择位（仅在互补输出模式下，且 **CHCBE=1** 时有效）

0: 只在 **CHUT=1** 触发互补通道更新事件时，这些控制位才会被更新

1: 在 **CHUT=1** 或触发信号出现上升沿时，这些控制位均会被更新

Bit 1 未使用，需软件固定设置为 0

Bit 0 **CHCBE**: 通道控制位缓冲使能位（仅在互补输出模式下有效）

0: **CHnE**, **CHnNE** 和 **CHnOM** 无缓冲，改写后立即生效

1: **CHnE**, **CHnNE** 和 **CHnOM** 有缓冲，改写后不立即生效，取决于 **CHCUS** 的设置

6.3.14.20 控制寄存器 1 高 8 位 (T31C1H)

T31C1H: 控制寄存器 1 高 8 位 (T31C1H)								
Bit	7	6	5	4	3	2	1	0
Name	—	ONS4	ONS3N	ONS3	ONS2N	ONS2	ONS1N	ONS1
R/W	—	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 未使用，需软件固定设置为 0

Bit 6 **ONS4**: 通道 4 输出的空闲状态选择位

0: 空闲时输出 0

1: 空闲时输出 1

Bit 5 **ONS3N**: 通道 3 互补输出的空闲状态选择位

0: 空闲时输出 0

1: 空闲时输出 1

Bit 4 **ONS3**: 通道 3 输出的空闲状态 3 选择位

0: 空闲时输出 0

1: 空闲时输出 1

Bit 3 **ONS2N**: 通道 2 互补输出的空闲状态选择位

0: 空闲时输出 0

1: 空闲时输出 1

Bit 2 **ONS2**: 通道 2 输出的空闲状态选择位

0: 空闲时输出 0

1: 空闲时输出 1

Bit 1 **ONS1N**: 通道 1 互补输出的空闲状态选择位

0: 空闲时输出 0

1: 空闲时输出 1

Bit 0 **ONS1**: 通道 1 输出的空闲状态选择位

- 0: 空闲时输出 0
- 1: 空闲时输出 1

注 1: 设置 T31CHBK 寄存器的 CHOE=0, NOFFS=1 后, 通道输出空闲状态;
注 2: 设置 T31CHBK 寄存器的 PROTS 位写保护后, 对 T31C1H 寄存器中的各位无法再改写。

6.3.14.21 控制寄存器 2 低 8 位 (T31C2L)

T31C2L: 控制寄存器 2 低 8 位 (T31C2L)								
Bit	7	6	5	4	3	2	1	0
Name	—	TRGS<2:0>			COCE	T31SM<2:0>		
R/W	R/W	R/W	R/W	R/W	—	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 未使用, 需软件固定设置为 0
- Bit 6~4 TRGS<2:0>: 触发源选择位, 被选触发源作为触发信号, 用来同步计数器
000~011: 保留
100: 通道 1 输入脉冲信号边沿 (上升沿和下降沿均有效, 可通过 CH1IOS 位选择通道输入端口)
101: 通道 1 输入信号 (支持输入滤波, 可通过 CH1IOS 位选择通道输入端口)
110: 通道 2 输入信号 (支持输入滤波, 可通过 CH2IOS 位选择通道输入端口)
111: 外部触发输入 T31_ETR (支持输入滤波和预分频)
- Bit 3 COCE: 所有通道比较器输出清 0 总使能位
0: 禁止
1: 使能, 外部触发输入信号 T31_ETR 为高电平时, 如果 CHnCOCE=1, 则对应通道的比较器输出可被清 0
- Bit 2~0 T31SM<2:0>: T31 从模式选择位
000: 禁止从模式, 计数器使用系统时钟 Fosc 内部时钟源计数 (ECM2E=0) 或外部时钟源模式 2 计数 (ECM2E=1)
001: 编码器模式 1, 计数时钟为通道 2 端口 T31_CH2 信号的上升沿和下降沿, 计数方向由通道 1 端口 T31_CH1 电平控制
010: 编码器模式 2, 计数时钟为通道 1 端口 T31_CH1 信号的上升沿和下降沿, 计数方向由通道 2 端口 T31_CH2 电平控制
011: 编码器模式 3, 计数时钟为通道 1 端口 T31_CH1 和通道 2 端口 T31_CH2 信号的上升沿和下降沿, 其中任一个输入信号出现有效边沿时均会计数, 计数方向由另一个输入信号的电平控制
100: 复位模式, 在触发信号的上升沿重新初始化计数器, 并更新寄存器
101: 门控模式, 当触发信号为高电平时, 计数器进行计数, 为低电平时, 计数器停止计数并保持
110: 触发模式, 计数器由触发信号的上升沿使能并启动计数
111: 外部时钟源模式 1, 计数器时钟为触发信号, 在上升沿计数

注 1: 为了避免错误边沿检测, 建议在触发信号不工作时 (如 T31SM=000) 选择触发源;
注 2: 使用门控模式时, 不能把通道 1 端口输入脉冲边沿作为触发信号 (TRGS=100), 因这时的触发信号只是一个脉冲信号, 不是门控模式所需的电平信号;

注 3: 当选择外部输入信号时, 触发信号的有效边沿与外部输入信号的极性设置有关;
注 4: 编码器模式下, 用作计数时钟和计数方向控制的通道端口输入信号, 均可以通过对应的 CHnNP/CHnP 位设置输入极性。

6. 3. 14. 22 控制寄存器 2 高 8 位 (T31C2H)

T31C2H: 控制寄存器 2 高 8 位 (T31C2H)								
Bit	7	6	5	4	3	2	1	0
Name	ETEG	ECM2E	ETPRS<1:0>		ETFSS<3:0>			
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 ETEG: 外部触发信号边沿选择位
 0: 上升沿
 1: 下降沿
- Bit 6 ECM2E: 外部时钟源模式 2 使能位
 0: 禁止
 1: 使能, 计数器时钟为外部输入 T31_ETR 信号的上升沿或下降沿
- Bit 5~4 ETPRS<1:0>: 外部输入时钟 T31_ETR 预分频比选择位
 00: 1: 1
 01: 1: 2
 10: 1: 4
 11: 1: 8
- Bit 3~0 ETFSS<3:0>: 外部输入时钟 T31_ETR 的滤波时间选择位
 0000: 无滤波
 0001: 2*Tosc (Tosc 为系统时钟周期)
 0010: 4*Tosc
 0011: 8*Tosc
 0100: 12*Tdfck (Tdfck 为数字滤波器工作时钟周期, 由 DFCKS 位设置)
 0101: 16*Tdfck
 0110: 24*Tdfck
 0111: 32*Tdfck
 1000: 48*Tdfck
 1001: 64*Tdfck
 1010: 80*Tdfck
 1011: 96*Tdfck
 1100: 128*Tdfck
 1101: 160*Tdfck
 1110: 192*Tdfck
 1111: 256*Tdfck

注 1: 外部时钟源模式 2, 等同于在外部时钟源模式 1 时, 将 T31_ETR 信号作为触发信号 (TRGS=111);
注 2: 如果外部时钟源模式 1 和外部时钟源模式 2 同时使能, 外部时钟源模式 2 优先级高, 则外部时钟输入为 T31_ETR 信号;
注 3: 外部输入时钟 T31_ETR 的频率不能超过计数器时钟频率的 1/4, 可使用预分频来降低 T31_ETR 的频率。

6.3.14.23 通道 1 控制寄存器 (T31CH1C)

比较器模式

T31CH1C: 通道 1 控制寄存器 (T31CH1C)								
Bit	7	6	5	4	3	2	1	0
Name	CH1COCE	CH1OM<2:0>			CH1OBE	CH1OFE	CH1IOS<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7** CH1COCE: 通道 1 比较器输出清 0 使能位 (仅在总清 0 使能位 COCE=1 时有效)
0: 禁止
1: 使能, 当外部触发输入信号 T31_ETR 为高电平时, 比较器输出将被清 0
- Bit 6~4** CH1OM<2:0>: 通道 1 比较器和 PWM 工作模式选择位
000: 比较器模式, 匹配时不改变端口输出
001: 比较器模式, 匹配时比较器输出 1, 通道端口输出电平取决于 CH1P 位
010: 比较器模式, 匹配时比较器输出 0, 通道端口输出电平取决于 CH1P 位
011: 比较器模式, 匹配时比较器输出翻转, 通道端口输出电平翻转
100: 比较器输出强制为 0, 通道端口输出电平取决于 CH1P 位
101: 比较器输出强制为 1, 通道端口输出电平取决于 CH1P 位
110: PWM 模式 1, 递增计数过程中, 当 T31CNT<T31CH1R 时, 比较器输出 1, 否则输出 0; 递减计数过程中, 当 T31CNT>T31CH1R 时, 比较器输出 0, 否则输出 1。通道端口输出电平取决于 CH1P 位
111: PWM 模式 2, 递增计数过程中, 当 T31CNT<T31CH1R 时, 比较器输出 0, 否则输出 1; 递减计数过程中, 当 T31CNT>T31CH1R 时, 比较器输出 1, 否则输出 0。通道端口输出电平取决于 CH1P 位
- Bit 3** CH1OBE: 通道 1 比较寄存器缓冲使能位
0: 禁止, T31CH1R 寄存器改写后的值将立即生效
1: 使能, T31CH1R 寄存器有缓冲, 改写后的值不会立即生效, 直到下一次更新事件发生时才会生效。PWM 模式下建议使能该位, 以保证 PWM 波形完整
- Bit 2** CH1OFE: 通道 1 比较输出加速使能位 (仅在 PWM1 或 PWM2 模式下有效)
0: 禁止, 检测到外部触发输入信号后, 通道输出端口仍然需要等到计数器的计数值与比较寄存器匹配后, 才能根据具体设置产生所需的输出电平
1: 使能, 检测到外部触发输入信号后, 通道输出端口会立即根据发生了比较匹配后的具体设置, 产生所需的输出电平, 而不需要等待计数器的计数值与比较寄存器真正匹配, 这样可将通道输出与触发输入信号之间的延迟时间降为最短
- Bit 1~0** CH1IOS<1:0>: 通道 1 输入/输出选择位 (仅在 CH1E=0, 通道 1 关闭时可写)
00: 通道 1 为输出, 则在通道 1 使能后, 通道 1 端口 T31_CH1 被设置为输出
01: 通道 1 为输入, 使用通道 1 端口 T31_CH1 作为输入
10: 通道 1 为输入, 使用通道 2 端口 T31_CH2 作为输入
11: 通道 1 为输入, 固定输入 0

注 1: 当 T31CHBK 寄存器的 PROTS=11 (设置为保护等级 3), 且 CH1IOS=00 (通道为输出模式) 时, CH1OM 和 CH1OBE 位将不能被改写;

注 2: 在比较器和 PWM 模式下, 通道 1 需要设置为输出, CH1IOS=00。

捕捉器模式

T31CH1C: 通道 1 控制寄存器 (T31CH1C)								
Bit	7	6	5	4	3	2	1	0
Name	CH1IFS<3:0>				CH1IM<1:0>		CH1IOS<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 CH1IFS<3:0>: 通道 1 捕捉输入滤波时间选择位
 0000: 无滤波
 0001: 2*Tosc (Tosc 为系统时钟周期)
 0010: 4*Tosc
 0011: 8*Tosc
 0100: 12*Tdfck (Tdfck 为数字滤波器工作时钟周期)
 0101: 16*Tdfck
 0110: 24*Tdfck
 0111: 32*Tdfck
 1000: 48*Tdfck
 1001: 64*Tdfck
 1010: 80*Tdfck
 1011: 96*Tdfck
 1100: 128*Tdfck
 1101: 160*Tdfck
 1110: 192*Tdfck
 1111: 256*Tdfck

Bit 3~2 CH1IM<1:0>: 通道 1 捕捉器工作模式选择位
 00: 每 1 个输入信号边沿, 捕捉一次
 01: 每 2 个输入信号边沿, 捕捉一次
 10: 每 4 个输入信号边沿, 捕捉一次
 11: 每 8 个输入信号边沿, 捕捉一次

Bit 1~0 CH1IOS<1:0>: 通道 1 输入/输出选择位 (仅在 CH1E=0, 通道 1 关闭时可写)
 00: 通道 1 为输出, 则在通道 1 使能后, 通道 1 端口 T31_CH1 被设置为输出
 01: 通道 1 为输入, 使用通道 1 端口 T31_CH1 作为输入
 10: 通道 1 为输入, 使用通道 2 端口 T31_CH2 作为输入
 11: 通道 1 为输入, 固定输入 0

注: 在捕捉器模式下, 通道 1 需要设置为输入, CH1IOS=01 或 10。

6. 3. 14. 24 通道 2 控制寄存器 (T31CH2C)

比较器模式

T31CH2C: 通道 2 控制寄存器 (T31CH2C)								
Bit	7	6	5	4	3	2	1	0
Name	CH2COCE	CH2OM<2:0>			CH2OBE	CH2OFE	CH2IOS<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7** CH2COCE: 通道 2 比较输出清 0 使能位 (仅在总清 0 使能位 COCE=1 时有效)
 0: 禁止
 1: 使能, 当外部触发输入信号 T31_ETR 为高电平时, 比较器输出将被清 0
- Bit 6~4** CH2OM<2:0>: 通道 2 比较器和 PWM 工作模式选择位
 000: 比较器模式, 匹配时不改变端口输出
 001: 比较器模式, 匹配时比较器输出 1, 通道端口输出电平取决于 CH2P 位
 010: 比较器模式, 匹配时比较器输出 0, 通道端口输出电平取决于 CH2P 位
 011: 比较器模式, 匹配时比较器输出翻转, 通道端口输出电平翻转
 100: 比较器输出强制为 0, 通道端口输出电平取决于 CH2P 位
 101: 比较器输出强制为 1, 通道端口输出电平取决于 CH2P 位
 110: PWM 模式 1, 递增计数过程中, 当 T31CNT<T31CH2R 时, 比较器输出 1, 否则输出 0; 递减计数过程中, 当 T31CNT>T31CH2R 时, 比较器输出 0, 否则输出 1。通道端口输出电平取决于 CH2P 位
 111: PWM 模式 2, 递增计数过程中, 当 T31CNT<T31CH2R 时, 比较器输出 0, 否则输出 1; 递减计数过程中, 当 T31CNT>T31CH2R 时, 比较器输出 1, 否则输出 0。通道端口输出电平取决于 CH2P 位
- Bit 3** CH2OBE: 通道 2 比较寄存器缓冲使能位
 0: 禁止, T31CH2R 寄存器改写后的值将立即生效
 1: 使能, T31CH2R 寄存器有缓冲, 改写后的值不会立即生效, 直到下一次更新事件发生时才会生效。PWM 模式下建议使能该位, 以保证 PWM 波形完整
- Bit 2** CH2OFE: 通道 2 比较比较输出加速使能位 (仅在 PWM1 或 PWM2 模式下有效)
 0: 禁止, 检测到外部触发输入信号后, 通道输出端口仍然需要等到计数器的计数值与比较寄存器匹配后, 才能根据具体设置产生所需的输出电平
 1: 使能, 检测到外部触发输入信号后, 通道输出端口会立即根据发生了比较匹配后的具体设置, 产生所需的输出电平, 而不需要等待计数器的计数值与比较寄存器真正匹配, 这样可将通道输出与触发输入信号之间的延迟时间降为最短
- Bit 1~0** CH2IOS<1:0>: 通道 2 输入/输出选择位 (仅在 CH2E=0, 通道 2 关闭时可写)
 00: 通道 2 为输出, 则在通道 2 使能后, 通道 2 端口 T31_CH2 被设置为输出
 01: 通道 2 为输入, 使用通道 2 端口 T31_CH2 作为输入
 10: 通道 2 为输入, 使用通道 1 端口 T31_CH1 作为输入
 11: 通道 2 为输入, 固定输入 0

注 1: 当 T31CHBK 寄存器的 PROTS=11 (设置为保护等级 3), 且 CH2IOS=00 (通道为输出模式) 时, CH2OM 和 CH2OBE 位将不能被改写;

注 2: 在比较器和 PWM 模式下, 通道 2 需要设置为输出, CH2IOS=00。

捕捉器模式

T31CH2C: 通道 2 控制寄存器 (T31CH2C)								
Bit	7	6	5	4	3	2	1	0
Name	CH2IFS<3:0>				CH2IM<1:0>		CH2IOS<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~4 CH2IFS<3:0>: 通道 2 捕捉输入滤波时间选择位

- 0000: 无滤波
- 0001: $2 \cdot T_{osc}$ (T_{osc} 为系统时钟周期)
- 0010: $4 \cdot T_{osc}$
- 0011: $8 \cdot T_{osc}$
- 0100: $12 \cdot T_{dfck}$ (T_{dfck} 为数字滤波器工作时钟周期)
- 0101: $16 \cdot T_{dfck}$
- 0110: $24 \cdot T_{dfck}$
- 0111: $32 \cdot T_{dfck}$
- 1000: $48 \cdot T_{dfck}$
- 1001: $64 \cdot T_{dfck}$
- 1010: $80 \cdot T_{dfck}$
- 1011: $96 \cdot T_{dfck}$
- 1100: $128 \cdot T_{dfck}$
- 1101: $160 \cdot T_{dfck}$
- 1110: $192 \cdot T_{dfck}$
- 1111: $256 \cdot T_{dfck}$

Bit 3~2 CH2IM<1:0>: 通道 2 捕捉器工作模式选择位

- 00: 每 1 个输入信号边沿, 捕捉一次
- 01: 每 2 个输入信号边沿, 捕捉一次
- 10: 每 4 个输入信号边沿, 捕捉一次
- 11: 每 8 个输入信号边沿, 捕捉一次

Bit 1~0 CH2IOS<1:0>: 通道 2 输入/输出选择位 (仅在 CH2E=0, 通道 2 关闭时可写)

- 00: 通道 2 为输出, 则在通道 2 使能后, 通道 2 端口 T31_CH2 被设置为输出
- 01: 通道 2 为输入, 使用通道 2 端口 T31_CH2 作为输入
- 10: 通道 2 为输入, 使用通道 1 端口 T31_CH1 作为输入
- 11: 通道 2 为输入, 固定输入 0

注: 在捕捉器模式下, 通道 2 需要设置为输入, CH2IOS=01 或 10。

6.3.14.25 通道 3 控制寄存器 (T31CH3C)

比较器模式

T31CH3C: 通道 3 控制寄存器 (T31CH3C)								
Bit	7	6	5	4	3	2	1	0
Name	CH3COCE	CH3OM<2:0>			CH3OBE	CH3OFE	CH3IOS<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 CH3COCE: 通道 3 比较器输出清 0 使能位 (仅在总清 0 使能位 COCE=1 时有效)

- 0: 禁止
- 1: 使能, 当外部触发输入信号 T31_ETR 为高电平时, 比较器输出将被清 0

Bit 6~4 CH3OM<2:0>: 通道 3 比较器和 PWM 工作模式选择位

- 000: 比较器模式, 匹配时不改变端口输出
- 001: 比较器模式, 匹配时比较器输出 1, 通道端口输出电平取决于 CH3P 位
- 010: 比较器模式, 匹配时比较器输出 0, 通道端口输出电平取决于 CH3P 位

- 011: 比较器模式, 匹配时比较器输出翻转, 通道端口输出电平翻转
- 100: 比较器输出强制为 0, 通道端口输出电平取决于 CH3P 位
- 101: 比较器输出强制为 1, 通道端口输出电平取决于 CH3P 位
- 110: PWM 模式 1, 递增计数过程中, 当 $T31CNT < T31CH3R$ 时, 比较器输出 1, 否则输出 0; 递减计数过程中, 当 $T31CNT > T31CH3R$ 时, 比较器输出 0, 否则输出 1。通道端口输出电平取决于 CH3P 位
- 111: PWM 模式 2, 递增计数过程中, 当 $T31CNT < T31CH3R$ 时, 比较器输出 0, 否则输出 1; 递减计数过程中, 当 $T31CNT > T31CH3R$ 时, 比较器输出 1, 否则输出 0。通道端口输出电平取决于 CH3P 位

- Bit 3** CH3OBE: 通道 3 比较寄存器缓冲使能位
- 0: 禁止, T31CH3R 寄存器改写后的值将立即生效
 - 1: 使能, T31CH3R 寄存器有缓冲, 改写后的值不会立即生效, 直到下一次更新事件发生时才会生效。PWM 模式下建议使能该位, 以保证 PWM 波形完整。
- Bit 2** CH3OFE: 通道 3 比较输出加速使能位 (仅 PWM1 或 PWM2 模式下有效)
- 0: 禁止, 检测到外部触发输入信号后, 通道输出端口仍然需要等到计数器的计数值与比较寄存器匹配后, 才能根据具体设置产生所需的输出电平
 - 1: 使能, 检测到外部触发输入信号后, 通道输出端口会立即根据发生了比较匹配后的具体设置, 产生所需的输出电平, 而不需要等待计数器的计数值与比较寄存器真正匹配, 这样可将通道输出与触发输入信号之间的延迟时间降为最短
- Bit 1~0** CH3IOS<1:0>: 通道 3 输入/输出选择位 (仅在 CH3E=0, 通道 3 关闭时可写)
- 00: 通道 3 为输出, 则在通道 3 使能后, 通道 3 端口 T31_CH3 被设置为输出
 - 01: 通道 3 为输入, 使用通道 3 端口 T31_CH3 作为输入
 - 10: 通道 3 为输入, 使用通道 4 端口 T31_CH4 作为输入
 - 11: 通道 3 为输入, 固定输入 0

注 1: 当 T31CHBK 寄存器的 PROTS=11 (设置为保护等级 3), 且 CH3IOS=00 (通道为输出模式) 时, CH3OM 和 CH3OBE 位将不能被改写;

注 2: 在比较器和 PWM 模式下, 通道 3 需要设置为输出, CH3IOS=00。

捕捉器模式

T31CH3C: 通道 3 控制寄存器 (T31CH3C)

Bit	7	6	5	4	3	2	1	0
Name	CH3IFS<3:0>				CH3IM<1:0>		CH3IOS<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~4** CH3IFS<3:0>: 通道 3 捕捉输入滤波时间选择位
- 0000: 无滤波
 - 0001: $2 * T_{osc}$ (T_{osc} 为系统时钟周期)
 - 0010: $4 * T_{osc}$
 - 0011: $8 * T_{osc}$
 - 0100: $12 * T_{dfck}$ (T_{dfck} 为数字滤波器工作时钟周期)
 - 0101: $16 * T_{dfck}$
 - 0110: $24 * T_{dfck}$
 - 0111: $32 * T_{dfck}$

- 1000: 48*Tdfck
- 1001: 64*Tdfck
- 1010: 80*Tdfck
- 1011: 96*Tdfck
- 1100: 128*Tdfck
- 1101: 160*Tdfck
- 1110: 192*Tdfck
- 1111: 256*Tdfck

Bit 3~2 CH3IM<1:0>: 通道 3 捕捉器工作模式选择位

- 00: 每 1 个输入信号边沿, 捕捉一次
- 01: 每 2 个输入信号边沿, 捕捉一次
- 10: 每 4 个输入信号边沿, 捕捉一次
- 11: 每 8 个输入信号边沿, 捕捉一次

Bit 1~0 CH3IOS<1:0>通道 3 输入/输出选择位 (仅在 CH3E=0, 通道 3 关闭时可写)

- 00: 通道 3 为输出, 则在通道 3 使能后, 通道 3 端口 T31_CH3 被设置为输出
- 01: 通道 3 为输入, 使用通道 3 端口 T31_CH3 作为输入
- 10: 通道 3 为输入, 使用通道 4 端口 T31_CH4 作为输入
- 11: 通道 3 为输入, 固定输入 0

注: 在捕捉器模式下, 通道 3 需要设置为输入, CH3IOS=01 或 10。

6.3.14.26 通道 4 控制寄存器 (T31CH4C)

比较器模式

T31CH4C: 通道 4 控制寄存器 (T31CH4C)

Bit	7	6	5	4	3	2	1	0
Name	CH4COCE	CH4OM<2:0>			CH4OBE	CH4OFE	CH4IOS<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 CH4COCE: 通道 4 比较器输出清 0 使能位 (仅在总清 0 使能位 COCE=1 时有效)

- 0: 禁止
- 1: 使能, 当外部触发输入信号 T31_ETR 为高电平时, 比较器输出将被清 0

Bit 6~4 CH4OM<2:0>: 通道 4 比较器和 PWM 工作模式选择位

- 000: 比较器模式, 匹配时不改变端口输出
- 001: 比较器模式, 匹配时比较器输出 1, 通道端口输出电平取决于 CH4P 位
- 010: 比较器模式, 匹配时比较器输出 0, 通道端口输出电平取决于 CH4P 位
- 011: 比较器模式, 匹配时比较器输出翻转, 通道端口输出电平翻转
- 100: 比较器输出强制为 0, 通道端口输出电平取决于 CH4P 位
- 101: 比较器输出强制为 1, 通道端口输出电平取决于 CH4P 位
- 110: PWM 模式 1, 递增计数过程中, 当 T31CNT<T31CH4R 时, 比较器输出 1, 否则输出 0; 递减计数过程中, 当 T31CNT>T31CH4R 时, 比较器输出 0, 否则输出 1。通道端口输出电平取决于 CH4P 位
- 111: PWM 模式 2, 递增计数过程中, 当 T31CNT<T31CH4R 时, 比较器输出 0,

否则输出 1；递减计数过程中，当 $T31CNT > T31CH4R$ 时，比较器输出 1，否则输出 0。通道端口输出电平取决于 CH4P 位

- Bit 3 CH4OBE: 通道 4 比较寄存器缓冲使能位
 0: 禁止, T31CH4R 寄存器改写后的值将立即生效
 1: 使能, T31CH4R 寄存器有缓冲, 改写后的值不会立即生效, 直到下一次更新事件发生时才会生效。PWM 模式下建议使能该位, 以保证 PWM 波形完整
- Bit 2 CH4OFE: 通道 4 比较输出加速使能位 (仅 PWM1 或 PWM2 模式下有效)
 0: 禁止, 检测到外部触发输入信号后, 通道输出端口仍然需要等到计数器的计数值与比较寄存器匹配后, 才能根据具体设置产生所需的输出电平
 1: 使能, 检测到外部触发输入信号后, 通道输出端口会立即根据发生了比较匹配后的具体设置, 产生所需的输出电平, 而不需要等待计数器的计数值与比较寄存器真正匹配, 这样可将通道输出与触发输入信号之间的延迟时间降为最短
- Bit 1~0 CH4IOS<1:0>: 通道 4 输入/输出选择位 (仅在 CH4E=0, 通道 4 关闭时可写)
 00: 通道 4 为输出, 则在通道 4 使能后, 通道 4 端口 T31_CH4 被设置为输出
 01: 通道 4 为输入, 使用通道 4 端口 T31_CH4 作为输入
 10: 通道 4 为输入, 使用通道 3 端口 T31_CH3 作为输入
 11: 通道 4 为输入, 固定输入 0

注 1: 当 T31CHBK 寄存器的 PROTS=11 (设置为保护等级 3), 且 CH4IOS=00 (通道为输出模式) 时, CH4OM 和 CH4OBE 位将不能被改写;

注 2: 在比较器和 PWM 模式下, 通道 4 需要设置为输出, CH4IOS=00。

捕捉器模式

T31CH4C: 通道 4 控制寄存器 (T31CH4C)								
Bit	7	6	5	4	3	2	1	0
Name	CH4IFS<3:0>				CH4IM<1:0>		CH4IOS<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~4 CH4IFS<3:0>: 通道 4 捕捉输入滤波时间选择位
 0000: 无滤波
 0001: $2 * T_{osc}$ (T_{osc} 为系统时钟周期)
 0010: $4 * T_{osc}$
 0011: $8 * T_{osc}$
 0100: $12 * T_{dfck}$ (T_{dfck} 为数字滤波器工作时钟周期)
 0101: $16 * T_{dfck}$
 0110: $24 * T_{dfck}$
 0111: $32 * T_{dfck}$
 1000: $48 * T_{dfck}$
 1001: $64 * T_{dfck}$
 1010: $80 * T_{dfck}$
 1011: $96 * T_{dfck}$
 1100: $128 * T_{dfck}$
 1101: $160 * T_{dfck}$

- 1110: 192*Tdfck
- 1111: 256*Tdfck
- Bit 3~2 CH4IM<1:0>: 通道 4 捕捉器工作模式选择位
 - 00: 每 1 个输入信号边沿, 捕捉一次
 - 01: 每 2 个输入信号边沿, 捕捉一次
 - 10: 每 4 个输入信号边沿, 捕捉一次
 - 11: 每 8 个输入信号边沿, 捕捉一次
- Bit 1~0 CH4IOS<1:0>: 通道 4 输入/输出选择位 (仅在 CH4E=0, 通道 4 关闭时可写)
 - 00: 通道 4 为输出, 则在通道 4 使能后, 通道 4 端口 T31_CH4 被设置为输出
 - 01: 通道 4 为输入, 使用通道 4 端口 T31_CH4 作为输入
 - 10: 通道 4 为输入, 使用通道 3 端口 T31_CH3 作为输入
 - 11: 通道 4 为输入, 固定输入 0

注: 在捕捉器模式下, 通道 4 需要设置为输入, CH4IOS=01 或 10。

6. 3. 14. 27 通道端口控制寄存器低 8 位 (T31PINCL)

T31PINCL: 通道端口控制寄存器低 8 位 (T31PINCL)								
Bit	7	6	5	4	3	2	1	0
Name	CH2NP	CH2NE	CH2P	CH2E	CH1NP	CH1NE	CH1P	CH1E
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

通道 2 或 1 配置为输出时:

- Bit 7 CH2NP: 通道 2 互补输出极性控制位
 - 0: T31_CH2N 端口输出有效状态时不反相, 输出无效状态时端口为 0
 - 1: T31_CH2N 端口输出有效状态时反相, 输出无效状态时端口为 1
- Bit 6 CH2NE: 通道 2 互补输出使能位
 - 0: 禁止, T31_CH2N 端口输出关闭
 - 1: 使能, T31_CH2N 端口输出打开
- Bit 5 CH2P: 通道 2 输出极性控制位
 - 0: T31_CH2 端口输出有效状态时不反相, 输出无效状态时端口为 0
 - 1: T31_CH2 端口输出有效状态时反相, 输出无效状态时端口为 1
- Bit 4 CH2E: 通道 2 输出使能位
 - 0: 禁止, T31_CH2 端口输出关闭
 - 1: 使能, T31_CH2 端口输出打开
- Bit 3 CH1NP: 通道 1 互补输出极性控制位
 - 0: T31_CH1N 端口输出有效状态时不反相, 输出无效状态时端口为 0
 - 1: T31_CH1N 端口输出有效状态时反相, 输出无效状态时端口为 1
- Bit 2 CH1NE: 通道 1 互补输出使能位
 - 0: 禁止, T31_CH1N 端口输出关闭
 - 1: 使能, T31_CH1N 端口输出打开
- Bit 1 CH1P: 通道 1 输出极性控制位
 - 0: T31_CH1 端口输出有效状态时不反相, 输出无效状态时端口为 0
 - 1: T31_CH1 端口输出有效状态时反相, 输出无效状态时端口为 1

Bit 0 CH1E: 通道 1 输出使能位
0: 禁止, T31_CH1 端口输出关闭
1: 使能, T31_CH1 端口输出打开

通道 2 或 1 配置为输入时:

Bit 7 CH2NP: 通道 2 输入极性控制位
该位需和 CH2P 一起使用来控制通道 2 输入信号的极性, 参见 CH2P 位的描述。

Bit 6 CH2NE: 通道 2 互补输出使能位
该位在通道输入状态下无效

Bit 5 CH2P: 通道 2 输入极性控制位
由 CH2NP/CH2P 组合控制输入信号极性:
00: 通道 2 输入不反相, 输入信号的上升沿或高电平有效
01: 通道 2 输入反相, 输入信号的下降沿或低电平有效
10: 保留未用
11: 通道 2 输入不反相, 输入信号的双边沿 (上升/下降沿) 或高电平有效 (编码器模式下禁止使用该配置)

Bit 4 CH2E: 通道 2 输入使能位
0: 禁止, 无法进行捕捉
1: 使能, 可以进行捕捉

Bit 3 CH1NP: 通道 1 输入极性控制位
该位需和 CH1P 一起使用来控制通道 1 输入信号的极性, 参见 CH1P 位的描述。

Bit 2 CH1NE: 通道 1 互补输出使能位
该位在通道输入状态下无效

Bit 1 CH1P: 通道 1 输入极性控制位
由 CH1NP/CH1P 组合控制输入信号极性:
00: 通道 1 输入不反相, 输入信号的上升沿或高电平有效
01: 通道 1 输入反相, 输入信号的下降沿或低电平有效
10: 保留未用
11: 通道 1 输入不反相, 输入信号的双边沿 (上升/下降沿) 或高电平有效 (编码器模式下禁止使用该配置)

Bit 0 CH1E: 通道 1 输入使能位
0: 禁止, 无法进行捕捉
1: 使能, 可以进行捕捉

注 1: 当 T31CHBK 寄存器的 PROTS=10 或 11 (设置为保护等级 2 或 3), 且通道 2 和 1 为输出模式时, CH2NP, CH2P, CH1NP, CH1P 位将不能被改写;

注 2: 通道 2 输入取决于 T31CH2C 寄存器的 CH2IOS 位的设置, 当 CH2IOS=01 时, 为通道 2 端口的输入, 当 CH2IOS=10 时, 为通道 1 端口的输入;

注 3: 通道 1 输入取决于 T31CH1C 寄存器的 CH1IOS 位的设置, 当 CH1IOS=01 时, 为通道 1 端口的输入, 当 CH1IOS=10 时, 为通道 2 端口的输入;

注 4: 通道 2 输出端口 T31_CH2 关闭和打开时, 其端口电平取决于 CHOE, NOFFS, ROFFS, ONS2, CH2E 和 CH2NE 的控制;

注 5: 通道 2 互补输出端口 T31_CH2N 关闭和打开时, 其端口电平取决于 CHOE, NOFFS, ROFFS, ONS2N, CH2E 和 CH2NE 的控制;

注 6: 通道 1 输出端口 T31_CH1 关闭和打开时, 其端口电平取决于 CHOE, NOFFS, ROFFS, ONS1, CH1E 和 CH1NE 的控制;

注 7: 通道 1 互补输出端口 T31_CH1N 关闭和打开时, 其端口电平取决于 CHOE, NOFFS, ROFFS, ONS1N, CH1E 和 CH1NE 的控制;

注 8: CHnNP 和 CHnP 对通道端口输出极性的控制仅在 CHOE=1 时有效。

6.3.14.28 通道端口控制寄存器高 8 位 (T31PINCH)

T31PINCH: 通道端口控制寄存器高 8 位 (T31PINCH)								
Bit	7	6	5	4	3	2	1	0
Name	CH4NP	—	CH4P	CH4E	CH3NP	CH3NE	CH3P	CH3E
R/W	R/W	—	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

通道 4 或 3 配置为输出时:

- Bit 7 CH4NP: 通道 4 输入极性控制位
该位在通道输出状态下无效
- Bit 6 未使用, 需软件固定设置为 0
- Bit 5 CH4P: 通道 4 输出极性控制位
0: T31_CH4 端口输出有效状态时不反相, 输出无效状态时端口为 0
1: T31_CH4 端口输出有效状态时反相, 输出无效状态时端口为 1
- Bit 4 CH4E: 通道 4 输出使能位
0: 禁止, T31_CH4 端口输出关闭
1: 使能, T31_CH4 端口输出打开
- Bit 3 CH3NP: 通道 3 互补输出极性控制位
0: T31_CH3N 端口输出有效状态时不反相, 输出无效状态时端口为 0
1: T31_CH3N 端口输出有效状态时反相, 输出无效状态时端口为 1
- Bit 2 CH3NE: 通道 3 互补输出使能位
0: 禁止, T31_CH3N 端口输出关闭
1: 使能, T31_CH3N 端口输出打开
- Bit 1 CH3P: 通道 3 输出极性控制位
0: T31_CH3 端口输出有效状态时不反相, 输出无效状态时端口为 0
1: T31_CH3 端口输出有效状态时反相, 输出无效状态时端口为 1
- Bit 0 CH3E: 通道 3 输出使能位
0: 禁止, T31_CH3 端口输出关闭
1: 使能, T31_CH3 端口输出打开

通道 4 或 3 配置为输入时:

- Bit 7 CH4NP: 通道 4 输入极性控制位
该位需和 CH4P 一起使用来控制通道 4 输入信号的极性, 参见 CH4P 位的描述。
- Bit 6 未使用, 需软件固定设置为 0
- Bit 5 CH4P: 通道 4 输入极性控制位
由 CH4NP/CH4P 组合控制输入信号极性:
00: 通道 4 输入不反相, 输入信号的上升沿或高电平有效
01: 通道 4 输入反相, 输入信号的下降沿或低电平有效

- 10: 保留未用
- 11: 通道 4 输入不反相, 输入信号的双边沿 (上升/下降沿) 或高电平有效 (编码器模式下禁止使用该配置)
- Bit 4 CH4E: 通道 4 输入使能位
 - 0: 禁止, 无法进行捕捉
 - 1: 使能, 可以进行捕捉
- Bit 3 CH3NP: 通道 3 输入极性控制位
该位需和 CH3P 一起使用来控制通道 3 输入信号的极性, 参见 CH3P 位的描述。
- Bit 2 CH3NE: 通道 3 互补输出使能位
该位在通道输入状态下无效
- Bit 1 CH3P: 通道 3 输入极性控制位
由 CH3NP/CH3P 组合控制输入信号极性:
 - 00: 通道 3 输入不反相, 输入信号的上升沿或高电平有效
 - 01: 通道 3 输入反相, 输入信号的下降沿或低电平有效
 - 10: 保留未用
 - 11: 通道 3 输入不反相, 输入信号的双边沿 (上升/下降沿) 或高电平有效 (编码器模式下禁止使用该配置)
- Bit 0 CH3E: 通道 3 输入使能位
 - 0: 禁止, 无法进行捕捉
 - 1: 使能, 可以进行捕捉

注 1: 当 T31CHBK 寄存器的 PROTS=10 或 11 (设置为保护等级 2 或 3), 且通道 4 和 3 为输出模式时, CH4P, CH3NP, CH3P 位将不能被改写;

注 2: 通道 4 输入取决于 T31CH4C 寄存器的 CH4IOS 位的设置, 当 CH4IOS=01 时, 为通道 4 端口的输入, 当 CH4IOS=10 时, 为通道 3 端口的输入;

注 3: 通道 3 输入取决于 T31CH3C 寄存器的 CH3IOS 位的设置, 当 CH3IOS=01 时, 为通道 3 端口的输入, 当 CH3IOS=10 时, 为通道 4 端口的输入;

注 4: 通道 4 输出端口 T31_CH4 关闭和打开时, 其端口电平取决于 CHOE, NOFFS, ROFFS, ONS4 和 CH4E 的控制;

注 5: 通道 3 输出端口 T31_CH3 关闭和打开时, 其端口电平取决于 CHOE, NOFFS, ROFFS, ONS3, CH3E 和 CH3NE 的控制;

注 6: 通道 3 互补输出端口 T31_CH3N 关闭和打开时, 其端口电平取决于 CHOE, NOFFS, ROFFS, ONS3N, CH3E 和 CH3NE 的控制;

注 7: CHnNP 和 CHnP 对通道端口输出极性的控制仅在 CHOE=1 时有效。

6.3.14.29 通道输出关断控制寄存器 (T31CHBK)

T31CHBK: 通道输出关断控制寄存器 (T31CHBK)								
Bit	7	6	5	4	3	2	1	0
Name	CHOE	AROE	BKPS	BKE	ROFFS	NOFFS	PROTS<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 CHOE: 通道输出状态使能总控制位
 - 0: 输出关断, 通道端口为空闲模式。当 NOFFS=1 时, 各通道输出和互补输出均

被强制为空闲状态，如果设置了死区延时，则是经过死区延时后再进入空闲状态；当 NOFFS=0 时，各通道输出和互补输出均被禁止。

1: 输出使能，通道端口为运行模式，各通道输出和互补输出为有效或无效状态，具体状态取决于 CHnE, CHnNE 和 ROFFS 位。

一旦关断输入有效，该位会立即由硬件异步清零。该位可由软件置 1 或在关断事件撤消后自动置 1，由 AROE 位进行控制。

- Bit 6 AROE: 通道自动恢复使能位
 - 0: 禁止，需软件重新设置 CHOE 位
 - 1: 使能，关断事件撤消后，发生下一次更新事件时，CHOE 位自动恢复置 1
- Bit 5 BKPS: 关断输入极性选择位
 - 0: 低有效
 - 1: 高有效
- Bit 4 BKE: 关断使能位
 - 0: 禁止
 - 1: 使能
- Bit 3 ROFFS: 运行模式下的无效状态选择位（仅在 CHOE=1 时有效）
 - 0: 通道输出使能位 CHnE 或 CHnNE 为 0 时，对应的通道端口输出禁止
 - 1: 通道输出使能位 CHnE 和 CHnNE 只有一位为 0 时，则使能位为 0 的对应通道端口输出无效状态电平，两位均为 0 时，通道端口输出禁止
- Bit 2 NOFFS: 空闲模式下的空闲状态选择位（仅在 CHOE=0 时有效）
 - 0: 所有的通道端口 T31_CHn/T31_CHnN 输出禁止
 - 1: 通道输出使能位 CHnE 和 CHnNE 只有一位为 0 时，则通道端口 T31_CHn 和 T31_CHnN 均输出空闲状态电平，两位均为 0 时，通道端口输出禁止
- Bit 1~0 PROTS<1:0>: 写保护等级选择位
 - 00: 关闭写保护，软件可正常写寄存器位
 - 01: 写保护等级 1: T31DLYT 寄存器，T31C1H 寄存器的 ONSn 和 ONSnN 和 T31CHBK 寄存器的 BKE, BKPS 和 AROE 不再可写
 - 10: 写保护等级 2: 除了受写保护等级 1 所保护的寄存器位以外，还有如下寄存器位也不再可写: T31PINC 寄存器的 CHnP 和 CHnNP 位（只对输出通道的极性控制位提供写保护），以及 ROFFS 和 NOFFS 位
 - 11: 写保护等级 3: 除了受写保护等级 2 所保护的寄存器位以外，还有如下寄存器位也不再可写: T31CHnC 寄存器的 CHnOM 和 CHnOBE 位（只对输出通道的工作模式和比较寄存器缓冲控制位提供写保护）

注：芯片复位后，T31CHBK 寄存器的 PROTS 位只能软件写一次，所以必须先设置好受写保护的寄存器位，再写 PROTS 位，设置对应的写保护等级。

6. 3. 14. 30 软件触发事件寄存器（T31EVG）

T31EVG: 软件触发事件寄存器（T31EVG）								
Bit	7	6	5	4	3	2	1	0
Name	BKT	TRGT	CHUT	CH4T	CH3T	CH2T	CH1T	UPT
R/W	W	W	W	W	W	W	W	W
POR	0	0	0	0	0	0	0	0

- Bit 7 **BKT**: 关断事件触发位
 0: 无效
 1: 软件触发一次关断事件, 产生关断中断 **BKIF**, 该位由硬件自动清 0
- Bit 6 **TRGT**: 触发事件生成位
 0: 无效
 1: 软件产生一次触发事件, 产生触发中断 **TRGIF**, 该位由硬件自动清 0
- Bit 5 **CHUT**: 互补通道更新事件触发位 (仅对互补输出通道有效)
 0: 无效
 1: 软件触发一次互补通道更新事件, 产生互补通道更新中断 **CHUIF**, 该位由硬件自动清 0
- Bit 4 **CH4T**: 通道 4 捕捉/比较匹配事件触发位
 0: 无效
 1: 软件触发一次通道 4 的捕捉/比较匹配事件, 产生多功能中断 **MIF4** 或捕捉溢出中断 **OVIF4**, 该位由硬件自动清 0
- Bit 3 **CH3T**: 通道 3 捕捉/比较匹配事件触发位
 0: 无效
 1: 软件触发一次通道 3 的捕捉/比较匹配事件, 产生多功能中断 **MIF3** 或捕捉溢出中断 **OVIF3**, 该位由硬件自动清 0
- Bit 2 **CH2T**: 通道 2 捕捉/比较匹配事件触发位
 0: 无效
 1: 软件触发一次通道 2 的捕捉/比较匹配事件, 产生多功能中断 **MIF2** 或捕捉溢出中断 **OVIF2**, 该位由硬件自动清 0
- Bit 1 **CH1T**: 通道 1 捕捉/比较匹配事件触发位
 0: 无效
 1: 软件触发一次通道 1 的捕捉/比较匹配事件, 产生多功能中断 **MIF1** 或捕捉溢出中断 **OVIF1**, 该位由硬件自动清 0
- Bit 0 **UPT**: 更新事件触发位
 0: 无效
 1: 软件触发一次重新事件, 产生更新中断 **UPIF**, 该位由硬件自动清 0。更新事件触发后, 效果与复位模式下发生触发事件相同, 计数器和预分频器被重新初始化, 预分频计数器会被清零 (预分频比不受影响), 递增计数时计数器也会被清零, 递减计数时, 计数器会重载计数寄存器的值。同时如果 **T31COL** 寄存器的 **UES=0**, 还会使所有的可重载寄存器 (**T31CNTLD**, **T31CHnR**) 都被重载初始化。

6. 3. 14. 31 中断使能控制寄存器低 8 位 (T31IEL)

T31IEL: 中断使能控制寄存器低 8 位 (T31IEL)								
Bit	7	6	5	4	3	2	1	0
Name	BKIE	TRGIE	CHUIE	MIE4	MIE3	MIE2	MIE1	UPIE
R/W	W	W	W	W	W	W	W	W
POR	0	0	0	0	0	0	0	0

- Bit 7 **BKIE**: 关断中断使能位
 0: 禁止
 1: 使能

- Bit 6 TRGIE: 触发中断使能位
0: 禁止
1: 使能
- Bit 5 CHUIE: 互补通道更新中断使能位
0: 禁止
1: 使能
- Bit 4 MIE4: 通道 4 多功能中断使能位
0: 禁止
1: 使能
- Bit 3 MIE3: 通道 3 多功能中断使能位
0: 禁止
1: 使能
- Bit 2 MIE2: 通道 2 多功能中断使能位
0: 禁止
1: 使能
- Bit 1 MIE1: 通道 1 多功能中断使能位
0: 禁止
1: 使能
- Bit 0 UPIE: 更新中断使能位
0: 禁止
1: 使能

注: 通道 n 发生捕捉或比较匹配时, 均会置起该通道的多功能中断标志 MIFn, 如果该通道的多功能中断使能位 MIE_n=1, 则会产生对应的多功能中断请求。

6.3.14.32 中断使能控制寄存器高 8 位 (T31IEH)

T31IEH: 中断使能控制寄存器高 8 位 (T31IEH)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	OVIE4	OVIE3	OVIE2	OVIE1	—
R/W	—	—	—	W	W	W	W	—
POR	0	0	0	0	0	0	0	0

- Bit 7~5 未使用, 需软件固定设置为 0
- Bit 4 OVIE4: 通道 4 捕捉溢出中断使能位
0: 禁止
1: 使能
- Bit 3 OVIE3: 通道 3 捕捉溢出中断使能位
0: 禁止
1: 使能
- Bit 2 OVIE2: 通道 2 捕捉溢出中断使能位
0: 禁止
1: 使能
- Bit 1 OVIE1: 通道 1 捕捉溢出中断使能位
0: 禁止
1: 使能

Bit 0 未使用，需软件固定设置为 0

注：当某个中断的中断使能位与中断禁止位均写 1 时，后写入的位有效，例如先写 OVIE1=1，再写 OVID1 =1 时，实际是禁止通道 1 捕捉溢出中断，反之则是使能通道 1 捕捉溢出中断。

6. 3. 14. 33 中断禁止寄存器低 8 位 (T31IDL)

T31IDL: 中断禁止寄存器低 8 位 (T31IDL)								
Bit	7	6	5	4	3	2	1	0
Name	BKID	TRGID	CHUID	MID4	MID3	MID2	MID1	UPID
R/W	W	W	W	W	W	W	W	W
POR	0	0	0	0	0	0	0	0

- Bit 7 BKID: 关断中断禁止位
 0: 无效
 1: 禁止
- Bit 6 TRGID: 触发中断禁止位
 0: 无效
 1: 禁止
- Bit 5 CHUID: 互补通道更新中断禁止位
 0: 无效
 1: 禁止
- Bit 4 MID4: 通道 4 多功能中断禁止位
 0: 无效
 1: 禁止
- Bit 3 MID3: 通道 3 多功能中断禁止位
 0: 无效
 1: 禁止
- Bit 2 MID2: 通道 2 多功能中断禁止位
 0: 无效
 1: 禁止
- Bit 1 MID1: 通道 1 多功能中断禁止位
 0: 无效
 1: 禁止
- Bit 0 UPID: 更新中断禁止位
 0: 无效
 1: 禁止

6. 3. 14. 34 中断禁止寄存器高 8 位 (T31IDH)

T31IDH: 中断禁止寄存器高 8 位 (T31IDH)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	OVID4	OVID3	OVID2	OVID1	—
R/W	—	—	—	W	W	W	W	—
POR	0	0	0	0	0	0	0	0

- Bit 7~5 未使用，需软件固定设置为 0
- Bit 4 OVID4: 通道 4 捕捉溢出中断禁止位
0: 无效
1: 禁止
- Bit 3 OVID3: 通道 3 捕捉溢出中断禁止位
0: 无效
1: 禁止
- Bit 2 OVID2: 通道 2 捕捉溢出中断禁止位
0: 无效
1: 禁止
- Bit 1 OVID1: 通道 1 捕捉溢出中断禁止位
0: 无效
1: 禁止
- Bit 0 未使用，需软件固定设置为 0

注：当某个中断的中断使能位与中断禁止位均写 1 时，后写入的位有效，例如先写 OVIE1=1，再写 OVID1 =1 时，实际是禁止通道 1 捕捉溢出中断，反之则是使能通道 1 捕捉溢出中断。

6.3.14.35 中断使能状态寄存器低 8 位 (T31IVSL)

T31IVSL: 中断使能状态寄存器低 8 位 (T31IVSL)								
Bit	7	6	5	4	3	2	1	0
Name	BKIS	TRGIS	CHUIS	MIS4	MIS3	MIS2	MIS1	UPIS
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

- Bit 7 BKIS: 关断中断使能状态位
0: 禁止
1: 使能
- Bit 6 TRGIS: 触发中断使能状态位
0: 禁止
1: 使能
- Bit 5 CHUIS: 互补通道更新中断使能状态位
0: 禁止
1: 使能
- Bit 4 MIS4: 通道 4 捕捉中断/比较匹配中断使能状态位
0: 禁止
1: 使能
- Bit 3 MIS3: 通道 3 捕捉中断/比较匹配中断使能状态位
0: 禁止
1: 使能
- Bit 2 MIS2: 通道 2 捕捉中断/比较匹配中断使能状态位
0: 禁止
1: 使能
- Bit 1 MIS1: 通道 1 捕捉中断/比较匹配中断使能状态位

- 0: 禁止
- 1: 使能
- Bit 0 UPIS: 更新中断使能状态位
- 0: 禁止
- 1: 使能

6. 3. 14. 36 中断使能状态寄存器高 8 位 (T31IVSH)

T31IVSH: 中断使能状态寄存器高 8 位 (T31IVSH)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	OVIS4	OVIS3	OVIS2	OVIS1	—
R/W	—	—	—	R	R	R	R	—
POR	0	0	0	0	0	0	0	0

- Bit 7~5 未使用, 需软件固定设置为 0
- Bit 4 OVIS4: 通道 4 捕捉溢出中断使能状态位
- 0: 禁止
- 1: 使能
- Bit 3 OVIS3: 通道 3 捕捉溢出中断使能状态位
- 0: 禁止
- 1: 使能
- Bit 2 OVIS2: 通道 2 捕捉溢出中断使能状态位
- 0: 禁止
- 1: 使能
- Bit 1 OVIS1: 通道 1 捕捉溢出中断使能状态位
- 0: 禁止
- 1: 使能
- Bit 0 未使用, 需软件固定设置为 0

注: 通过设置寄存器 T31IE 和 T31ID, 来配置寄存器 T31IVS 的中断有效状态位。当寄存器 T31IE 和 T31ID 中的对应位均为 1 时, 后写入的位有效, 例如先写 OVIE1=1, 再写 OVID1=1 时, 实际是禁止通道 1 捕捉溢出中断, 则相应的 OVIS1=0, 反之则 OVIS1=1。

6. 3. 14. 37 中断标志寄存器低 8 位 (T31IFL)

T31IFL: 中断标志寄存器低 8 位 (T31IFL)								
Bit	7	6	5	4	3	2	1	0
Name	BKIF	TRGIF	CHUIF	MIF4	MIF3	MIF2	MIF1	UPIF
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

- Bit 7 BKIF: 关断中断标志位
- 0: 未发生关断事件
- 1: 发生关断事件, 关断事件撤消后, 写 T31ICRL 寄存器对应的清中断位清 0
- Bit 6 TRGIF: 外部触发中断标志位

- 0: 未发生触发事件
1: 发生触发事件, 写 T31ICRL 寄存器对应的清中断位清 0
- Bit 5 CHUIF: 互补通道更新中断标志位
0: 未发生互补通道更新事件
1: 发生互补通道更新事件, 写 T31ICRL 寄存器对应的清中断位清 0
- Bit 4 MIF4: 通道 4 多功能中断标志位
0: 无捕捉事件/比较匹配事件
1: 发生捕捉事件/比较匹配事件, 写 T31ICRL 寄存器对应的清中断位清 0, 发生捕捉时, 还可以通过读取 T31CH4R 寄存器来清 0
- Bit 3 MIF3: 通道 3 多功能中断标志位
0: 无捕捉事件/比较匹配事件
1: 发生捕捉事件/比较匹配事件, 写 T31ICRL 寄存器对应的清中断位清 0, 发生捕捉时, 还可以通过读取 T31CH3R 寄存器来清 0
- Bit 2 MIF2: 通道 2 多功能中断标志位
0: 无捕捉事件/比较匹配事件
1: 发生捕捉事件/比较匹配事件, 写 T31ICRL 寄存器对应的清中断位清 0, 发生捕捉时, 还可以通过读取 T31CH2R 寄存器来清 0
- Bit 1 MIF1: 通道 1 多功能中断标志位
0: 无捕捉事件/比较匹配事件
1: 发生捕捉事件/比较匹配事件, 写 T31ICRL 寄存器对应的清中断位清 0, 发生捕捉时, 还可以通过读取 T31CH1R 寄存器来清 0
- Bit 0 UPIF: 更新中断标志位
0: 未发生更新事件
1: 发生更新事件, 写 T31ICRL 寄存器对应的清中断位清 0

注: 通道 n 发生捕捉或比较匹配时, 均会置起该通道的多功能中断标志 MIFn, 如果该通道的多功能中断使能位 MIEn=1, 则会产生对应的多功能中断请求。

6.3.14.38 中断标志寄存器高 8 位 (T31IFH)

T31IFH: 中断标志寄存器高 8 位 (T31IFH)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	OVIF4	OVIF3	OVIF2	OVIF1	—
R/W	—	—	—	R	R	R	R	—
POR	0	0	0	0	0	0	0	0

- Bit 7~5 未使用, 需软件固定设置为 0
- Bit 4 OVIF4: 通道 4 捕捉溢出中断标志位
0: 未发生捕捉溢出
1: 发生捕捉溢出, 写 T31ICRL 寄存器对应的清中断位清 0
- Bit 3 OVIF3: 通道 3 捕捉溢出中断标志位
0: 未发生捕捉溢出
1: 发生捕捉溢出, 写 T31ICRL 寄存器对应的清中断位清 0
- Bit 2 OVIF2: 通道 2 捕捉溢出中断标志位

- 0: 未发生捕捉溢出
- 1: 发生捕捉溢出, 写 T31ICRL 寄存器对应的清中断位清 0
- Bit 1 OVIF1: 通道 1 捕捉溢出中断标志位
- 0: 未发生捕捉溢出
- 1: 发生捕捉溢出, 写 T31ICRL 寄存器对应的清中断位清 0
- Bit 0 未使用, 需软件固定设置为 0

6. 3. 14. 39 中断请求状态寄存器低 8 位 (T31IFML)

T31IFML: 中断请求状态寄存器低 8 位 (T31IFML)								
Bit	7	6	5	4	3	2	1	0
Name	BKIM	TRGIM	CHUIM	MIM4	MIM3	MIM2	MIM1	UPIM
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

- Bit 7 BKIM: 关断中断请求状态位
 - 0: 无中断请求
 - 1: 有中断请求,
- Bit 6 TRGIM: 触发中断请求状态位
 - 0: 无中断请求
 - 1: 有中断请求
- Bit 5 CHUIM: 互补通道更新中断请求状态位
 - 0: 无中断请求
 - 1: 有中断请求
- Bit 4 MIM4: 通道 4 多功能中断请求状态位
 - 0: 无中断请求
 - 1: 有中断请求
- Bit 3 MIM3: 通道 3 多功能中断请求状态位
 - 0: 无中断请求
 - 1: 有中断请求
- Bit 2 MIM2: 通道 2 多功能中断请求状态位
 - 0: 无中断请求
 - 1: 有中断请求
- Bit 1 MIM1: 通道 1 多功能中断请求状态位
 - 0: 无中断请求
 - 1: 有中断请求
- Bit 0 UPIM: 更新中断请求状态位
 - 0: 无中断请求
 - 1: 有中断请求

6.3.14.40 中断请求状态寄存器高 8 位 (T31IFMH)

T31IFMH: 中断请求状态寄存器高 8 位 (T31IFMH)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	OVIM4	OVIM3	OVIM2	OVIM1	—
R/W	—	—	—	R	R	R	R	—
POR	0	0	0	0	0	0	0	0

- Bit 7~5 未使用，需软件固定设置为 0
- Bit 4 OVIM4: 通道 4 捕捉溢出中断请求状态位
0: 无中断请求
1: 有中断请求
- Bit 3 OVIM3: 通道 3 捕捉溢出中断请求状态位
0: 无中断请求
1: 有中断请求
- Bit 2 OVIM2: 通道 2 捕捉溢出中断请求状态位
0: 无中断请求
1: 有中断请求
- Bit 1 OVIM1: 通道 1 捕捉溢出中断请求状态位
0: 无中断请求
1: 有中断请求
- Bit 0 未使用，需软件固定设置为 0

注：寄存器 T31IFM 中的状态位，为 0 表示无中断请求，此时对应的中断标志位和中断使能位，至少有一个为 0；为 1 表示有中断请求，此时对应的中断标志位和中断使能位均为 1，并会同时置起 T31 总中断标志 T31IF。

6.3.14.41 中断清 0 寄存器低 8 位 (T31ICRL)

T31ICRL: 中断清 0 寄存器低 8 位 (T31ICRL)								
Bit	7	6	5	4	3	2	1	0
Name	BKIC	TRGIC	CHUIC	MIC4	MIC3	MIC2	MIC1	UPIC
R/W	W	W	W	W	W	W	W	W
POR	0	0	0	0	0	0	0	0

- Bit 7 BKIC: 关断中断清 0 位
0: 无效
1: 中断标志清 0
- Bit 6 TRGIC: 触发中断清 0 位
0: 无效
1: 中断标志清 0
- Bit 5 CHUIC: 互补通道更新中断清 0 位
0: 无效
1: 中断标志清 0
- Bit 4 MIC4: 通道 4 多功能中断清 0 位
0: 无效
1: 中断标志清 0

- Bit 3 MIC3: 通道 3 多功能中断清 0 位
 0: 无效
 1: 中断标志清 0
- Bit 2 MIC2: 通道 2 多功能中断清 0 位
 0: 无效
 1: 中断标志清 0
- Bit 1 MIC1: 通道 1 多功能中断清 0 位
 0: 无效
 1: 中断标志清 0
- Bit 0 UPIC: 更新中断清 0 位
 0: 无效
 1: 中断标志清 0

6. 3. 14. 42 中断清 0 寄存器高 8 位 (T31ICRH)

T31ICRH: 中断清 0 寄存器高 8 位 (T31ICRH)								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	OVIC4	OVIC3	OVIC2	OVIC1	—
R/W	—	—	—	W	W	W	W	—
POR	0	0	0	0	0	0	0	0

- Bit 7~5 未使用, 需软件固定设置为 0
- Bit 4 OVIC4: 通道 4 捕捉溢出中断清 0 位
 0: 无效
 1: 中断标志清 0
- Bit 3 OVIC3: 通道 3 捕捉溢出中断清 0 位
 0: 无效
 1: 中断标志清 0
- Bit 2 OVIC2: 通道 2 捕捉溢出中断清 0 位
 0: 无效
 1: 中断标志清 0
- Bit 1 OVIC1: 通道 1 捕捉溢出中断清 0 位
 0: 无效
 1: 中断标志清 0
- Bit 0 未使用, 需软件固定设置为 0

6.4 通用异步接收/发送器 (UART)

6.4.1 概述

本芯片支持一组全双工的通用异步接收发送器 UART，它采用串行收发方式与外部设备进行数据传输，可以和其它具有异步接收发送器的外部设备进行通讯。

- ◇ 支持两种工作模式
 - 异步接收器
 - 异步发送器
- ◇ 传输波特率配置
 - 高速模式
 - 低速模式
 - 支持 8/9 位传输数据格式，约定数据从最低位开始接收/发送
- ◇ 支持全双工模式
- ◇ UART 支持以下功能组件
 - 接收数据寄存器 (RXB)
 - 接收控制寄存器 (RXC)
 - 发送数据寄存器 (TXB)
 - 发送控制寄存器 (TXC)
 - 发送移位寄存器 (TXR) (无实际物理地址，不可读写)
 - 波特率寄存器 (BRR)
- ◇ 中断和暂停
 - 支持接收中断标志 (RXIF，只可读)
 - 支持发送中断标志 (TXIF，只可读)
 - 支持中断处理
 - 在 IDLE 模式下，暂停接收和发送
- ◇ 兼容 RS-232/RS-442/RS-485 的通讯接口

注：本节中 TX/RX 端口代表的是芯片管脚图中的 UART_TX/UART_RX 端口。

6.4.2 内部结构图

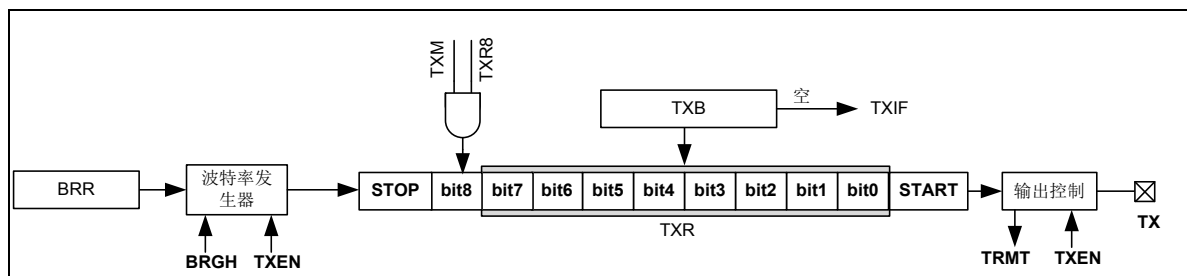


图 6-32 UART 发送端原理图

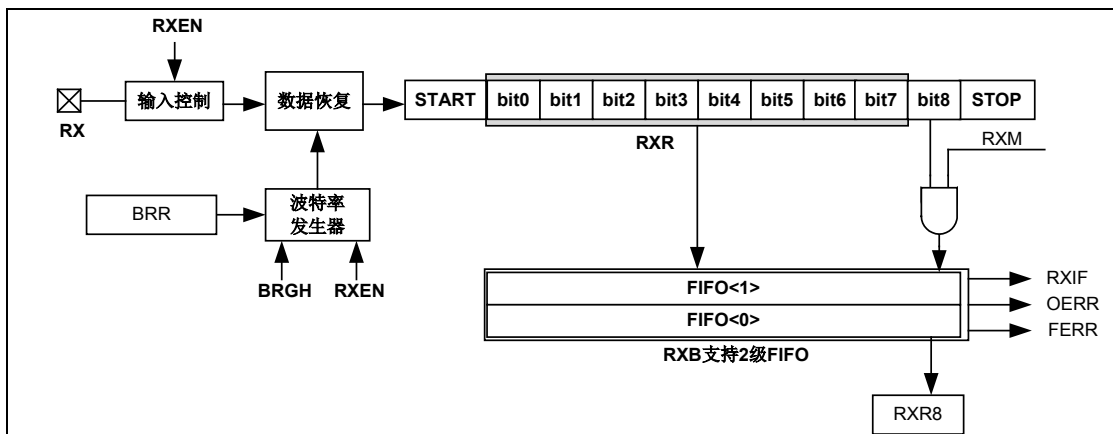


图 6-33 UART 接收端原理图

6.4.3 波特率配置

UART 自身具有一个波特率发生器，通过它可以设定数据传输速率。波特率是由一个独立的内部 8 位计数器产生，它由 BRR 寄存器和 TXC 寄存器的 BRGH 来控制。BRGH 是决定波特率发生器处于高速模式还是低速模式，从而决定计算公式的选用。

BRGH	波特率	计算公式
0	低速模式	$F_{osc}/(64 \times (BRR < 7:0 > + 1))$
1	高速模式	$F_{osc}/(16 \times (BRR < 7:0 > + 1))$

表 6-5 UART 波特率配置表

6.4.4 传输数据格式

UART 的传输数据格式有两种选择，8 位或 9 位。接收 9 位数据时，读取 RXC 寄存器中的 R XR8 位可以得到接收的第 9 位数据。发送 9 位数据时，可通过 TXC 寄存器中的 TXR8 位设置将要发送的第 9 位数据。

R XM	T XM	传输数据格式
0	0	8 位
1	1	9 位

表 6-6 UART 数据格式配置表

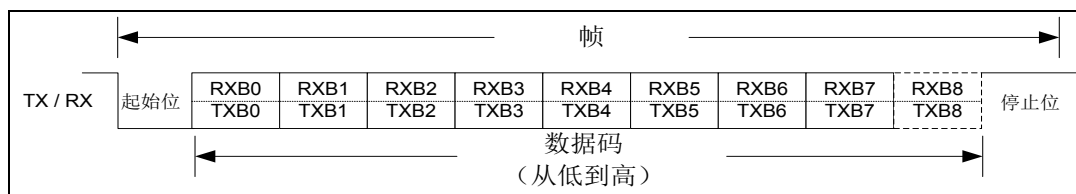


图 6-34 UART 数据格式示意图

6.4.5 异步发送器

异步发送器发送数据时，起始位 (START) 和结束位 (STOP) 由芯片内部产生，用户只需要使能异步发送器，并将所要发送的数据写入 TXB 和 TXR8 内，就能实现异步发送，

异步发送器还可以实现数据连续发送。

在发送数据时，必须先使能异步发送器，再写发送数据寄存器 TXB，否则写入的发送数据无效；如果是 9 位数据格式，则需在使能异步发送器后，先写第 9 位数据 TXR8，再写 TXB，否则第 9 位数据可能会发送错误。

支持 1 级发送移位寄存器 TXR（该寄存器用户不可访问），在数据发送时，硬件电路将发送数据寄存器 TXB 和 TXR8 中的数据，先传输到发送移位寄存器，再通过发送端口 TX 进行数据发送。发送移位寄存器 TXR 为空时，会置起空标志位 TRMT，再次写入发送数据时，会清零 TRMT。禁止异步发送（TXEN=0）时，也会置起空标志位 TRMT。

当前数据发送完毕后，中断标志位 TXIF 被置“1”。如果发送中断使能位 TXIE 和全局中断使能位 GIE 都为“1”，则向 CPU 发出 UART 发送中断请求。中断标志位 TXIF 为只读，不可软件清零，在空标志位 TRMT=0 时，写发送数据寄存器 TXB，或禁止异步发送（TXEN=0）时，可清零 TXIF。使能异步发送（TXEN=1）时，在首个数据发送前，也会置起发送中断标志位 TXIF，第一次写发送数据寄存器 TXB 后，该数据自动传输至移位寄存器 TXR，并清零 TRMT，但不清零 TXIF，第二次写 TXB 时，才会清零 TXIF。

在发送数据时，用户可以通过查询发送移位寄存器空标志位 TRMT 或发送中断标志位 TXIF，判断数据是否发送完毕，当 TRMT=1 或 TXIF=1 时，可以写入下一个待发送数据；也可以在发送中断服务程序中，写入下一个待发送数据，实现数据的连续发送。

由于 UART 发送器发送端口 TX 与 I/O 端口复用，在使用 UART 发送端口前，需首先设置所复用的 I/O 端口处于输出状态，并输出高电平。

操作流程图如下：

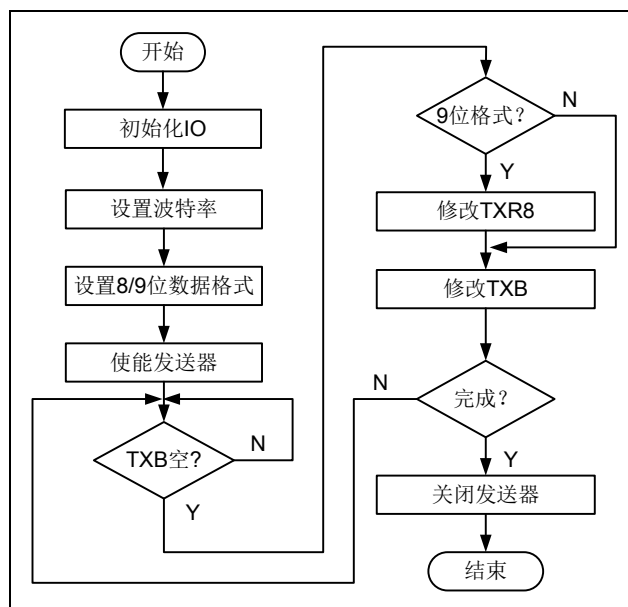


图 6-35 UART 异步发送器操作流程

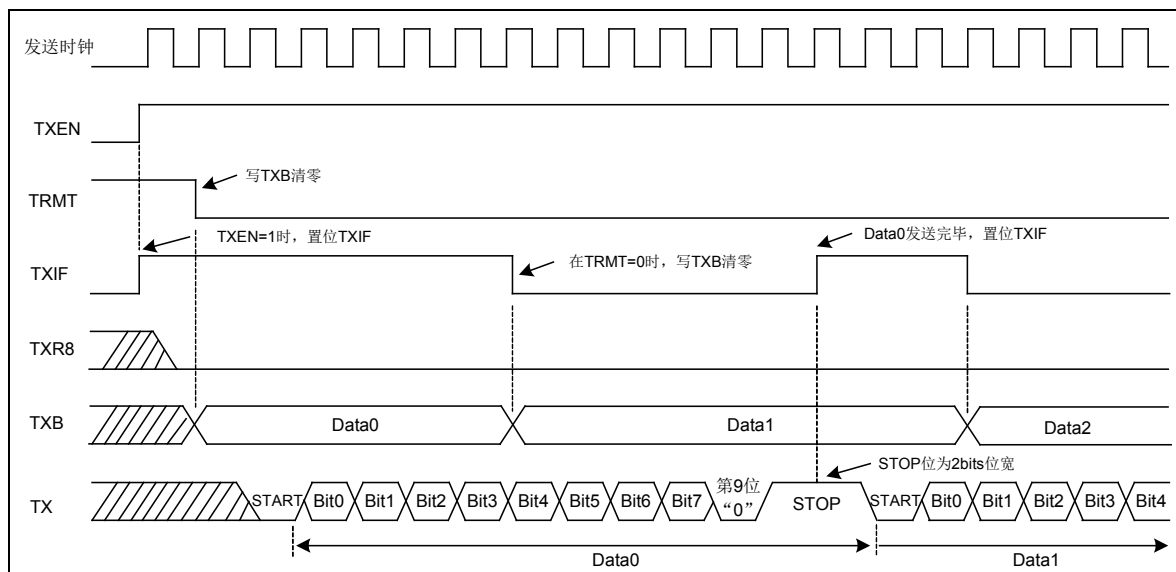


图 6-36 UART 发送器发送数据时序图（9 位数据格式，第 9 位数据为“0”）

6.4.6 异步接收器

异步接收器接收数据时，用户可以查询 **RXIF** 中断标志位，来判断是否收到完整的一帧数据，并通过读取 **RXB** 和 **RXR8** 获得数据，也可以在接收中断服务程序中，读取数据。芯片内部提供 2 级 9 位 FIFO 作为接收数据缓冲区（该数据缓冲区用户不可直接访问，需读取 **RXB** 来获得缓冲区中的数据），若用户在第 3 个数据接收完毕前，未读取 **RXB**，则溢出标志位 **OERR** 将置 1。在一帧数据结束时，如果异步接收器没有接收到结束位 **STOP**，则帧格式错误标志位 **FERRn** 将置 1。

当前数据接收完毕后，中断标志位 **RXIF** 被置“1”。如果接收中断使能位 **RXIE** 和全局中断使能位 **GIE** 都为“1”，则向 CPU 发出 UART 接收中断请求。中断标志位 **RXIF** 为只读，不可软件清零，读取接收数据寄存器 **RXB**，或禁止异步接收（**RXEN=0**）时，可清零 **RXIF**。

由于 UART 接收器接收端口 **RX** 与 I/O 端口复用，在使用 UART 接收端口前，需首先设置所复用的 I/O 端口处于输入状态。

操作流程图如下：

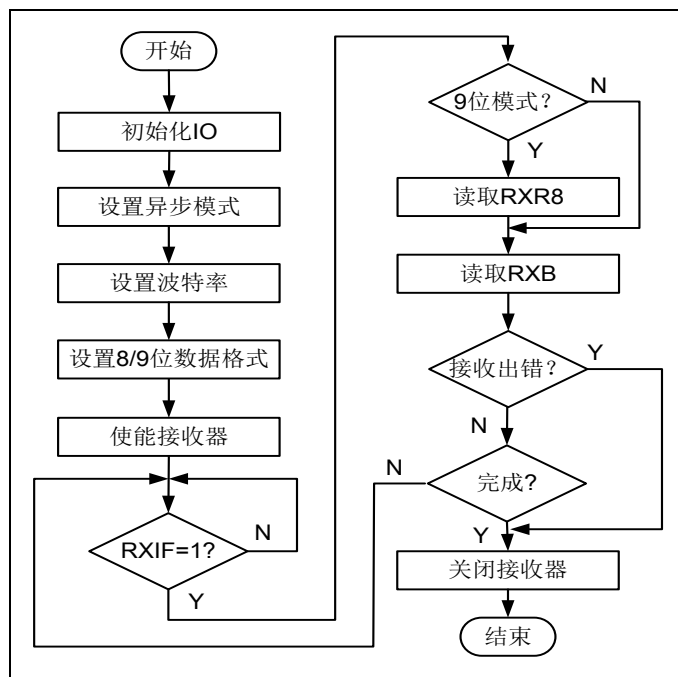


图 6-37 UART 异步接收器操作流程图

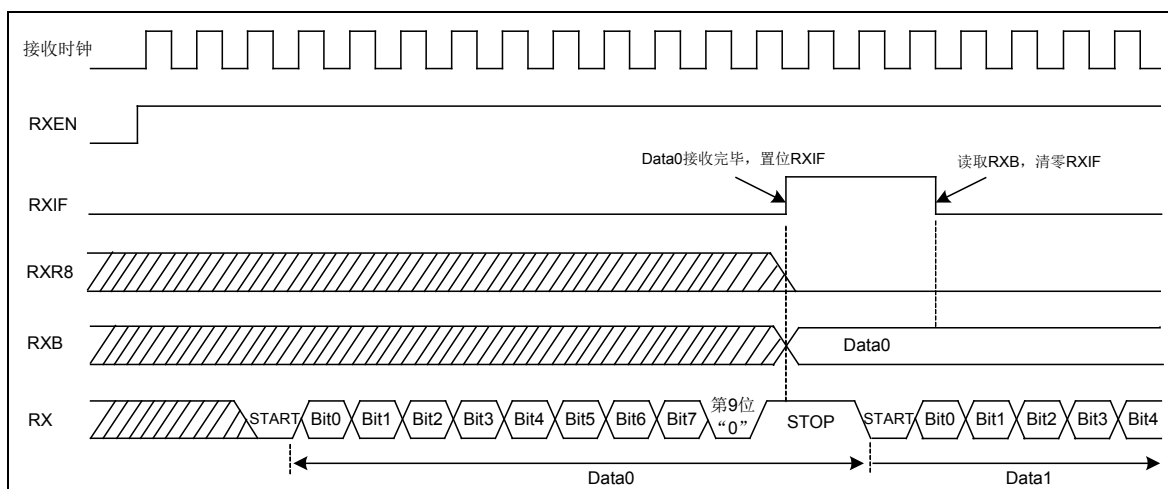


图 6-38 UART 接收器接收数据时序图 (9 位数据格式)

6.4.7 UART使用注意事项

在 UART 模块使能前，首先要设置复用的 I/O 端口为数字端口，并将 TX 管脚设置为输出口，RX 管脚设置为输入口，才能保证在 UART 模块使能后，成功进行数据的发送或接收。另外，程序中不建议用户频繁切换 TX 和 RX 管脚的输入/输出类型。

UART 传输波特率小于 38400bps 时，常温条件下波特率冗余度约为±3%，如果外部设备的 UART 传输波特率相对于本芯片设置的波特率偏差在±3%以内，本芯片均可正常进行 UART 数据传输；高低温条件下因内部 INTHRC 时钟频率偏差，UART 波特率冗余度约为±2%。

6.4.8 特殊功能寄存器

UART 模块相关的有 5 个寄存器，包括一个接收数据寄存器 RXB、一个接收控制/状态寄存器 RXC、一个发送数据寄存器 TXB、一个发送控制/状态寄存器 TXC，以及一个波特率寄存器 BRR。RXB 和 TXB 寄存器分别用于存放接收到的数据和待发送的数据，RXC 寄存器用于接收器的使能控制、接收数据格式的选择、以及接收溢出标志、帧格式错标志和存放第 9 位接收数据等。TXC 寄存器用于发送器的使能控制、发送数据格式的选择、波特率模式的选择、存放第 9 位发送数据以及发送移位寄存器 (TXR) 空标志的显示等。BRR 寄存器用于 UART 的波特率设置，设置范围为 00_H~FF_H。

6.4.8.1 UART接收数据寄存器 (RXB)

RXB: UART 接收数据寄存器								
Bit	7	6	5	4	3	2	1	0
Name	RXB<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

Bit 7~0 RXB<7:0>: UART 接收到的数据

6.4.8.2 UART接收控制/状态寄存器 (RXC)

RXC: UART 接收控制/状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	RXEN	RXM	—	—	—	OERR	FERR	RXR8
R/W	R/W	R/W	R/W	R/W	R/W	R	R	R
POR	0	0	0	0	0	0	0	x

- Bit 7 RXEN: 接收器使能位
0: 禁止
1: 使能
- Bit 6 RXM: 接收器数据格式选择位
0: 8 位数据接收格式
1: 9 位数据接收格式
- Bit 5~3 未使用
- Bit 2 OERR: 接收溢出标志位
0: 无溢出错误
1: 有溢出错误 (清 RXEN 位可将此位清除)
- Bit 1 FERR: 帧格式错标志位
0: 无帧格式错误
1: 帧格式错 (读 RXB, 该位被刷新)
- Bit 0 RXR8: 第 9 位接收数据位
0: 第 9 位数据为 0
1: 第 9 位数据为 1

6.4.8.3 UART发送数据寄存器 (TXB)

TXB: UART 发送数据寄存器								
Bit	7	6	5	4	3	2	1	0
Name	TXB<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 TXB<7:0>: UART 发送的数据

6.4.8.4 UART发送控制/状态寄存器 (TXC)

TXC: UART 发送控制/状态寄存器								
Bit	7	6	5	4	3	2	1	0
Name	TXEN	TXM	BRGH	—	—	—	TRMT	TXR8
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R/W
POR	0	0	0	0	0	0	1	0

Bit 7 TXEN: 发送器使能位

0: 禁止

1: 使能

Bit 6 TXM: 发送器数据格式选择位

0: 8 位数据发送格式

1: 9 位数据发送格式

Bit 5 BRGH: 波特率模式选择位

0: 低速模式

1: 高速模式

Bit 4~2 未使用

Bit 1 TRMT: 发送移位寄存器 (TXR) 空标志位

0: TXR 不空

1: TXR 空

Bit 0 TXR8: 第 9 位发送数据设置位

0: 第 9 位数据为 0

1: 第 9 位数据为 1

6.4.8.5 UART波特率寄存器 (BRR)

BRR: UART 波特率寄存器								
Bit	7	6	5	4	3	2	1	0
Name	BRR<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 BRR<7:0>: UART 波特率设置, 00_H~FF_H

6.5 I2C总线从动器 (I2CS)

6.5.1 概述

本系列芯片支持一路 I2C 从动器，从动模块支持 7 位从机地址匹配，由 I2C 主机控制发送或接收数据。

- 只支持从动模式
 - 支持 7 位从机地址
 - 支持标准 I2C 总线协议，最大传输速率 400Kbit/s
 - 支持 I2CS 端口 SCL/SDA 开漏或者推挽输出
 - 支持 2 级发送/接收缓冲
 - 支持自动时钟下拉等待功能
 - 支持自动发送“未应答”功能
 - 约定数据从最高位开始接收/发送
- ◇ I2CS 支持以下功能组件
- 5 位 I2C 采样滤波寄存器 (I2CX16)
 - I2C 控制寄存器 (I2CC)
 - 从机地址寄存器 (I2CSA)
 - 发送数据缓冲器 (I2CTB)
 - 接收数据缓冲器 (I2CRB)
 - 中断使能寄存器 (I2CIEC)
 - 中断标志寄存器 (I2CIFIC)
- ◇ 中断和暂停
- 支持接收“起始位+从机地址匹配+发送应答位”中断标志 (I2CSRIF)
 - 支持接收结束位中断标志 (I2CSPIF)
 - 支持发送缓冲器空中断标志 (I2CTBIF, 只可读)
 - 支持接收缓冲器未空中断标志 (I2CRBIF, 只可读)
 - 支持发送错误标志 (I2CTEIF)
 - 支持接收溢出中断标志 (I2CROIF)
 - 支持接收未应答标志 (I2CNAIF)
 - 在 IDLE0/1 模式下，暂停接收和发送
 - 在 IDLE2 模式下，如果禁止采样滤波，则“起始位+从机地址匹配+发送应答位”可唤醒 CPU，即从机收到匹配的从机地址后，可被唤醒

注：本节中 SDA/SCL 端口代表的是芯片管脚图中的 I2C_SDA/I2C_SCL 端口。

6.5.2 内部结构

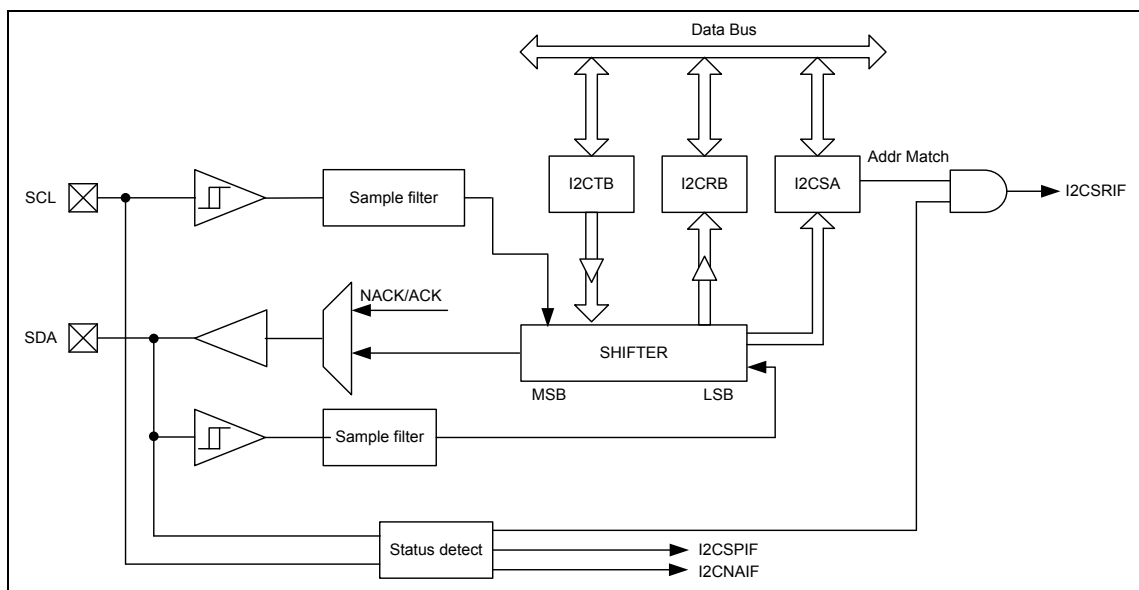


图 6-39 I2C 内部结构

6.5.3 I2CS 端口配置

I2C 总线从动器包括一条串行数据线 SDA 和一条串行时钟线 SCL。I2C 端口与普通 I/O 端口复用，可通过 I2CC 寄存器中的 I2CTE 位选择复用端口的功能。当 I2CTE=0 时，复用端口作为普通 I/O；当 I2CTE=1 时，复用端口作为 I2C 通信端口使用。

I2CTE	I2CS 时钟端口配置	I2CS 数据端口配置
1	SCL	SDA
0	PB1	PB0

表 6-7 I2CS 端口配置表

I2C 通讯端口 SCL 和 SDA，均支持推挽输出和开漏输出两种模式，配置 I2CC 寄存器的 I2COD，可分别进行选择。

推挽输出是 I/O 端口的标准输出，输出数据 0 和 1 时，I/O 端口电平也分别为 0 和 1。

对推挽输出模式，存在端口电平冲突的风险。例如：当主控制器输出 0，而从动器输出 1 时，会发生端口信号电平冲突，导致端口状态不确定。

开漏输出是 I2C 总线协议中的标准模式，可以避免端口电平冲突问题。开漏输出端口的示意图如下所示：

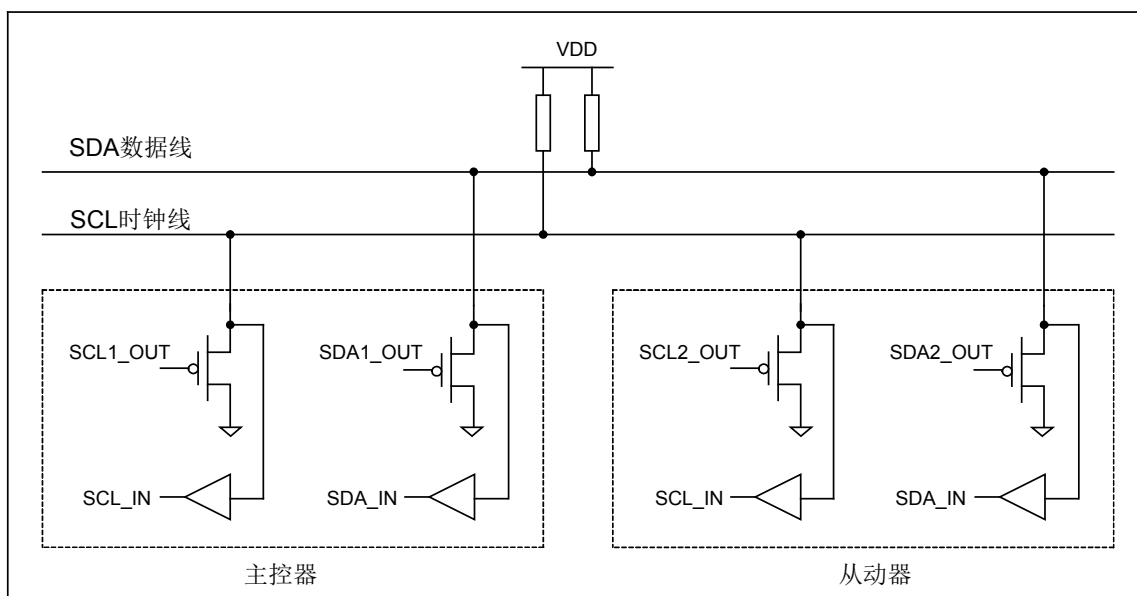


图 6-40 开漏输出端口示意图

开漏输出端口的高电平由 I2C 总线的上拉电阻提供，而低电平由主控器与从动器共同决定。任何一方都可以将总线电平下拉到 0，但只有当双方都释放总线后，总线电平才能被上拉到 1。

6.5.4 I2C 通讯协议

I2C 通讯中，必须遵循以下协议：

- ◇ 通讯由主控器发起，发送启动信号 S（开始）控制总线，发送停止信号 P（结束）释放总线；
- ◇ 总线上可以同时有多个主控器（前提是每个主控器都支持多主机仲裁机制），但至少需要一个从动器，且每一个从动器都必须有一个独立且唯一的寻呼地址；
- ◇ 主控器在发送启动信号后，紧接着寻呼从动器地址以及发送读写方式位；
- ◇ 读写控制位 R/#W（称为方向位）用于通知从动器数据传送的方向，“0”表示这次通讯是由主控器向从动器“写”数据，“1”表示这次通讯是由主控器向从动器“读”数据；
- ◇ I2C 通讯协议支持应答机制，即发送方每传送一个字节的的数据（包括寻呼地址），接收方必须回答一个应答信号(ACK 或者 NACK)，发送方再根据应答信号进行下一步的操作；
- ◇ 如果主控器和从动器的时钟线（SCL）都使用开漏设计，且主控器支持时钟线等待请求操作，那么从动器可以在时钟线为低电平时下拉时钟线，使主控器等待从动器，直到从动器释放时钟线；
- ◇ 每个数据字节在传送时都是高位在前。

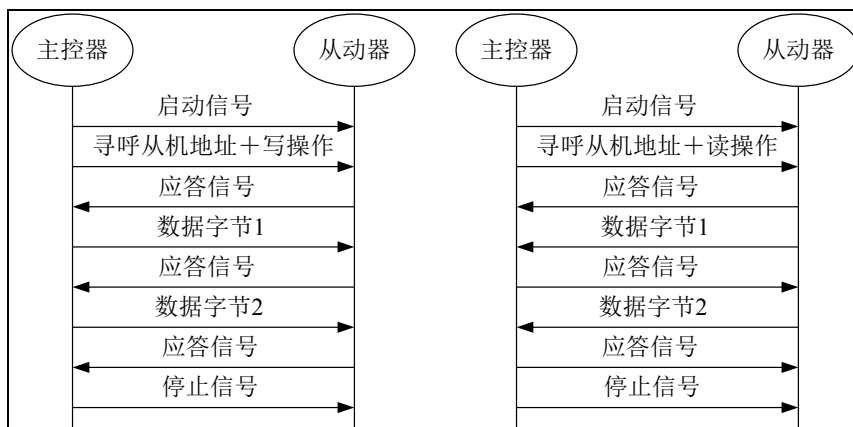


图 6-41 I2C 总线通讯协议示意图

6.5.5 I2C操作

I2C 总线上可以同时有多个主控器（前提是每个主控器都支持多主机仲裁机制），但至少需要一个从动器。总线上的每个设备都没有选择线，但分别与唯一的地址一一对应，用于 I2C 通信。

从动模块包括主机向从机发送数据以及主机读取从机数据两种操作方式。

当主机向从机发送数据时，从机通常判断接收缓冲器未空中断标志位 I2CRBIF，如果接收缓冲器不空，即接收到主机数据，则读接收缓冲器的数据。

当主机读取从机数据时，从机通常判断发送缓冲器空中断标志位 I2CTBIF，如果发送缓冲器空，则依次写入需要发送的数据。

为了避免误发数据，建议每次完整的通讯结束（例如收到 STOP 标志），就采用软件复位 I2C 模块位 I2CRST 置位复位一次 I2C 模块来清空接收和发送数据缓冲器，同时再重新初始化 I2CC 和 I2CIEC 寄存器，为下次 I2C 通讯做好准备。（I2C 主机给 I2C 从机发送读命令，发送从机地址后，需要等待大约 30us 左右再读取数据）

在 IDLE0/1 模式下，I2CS 模块通讯暂停。

在 IDLE2 模式下，如果禁止采样滤波，I2CWKUPEN 寄存器设置为 1，I2C 地址匹配唤醒使能，则“起始位+从机地址匹配+发送应答位”可唤醒 CPU。

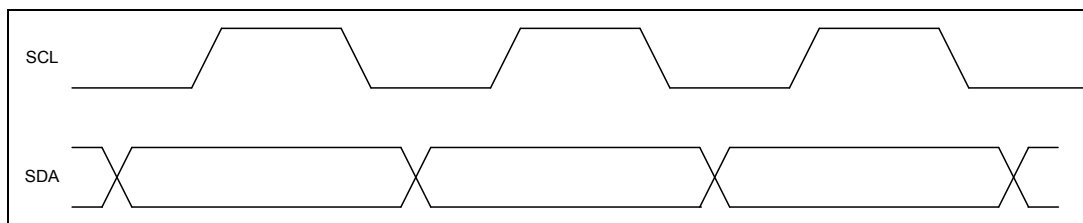


图 6-42 I2C 从动波形图

6.5.6 起始位START和停止位STOP

根据 I2C 协议：在数据传输期间，当 SCL 为高电平时，SDA 必须保持固定电平，波形如图所示；在没有数据传输期间，SCL 和 SDA 应该保持高电平。当 SCL 线是高电平时，

SDA 线从高电平向低电平切换表示起始条件 (S)。当 SCL 是高电平时, SDA 线由低电平向高电平切换表示停止条件 (P)。起始和停止条件一般由主机产生, 如图所示。

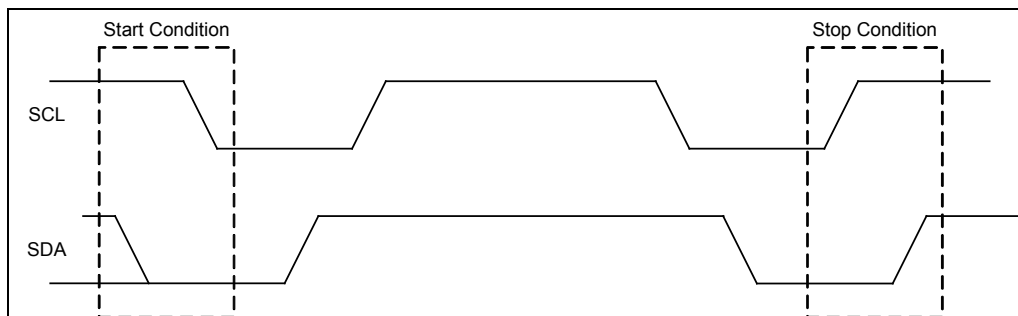


图 6-43 I2C 起始位和停止位

6.5.7 数据传输和应答

进入起始条件 (S) 之后, 数据按照一个字节串行传输 (8 位)。接收方每次接收完毕 8 位数据之后, 需要发送应答信号给发送方。当数据传输到第 8 个 SCL 下降沿时, 接收方立即发送应答信号, 此时发送方释放 SDA 控制权, 而接收方将 SDA 变为低电平。当发送一个字节的的数据紧邻于先前一个字节的接收 (或者当接收方切换到发送方, 并开始数据传输) 时, 接收方在第 9 个 SCL 下降沿释放 SDA 控制权。

当主机为发送方时, 如果自动未应答 I2CANAE 位不使能, 寻呼地址匹配后, 从机会发送 ACK 应答信号, 和 I2CTAS 选择位无关; 如果自动未应答 I2CANAE 位使能, 寻呼地址匹配后, 如果 2 级接收缓冲器全满, 则发送 NACK 信号, 未满则发送 ACK 信号, 与 I2CTAS 选择位无关。从机接收到数据时, 如果自动未应答 I2CANAE 位使能, 时钟下拉等待 I2CCSE 位不使能, 且 2 级接收缓冲器全满, 则一个字节的的数据接收完成后, 会发送 NACK 信号; 否则发送 ACK 或 NACK 信号, 受 I2CTAS 选择位控制。

当主机为接收方时, 如果自动未应答 I2CANAE 位不使能, 寻呼地址匹配后, 从机会发送 ACK 应答信号, 和 I2CTAS 选择位无关; 如果自动未应答 I2CANAE 位使能, 寻呼地址匹配后, 如果 2 级发送缓冲器全空, 则发送 NACK 信号, 非空则发送 ACK 信号, 与 I2CTAS 选择位无关。主机每接收到一个字节的的数据时, 主机发出 ACK 应答信号, 当接收到从机的最后一个字节后不产生应答信号, 以告知发送设备数据传输完成。在第 9 个 SCL 下降沿, 从机 (发送方) 继续释放 SDA 控制权以便主机可以产生停止条件 (P)。

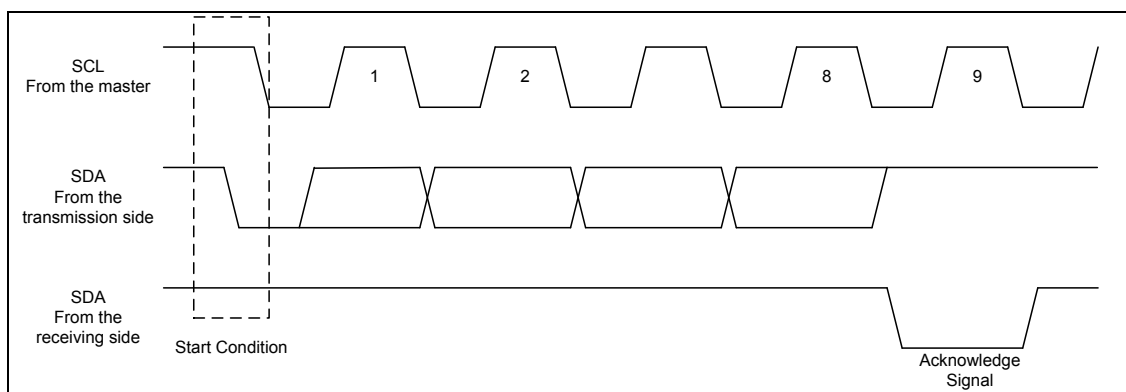


图 6-44 数据传输和应答

6.5.8 数据传输格式参考

I2C 从动器的数据传输参考格式如下：

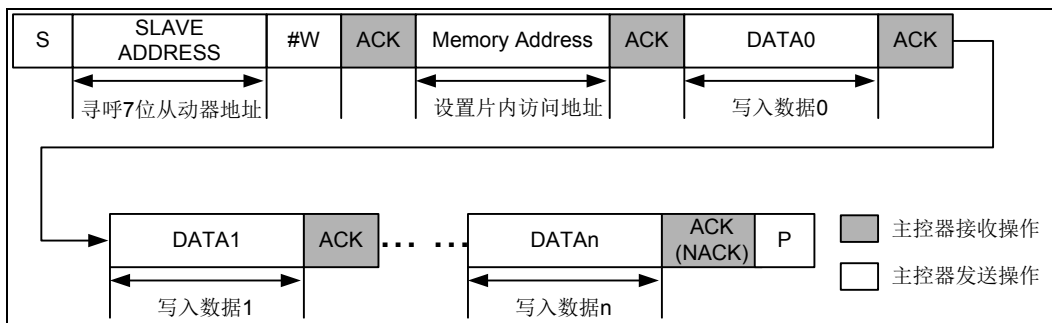


图 6-45 主控器写入从动器数据示意图

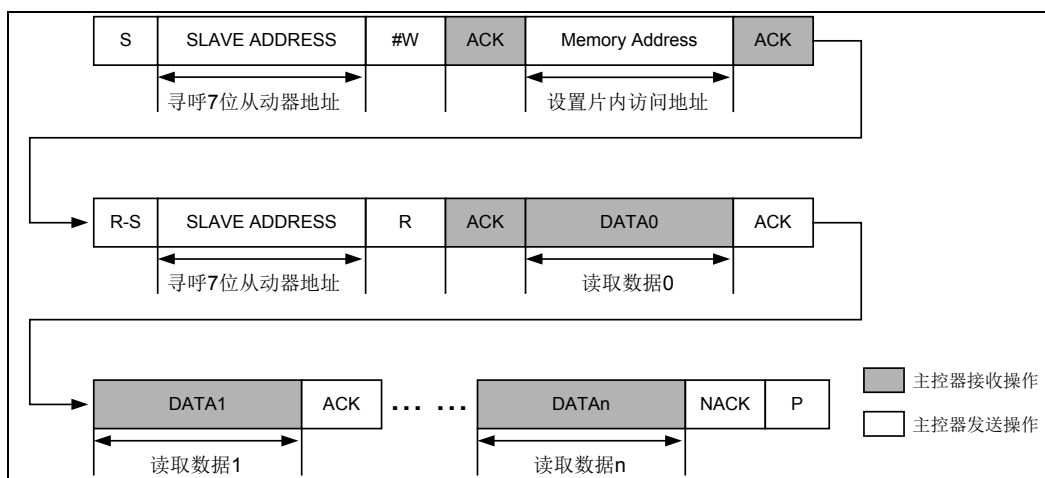


图 6-46 主控器读取从动器数据示意图

6.5.9 I2C通讯发送器

支持 2 级发送缓冲器 TB0, TB1 和 1 级发送移位寄存器, 可进行数据的连续发送, 直到发送缓冲器和移位寄存器全空, 最多可连续写入和发送 3 帧数据。发送缓冲器 TB0~TB1 不可访问, 只能通过发送数据寄存器 I2CTB 写入。

写 I2CTB 寄存器地址单元时, 实际上是将发送数据写入到发送缓冲器 TB0~TB1 中, 再传输到发送移位寄存器, 通过数据端口 SDA 进行数据发送。

发送数据从写入到发送到端口的数据流示意图如下所示:

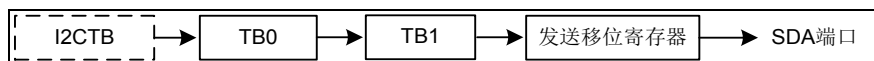


图 6-47 I2C 发送数据流示意图

支持发送缓冲器空中断, 当发送缓冲器 TB0 和 TB1 均为空时, 会置起发送缓冲器空中断标志 I2CTBIF;

支持发送错误中断, 当发送缓冲器 TB0 和 TB1 全空时, 收到主机提供的通讯时钟, 会置起发送错误中断标志 I2CTEIF。

6.5.10 I2C通讯接收器

支持 2 级接收缓冲器 RB0, RB1 和 1 级接收移位寄存器, 可进行数据的连续接收, 直到接收缓冲器和移位寄存器全满, 最多可连续接收 3 帧数据, 再执行数据读取操作。读取接收数据寄存器 I2CRB, 可得到接收的数据。

读取 I2CRB 时, 实际是读取接收缓冲器 RB0 的数据。

接收数据从数据端口到各级缓冲器的数据流示意图如下所示:

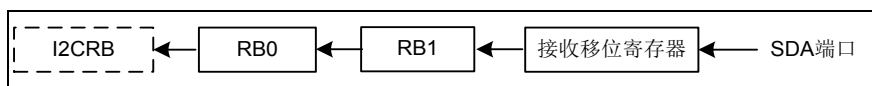


图 6-48 I2C 接收数据流示意图

支持接收溢出中断, 当 2 级接收缓冲器和 1 级接收移位寄存器均满时, 会置起接收数据溢出中断标志 I2CROIF, 同时不会接收新数据。

支持接收缓冲器缓冲器未空中断, 当接收缓冲器 RB0 和 RB1 接收到数据时, 会置起接收缓冲器未空中断标志 I2CRBIF。

6.5.11 I2C时钟线自动下拉等待请求功能

I2C 从动器支持时钟线自动下拉等待请求功能, 配置 I2CC 寄存器的 I2CCSE, 可启用该功能。

为实现 I2C 时钟线的下拉等待请求功能, 还需配置 I2CC 寄存器的 I2COD, 将通讯端口 SCL 选择为开漏输出模式, 通过上拉电阻提供高电平, 使从动器可对时钟线下拉控制, 使主控器等待。

在通常情况下, 从动器处于释放时钟线的状态, 时钟线 SCL 完全由主控器控制。但当从动器出现异常情况, 短时间内无法继续进行数据传输时, 从动器可以在时钟线 SCL 为低电平时输出 0 (不可以在高电平时输出 0, 否则会破坏数据传输过程), 强行使 SCL 保持低电平, 使主控器进入通讯等待状态, 直到从动器释放时钟线。时钟线下拉等待请求波形示意图如下:

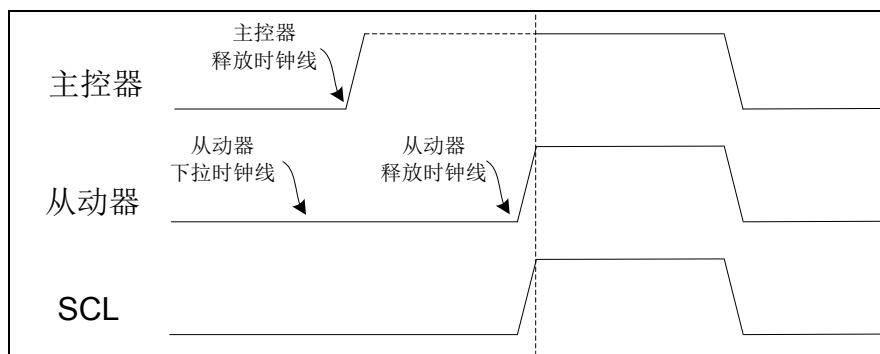


图 6-49 I2C 时钟线下拉等待波形示意图

I2C 从动器时钟自动下拉等待请求功能使能后, 当接收到本芯片寻呼地址、读操作位时, 如果 I2C 的发送缓冲器和发送移位寄存器全空, 且自动发送未应答使能位 I2CANAE=0, 则在发送完毕应答信号后, 会自动将时钟线下拉, 等待发送缓冲器写入数据; 当接收到本芯片寻呼地址、写操作位时, 如果 I2C 的接收缓冲器和接收移位寄存器全满, 且自动

发送未应答使能位 I2CANAE=0，则在发送完毕应答信号后，会自动将时钟线下拉，等待接收缓冲器被读取。

6. 5. 12 特殊功能寄存器

6. 5. 12. 1 I2C采样滤波寄存器 (I2CX16)

I2CX16: I2C 采样滤波寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	—	—	I2CX16<4:0>				
R/W	—	—	—	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~5 未使用

Bit 4~0 I2CX16<4:0>: 采样滤波控制位

00_H: 禁止采样滤波

01_H~1F_H: 通信时钟和数据采样滤波时间为 $T_{osc} \times (I2CX16+1) \times 3$

6. 5. 12. 2 I2C控制寄存器 (I2CC)

I2CC: I2C 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	I2CTE	I2CPU	I2COD	I2CTAS	I2CANAE	I2CCSE	I2CRST	I2CEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 I2CTE: I2C 通信端口使能位

0: 禁止

1: 使能

Bit 6 I2CPU: I2C 内部弱上拉使能

0: 禁止

1: 使能

当 I2CTE=1 时，I2CPU 控制 SCL/SDA 端口的弱上拉功能。

Bit 5 I2COD: I2C 开漏输出使能位

0: 推挽输出

1: 开漏输出

Bit 4 I2CTAS: I2C 发送应答设置位

0: 发送 ACK

1: 发送 NACK

Bit 3 I2CANAE: I2C 自动未应答使能位

0: 禁止

1: 使能

Bit 2 I2CCSE: I2C 时钟下拉等待使能位

0: 禁止

1: 使能

Bit 1 I2CRST: 软件复位 I2C 模块位

0: 禁止

1: 使能 (复位后, 硬件自动清零)
 Bit 0 I2CEN: I2C 模块使能位
 0: 禁止
 1: 使能

注 1: 使能时钟自动下拉功能后 (且禁止自动未应答 (I2CANAE=0)), 当从机收到匹配的寻呼地址时:
 1.1) 如果为主机读操作, 当发送缓冲器和移位寄存器全空时, 先发送完 ACK, 再下拉时钟, 写完发送的数据后, 释放时钟线, 直接发送数据位;
 1.2) 如果为主机写操作, 当接收缓冲器和移位寄存器全满时, 先发送完 ACK, 再下拉时钟, 读取已接收的数据后, 释放时钟线, 接收新的数据位。
 注 2: I2C 自动未应答使能后 (I2CANAE=1),
 当片外主控制器寻呼本机地址+R 时, 若 2 级发送数据缓冲器全空, 则本机地址后的应答位为“NACK”;
 当片外主控制器寻呼本机地址+#W 时, 若在数据接收之前, 2 级接收数据缓冲器全满时, 本机地址后的应答位为“NACK”; 若在接收数据后, 且 I2CCSE=0, 2 级接收数据缓冲器全满时, 则接收数据后的应答位为“NACK”。
 注 3: 当 I2CTE=1 时, I2CPU 控制 SCL/SDA 端口的弱上拉功能; 否则, 由 PBPU<1:0>控制 PB1/0 端口的弱上拉功能。

6.5.12.3 I2C从机地址寄存器 (I2CSA)

I2CSA: I2C 从机地址寄存器								
Bit	7	6	5	4	3	2	1	0
Name	I2CSADR<6:0>							I2CRW
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R
POR	0	0	0	0	0	0	0	0

Bit 7~1 I2CSADR<6:0>: 从机地址
 接收到“启动/重新启动”后用于匹配比较
 Bit 0 I2CRW: 从机地址匹配后, 自动更新读/写位
 0: 写
 1: 读

6.5.12.4 I2C发送数据缓冲器 (I2CTB)

I2CTB: I2C 发送数据缓冲器								
Bit	7	6	5	4	3	2	1	0
Name	I2CTB<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 I2CTB<7:0>: 发送数据缓冲器

注: 第一个需要发送的数据, 在发送使能前写入发送数据缓冲器。

6.5.12.5 I2C接收数据缓冲器 (I2CRB)

I2CRB: I2C 接收数据缓冲器								
Bit	7	6	5	4	3	2	1	0
Name	I2CRB<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

Bit 7~0 I2CRB<7:0>: 接收数据缓冲器

6.5.12.6 I2C中断使能寄存器 (I2CIEC)

I2CIEC: I2C 中断使能寄存器								
Bit	7	6	5	4	3	2	1	0
Name	I2CWKUPEN	I2CNAIE	I2CROIE	I2CTEIE	I2CRBIE	I2CTBIE	I2CSPIE	I2CSRIE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 I2CWKUPEN: I2C 地址匹配唤醒使能位

0: 禁止

1: 使能

Bit 6 I2CNAIE: I2C 接收未应答中断使能位

0: 禁止

1: 使能

Bit 5 I2CROIE: I2C 接收溢出中断使能位

0: 禁止

1: 使能

Bit 4 I2CTEIE: I2C 发送错误中断使能位

0: 禁止

1: 使能

Bit 3 I2CRBIE: I2C 接收缓冲器未空中断使能位

0: 禁止

1: 使能

Bit 2 I2CTBIE: I2C 发送缓冲器空中断使能位

0: 禁止

1: 使能

Bit 1 I2CSPIE: I2C 接收结束位中断使能位

0: 禁止

1: 使能

Bit 0 I2CSRIE: I2C 接收“起始位+从机地址匹配+发送应答位”中断使能位

0: 禁止

1: 使能

6. 5. 12. 7 I2C中断标志寄存器 (I2CIFC)

I2CIFC: I2C 中断标志寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	I2CNAIF	I2CROIF	I2CTEIF	I2CRBIF	I2CTBIF	I2CSPIF	I2CSRIF
R/W	—	R/W	R/W	R/W	R	R	R/W	R/W
POR	1	0	0	0	0	1	0	0

- Bit 7 未使用
- Bit 6 I2CNAIF: I2C 接收未应答中断标志位
0: 未接收或者未发送 NACK
1: 接收或发送 NACK , 产生中断标志 (软件清零)
- Bit 5 I2CROIF: I2C 接收溢出中断标志位
0: 2 级接收数据缓冲器和 I2C 移位寄存器未溢出
1: 2 级接收数据缓冲器和 I2C 移位寄存器溢出, 产生中断标志 (软件清零)
- Bit 4 I2CTEIF: I2C 发送错误中断标志位
0: 未发生发送错误
1: 发生发送错误: 2 级发送数据缓冲器全空时, 收到主机提供的通讯时钟, 产生中断标志 (软件清零)
- Bit 3 I2CRBIF: I2C 接收缓冲器未空中断标志位
0: 2 级接收数据缓冲器全空
1: 2 级接收数据缓冲器不全空时, 产生中断标志 (读 I2CRB 寄存器可清除中断标志位)
- Bit 2 I2CTBIF: I2C 发送缓冲器空中断标志位
0: 2 级发送数据缓冲器未空
1: 2 级发送数据缓冲器全空时, 产生中断标志 (写 I2CTB 寄存器可清除中断标志位)
- Bit 1 I2CSPIF: I2C 接收结束位中断标志位
0: 未接收到结束位
1: 接收到结束位, 产生中断标志 (软件清零)
- Bit 0 I2CSRIF: I2C 接收“起始位+从机地址匹配+发送应答位”中断标志位
0: 未接收到“起始位+地址位且地址匹配+发送应答位”
1: 接收到“起始位+地址位且地址匹配+发送应答位”后, 产生中断标志 (软件清零)

注 1: 清空中断标志位 I2CIF 前, 先清除 I2CIFC 寄存器的相关中断标志位。
 注 2: 连续接收数据超过 3 个时, 发生接收溢出, 并且第 4 个接收数据会丢失。
 注 3: I2C 模块在每帧数据发送完成后, 接收到结束位时, 硬件自动清零发送缓冲寄存器。

6.6 SPI同步串口通讯模块（SPI）

6.6.1 概述

- ◇ 支持主控模式、从动模式
- ◇ 支持 4 种数据传输格式
- ◇ 支持主控模式通讯时钟速率可配置
- ◇ 支持 4 级发送缓冲器和 4 级接收缓冲器
- ◇ 支持发送和接收缓冲器空/满中断
- ◇ 支持接收数据溢出中断、发送数据写错误中断、从动模式的发送数据错误中断
- ◇ 支持从动模式的片选变化中断、主控模式的空闲状态中断
- ◇ 支持主控模式延迟接收

注：本节中 SCK/NSS/MISO/MOSI 端口代表的是芯片管脚图中的 SPI_SCK/SPI_NSS/SPI_MISO/SPI_MOSI 端口。

6.6.2 结构框图

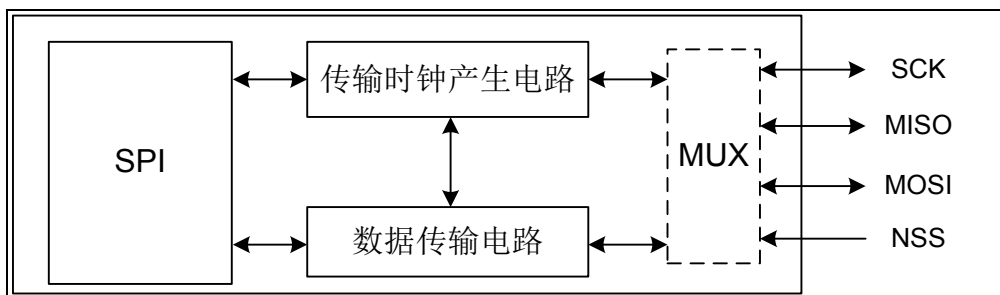


图 6-50 SPI 电路结构框图

6.6.3 SPI通讯模式

SPI 支持主控和从动两种通讯模式，配置 SPICON1 寄存器的 MS 位，可选择通讯模式。

通讯时钟端口为 SCK，从动模式下的片选信号端口为 NSS，数据输出端口 MISO，数据输入端口 MOSI，主控模式下可使用普通 I/O 端口作为片外从设备的片选信号端口，数据输出端口 MOSI，数据输入端口 MISO。具体见下表所示：

SPI 通讯端口	SPI 主控模式	SPI 从动模式
SCK	支持	支持
MOSI	支持	支持
MISO	支持	支持
NSS	—	支持

6.6.4 SPI数据格式

配置 SPICON1 寄存器的 DFS<1:0>，可选择 SPI 通讯数据格式，数据发送和接收时，均是高位在前，低位在后。如果是发送数据在先，接收数据在后，输出端口 MOSI(或 MISO)会在第一个 SCK 时钟边沿，输出数据的 MSB 位；反之输出端口 MOSI（或 MISO）在第

一个 SCK 时钟边沿之前，输出数据的 MSB 位。

以下以 SPI 从动通讯模式为例，对数据通讯时序进行说明。

1) 上升沿发送（先），下降沿接收（后）：

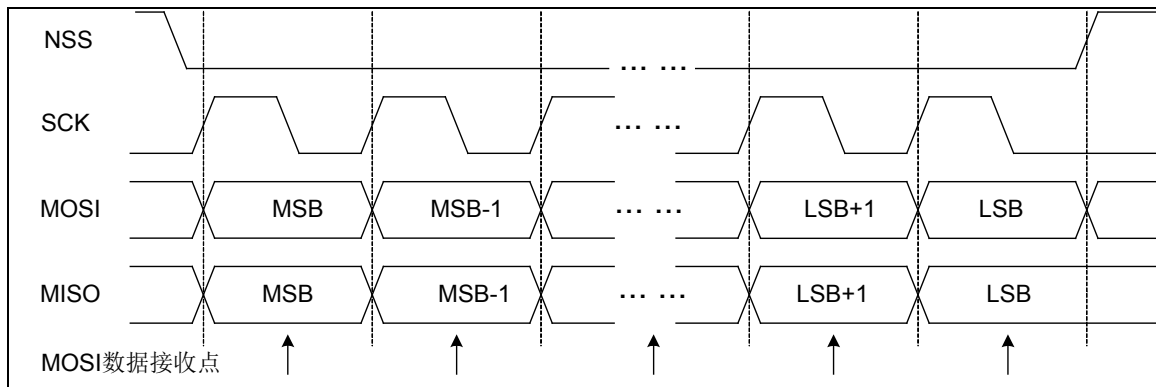


图 6-51 SPI 时钟上升沿发送，下降沿接收波形示意图

2) 下降沿发送（先），上升沿接收（后）：

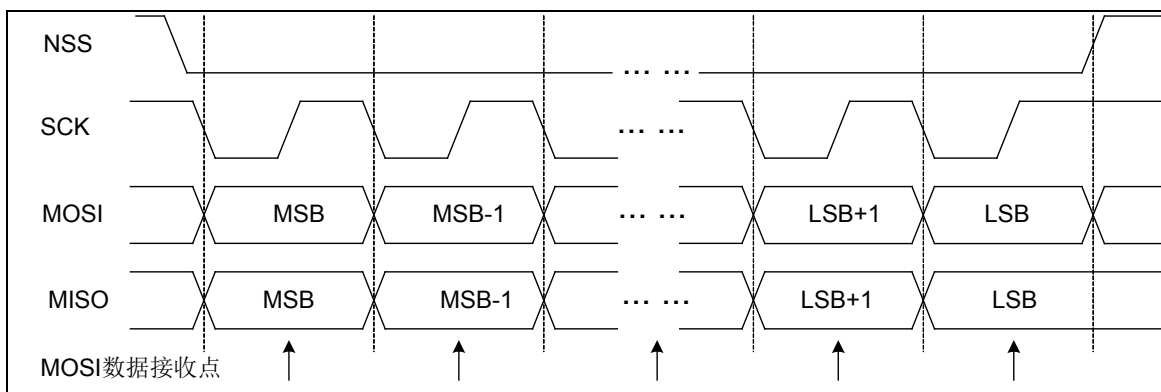


图 6-52 SPI 时钟下降沿发送，上升沿接收波形示意图

3) 上升沿接收（先），下降沿发送（后）：

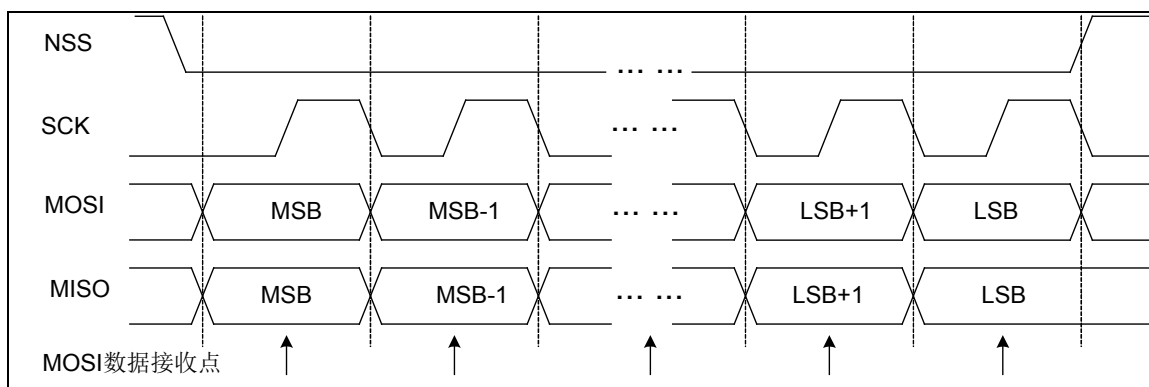


图 6-53 SPI 时钟上升沿接收，下降沿发送波形示意图

4) 下降沿接收（先），上升沿发送（后）：

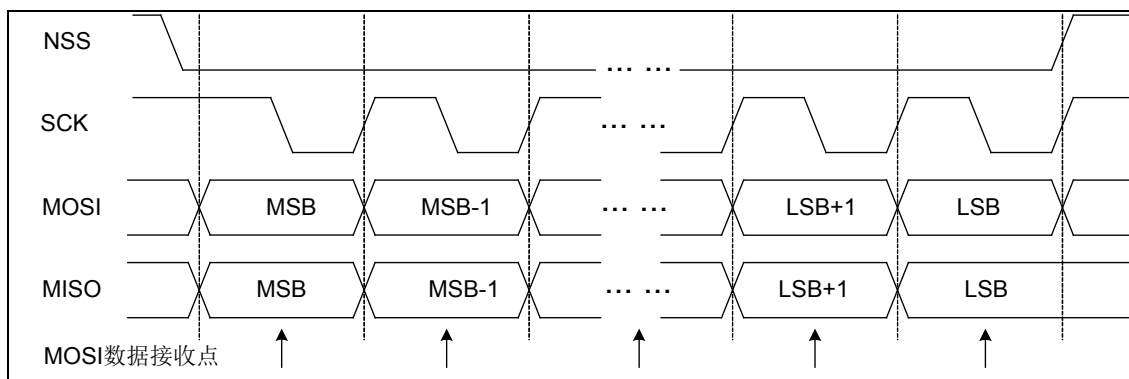


图 6-54 SPI 时钟下降沿接收，上升沿发送波形示意图

6.6.5 SPI同步发送器

支持 4 级发送缓冲器 TB0, TB1, TB2, TB3 和 1 级发送移位寄存器，可进行数据的连续发送，直到发送缓冲器和移位寄存器全空，最多可连续写入和发送 5 帧数据。发送缓冲器 TB0~TB3 和发送移位寄存器为虚拟寄存器，不可访问，只能通过发送数据寄存器 SPITBW 写入。

发送数据寄存器 SPITBW，写该寄存器地址单元时，实际上是将发送数据写入到发送缓冲器 TB0 中，再逐级传输到发送移位寄存器，通过发送数据端口 MOSI（或 MISO）进行数据发送。

发送数据从写入到发送到端口的数据流示意图如下所示（以主控模式为例）：

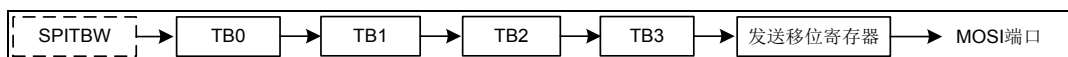


图 6-55 SPI 发送数据流示意图

支持发送缓冲器空中断，配置 SPICON0 寄存器的 TBIM，可选择中断模式。

TBIM<1:0>=00，为 TB0 空产生中断，即发送缓冲器 TB0 为空时，SPIIF 寄存器会置起中断标志 TBIF；

TBIM<1:0>=01，为 TB0 与 TB1 空产生中断，即发送缓冲器 TB0 和 TB1 均为空时，SPIIF 寄存器会置起中断标志 TBIF；

TBIM<1:0>=10，为 TB0~TB3 全空产生中断，即发送缓冲器 TB0~TB3 均为空时，SPIIF 寄存器会置起中断标志 TBIF。

支持发送数据寄存器 SPITBW 误写中断，当对 SPITBW 的写入时，发送缓冲器 TB0~TB3 处于全满状态，SPIIF 寄存器会置起误写中断标志 TBWEIF。

6.6.6 SPI同步接收器

支持 4 级接收缓冲器 RB0, RB1, RB2, RB3 和 1 级接收移位寄存器，可进行数据的连续接收，直到接收缓冲器和移位寄存器全满，最多可连续接收 5 帧数据，再执行数据读取操作。RB0, RB1, RB2, RB3 和接收移位寄存器为虚拟寄存器，不可访问，只能通过读取接收数据寄存器 SPIRBR 得到接收的数据。

接收数据寄存器 SPIRBR，读该寄存器地址单元时，实际上是读取接收缓冲器 RB0 中的数据。

接收数据从接收端口到各级缓冲器的数据流示意图如下所示（以主控模式为例）：

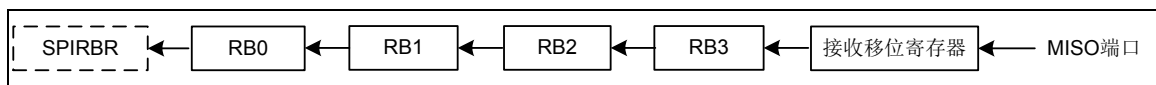


图 6-56 SPI 接收数据流示意图

同步接收器的接收顺序如下：

当同步接收器全空时，接收移位寄存器的数据自动移入 RB0；

仅 RB1~RB3 空时，接收移位寄存器的数据自动移入 RB1；

仅 RB2~RB3 空时，接收移位寄存器的数据自动移入 RB2；

仅 RB3 空时，接收移位寄存器的数据自动移入 RB3。

当 4 级接收缓冲器和 1 级接收移位寄存器均满时，如果再次接收到数据位，SPIIF 寄存器中会置起接收数据溢出中断标志 ROIF，同时不会接收新数据，缓冲器数据仍保持。

支持接收缓冲器满中断，配置 SPICON0 寄存器的 RBIM，可选择中断模式。

RBIM<1:0>=00，为 RB0 满产生中断，即接收缓冲器 RB0 为满时，SPIIF 寄存器中会置起中断标志 RBIF；

RBIM<1:0>=01，为 RB0 与 RB1 满产生中断，即接收缓冲器 RB0 和 RB1 均为满时，SPIIF 寄存器中会置起中断标志 RBIF；

RBIM<1:0>=10，为 RB0~RB3 全满产生中断，即接收缓冲器 RB0~RB3 均为满时，SPIIF 寄存器中会置起中断标志 RBIF。

6.6.7 SPI 通讯控制

配置 SPI 通讯模式，数据格式；对主控制模式，还需配置 SPICON0 的 CKS 寄存器，设定传输时钟速率，对从动模式，传输时钟由主机方提供；SPICON1 寄存器中配置 SPIEN 和 REN，使能数据发送和接收；将要发送的数据写入发送数据寄存器 SPITBW，就可以开始数据的发送，读取接收数据寄存器 SPIRBR，可以获得接收到的数据。

SPI 主控模式下，发送缓冲器和发送移位寄存器中的数据发送完毕后，进入空闲状态，SPIIF 寄存器中产生空闲中断标志 IDIF。

SPI 从动模式下，如果发送缓冲器 TB0~TB3 和发送移位寄存器均为空时，又收到主机提供的通讯时钟，则 SPIIF 寄存器中会置起发送错误中断标志 TEIF。

SPI 从动模式，支持片选信号变化中断，配置 SPIIE 寄存器的 NSSIE，可启用该中断。配置 SPICON1 寄存器的 SPIRST 位，可将 SPI 通讯模块软件复位，复位后：禁止数据通讯 SPIEN=0；SPIIE 寄存器中禁止相关中断 TBIE=0，TBWEIE=0，RBIE=0，TEIE=0，ROIE=0，IDIE=0，NSSIE=0；SPIIF 寄存器中复位相关中断标志为默认值 TBIF=1，TBWEIF=0，RBIF=0，TEIF=0，ROIF=0，IDIF=0，NSSIF=0。

6.6.8 SPI延迟接收功能

SPI 通讯时，是利用时钟的上升/下降沿分别对数据的发送和接收进行同步。正常通讯时，对主机接收数据来说，从机送出的数据应在半个时钟周期内，到达主机接收端口，否则会造成主机接收数据的丢失。

SPI 主控模式支持延迟接收功能，配置 SPICON1 寄存器的 DRE，可启用该功能，主机会再延迟半个时钟周期，在下一个发送时钟边沿处，进行数据的接收采集。所以延迟接收功能启用后，从机发送端口和主机接收端口之间的线路延时，最大可接近 1 个通讯时钟周期。

举例说明 SPI 延迟接收功能：SPICON1 寄存器中 DFS<1:0>=00，上升沿发送（先），下降沿接收（后）。

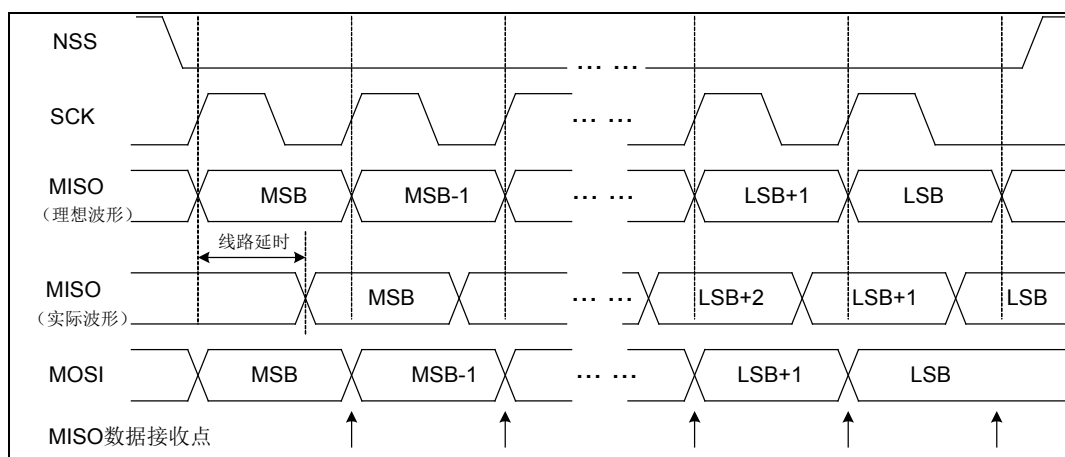


图 6-57 SPI 延迟接收功能波形示意图

注：当通讯速率选择 Fosc/2，建议启用 SPI 延时接收功能，避免线路延时导致通讯不正常。

6.6.9 SPI应用说明

为保证 SPI 的正常通信，SPI 的配置需遵循如下要求：

- 1) 由于不同的通讯数据格式对端口的初始电平要求是不同的（参见上面各通讯波形示意图），因此若无法确定使能 SPI 之前的 SPI 端口的初始值，必须先配置通讯数据格式控制位 DFS<1:0>，对 SPI 端口初始电平进行自动设置；然后再通过对 SPICON1 寄存器的 SPIEN 和 REN 置 1 来使能 SPI 发送和接收，即对 SPICON1 寄存器分两步写入。
- 2) 主设备和从设备需配置成相同的通讯数据格式。

6.6.10 特殊功能寄存器

6.6.10.1 SPI控制寄存器 0 (SPICON0)

SPICON0: SPI 控制寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	RXCLR	TXCLR	CKS<1:0>		RBIM<1:0>		TBIM<1:0>	
R/W	W	W	W	W	R/W	R/W	R/W	R/W
POR	0	0	1	1	0	0	0	0

Bit 7 RXCLR: SPI 接收缓冲器清空控制位
0: 无效

- 1: 清空接收缓冲器
- Bit 6 TXCLR: SPI 发送缓冲器清空控制位
 - 0: 无效
 - 1: 清空发送缓冲器
- Bit 5~4 CKS<1:0>: SPI 通讯波特率选择位（仅主控模式支持）
（注：此位只可写，不可读，读出为全 0）
 - 00: Fosc/2
 - 01: Fosc/4
 - 10: Fosc/8
 - 11: Fosc/16
- Bit 3~2 RBIM<1:0>: SPI 接收缓冲器满中断模式选择位
 - 00: RB0 满产生中断
 - 01: RB0 与 RB1 满产生中断
 - 10: RB0~RB3 全满产生中断
 - 11: 保留
- Bit 1~0 TBIM<1:0>: SPI 发送缓冲器空中断模式选择位
 - 00: TB0 空产生中断
 - 01: TB0 与 TB1 空产生中断
 - 10: TB0~TB3 全空产生中断
 - 11: 保留

6.6.10.2 SPI控制寄存器 1 (SPICON1)

SPICON1: SPI 控制寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	DFS<1:0>		DRE	—	REN	MS	SPIRST	SPIEN
R/W	R/W	R/W	R/W	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7~6 DFS<1:0>: SPI 通讯数据格式
 - 00: 上升沿发送（先），下降沿接收（后）
 - 01: 下降沿发送（先），上升沿接收（后）
 - 10: 上升沿接收（先），下降沿发送（后）
 - 11: 下降沿接收（先），上升沿发送（后）
- Bit 5 DRE: SPI 延迟接收使能位（仅主控模式支持）
 - 0: 禁止
 - 1: 使能
- Bit 4 保留未用
- Bit 3 REN: SPI 接收使能位
 - 0: 禁止
 - 1: 使能（需 SPIEN 同时使能）
- Bit 2 MS: SPI 通讯模式选择位
 - 0: 主控模式
 - 1: 从动模式

- Bit 1 SPIRST: SPI 软件复位
 0: 读取时始终为 0
 1: 软件复位 SPI 模块, 自动清零
- Bit 0 SPIEN: SPI 通讯使能位
 0: 禁止
 1: 使能 (SPI 通讯使能, 但仅使能数据发送)

注 1: 由于不同的通讯数据格式对端口的初始电平要求是不同的 (参见上面各通讯波形示意图), 因此若无法确定使能 SPI 之前的 SPI 端口的初始值, 必须先配置通讯数据格式控制位 DFS<1:0>, 对 SPI 端口初始电平进行自动设置; 然后再通过对 SPICON1 寄存器的 SPIEN 和 REN 置 1 来使能 SPI 发送和接收。即 SPICON1 寄存器需要分两次写入, 否则易产生通信错误。

注 2: 主设备和从设备需配置成相同的通讯数据格式。

6. 6. 10. 3 SPI发送数据写入寄存器 (SPITBW)

SPITBW: SPI 发送数据写入寄存器								
Bit	7	6	5	4	3	2	1	0
Name	TBW<7:0>							
R/W	W	W	W	W	W	W	W	W
POR	0	0	0	0	0	0	0	0

Bit 7~0 TBW<7:0>: 写入的发送数据

6. 6. 10. 4 SPI接收数据读取寄存器 (SPIRBR)

SPIRBR: SPI 接收数据读取寄存器								
Bit	7	6	5	4	3	2	1	0
Name	RBR<7:0>							
R/W	R	R	R	R	R	R	R	R
POR	0	0	0	0	0	0	0	0

Bit 7~0 RBR<7:0>: 读取的接收数据

6. 6. 10. 5 SPI中断使能寄存器 (SPIIE)

SPIIE: SPI 中断使能寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	TBWEIE	NSSIE	IDIE	ROIE	TEIE	RBIE	TBIE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 未使用

Bit 6 TBWEIE: SPI 发送数据写错误中断使能位

0: 禁止

1: 使能

Bit 5 NSSIE: SPI 片选变化中断使能位 (仅从动模式支持)

0: 禁止

- 1: 使能
- Bit 4 IDIE: SPI 空闲状态中断使能位 (仅主控模式支持)
 - 0: 禁止
 - 1: 使能
- Bit 3 ROIE: SPI 接收数据溢出中断使能位
 - 0: 禁止
 - 1: 使能
- Bit 2 TEIE: SPI 发送数据错误中断使能位 (仅从动模式支持)
 - 0: 禁止
 - 1: 使能
- Bit 1 RBIE: SPI 接收缓冲器满中断使能位
 - 0: 禁止
 - 1: 使能
- Bit 0 TBIE: SPI 发送缓冲器空中断使能位
 - 0: 禁止
 - 1: 使能

6.6.10.6 SPI中断标志寄存器 (SPIIF)

SPIIF: SPI 中断标志寄存器								
Bit	7	6	5	4	3	2	1	0
Name	—	TBWEIF	NSSIF	IDIF	ROIF	TEIF	RBIF	TBIF
R/W	—	R/W	R/W	R/W	R/W	R/W	R	R
POR	0	0	0	0	0	0	0	1

- Bit 7 未使用
- Bit 6 TBWEIF: SPI 发送数据写错误中断标志位
 - 0: 未发生写错误
 - 1: 发生写错误: 对 SPITBW 写入时, TB0~TB3 处于全满状态
 - 软件写 1 清除标志位, 写 0 无效
- Bit 5 NSSIF: SPI 片选变化中断标志位 (仅从动模式支持)
 - 0: 片选信号未发生变化
 - 1: 片选信号发生变化
 - 软件写 1 清除标志位, 写 0 无效
- Bit 4 IDIF: SPI 空闲中断标志位 (仅主控模式支持)
 - 0: 未进入空闲状态
 - 1: 进入空闲状态
 - 软件写 1 清除标志位, 写 0 无效; 或软件写寄存器 SPITBW 清除标志位
- Bit 3 ROIF: SPI 接收数据溢出中断标志位
 - 0: 未溢出
 - 1: 溢出
 - 软件写 1 清除标志位, 写 0 无效
- Bit 2 TEIF: SPI 发送错误中断标志位 (仅从动模式支持)
 - 0: 未发生发送错误

	1: 发生发送错误: 发送缓冲器和发送移位寄存器全空时, 又收到主控方提供的通讯时钟 软件写 1 清除标志位, 写 0 无效
Bit 1	RBIF: SPI 接收缓冲器满中断标志位 0: 接收缓冲器未满 1: 接收缓冲器满 读 SPIRBR 寄存器可清除中断标志位
Bit 0	TBIF: SPI 发送缓冲器空中断标志位 0: 发送缓冲器未空 1: 发送缓冲器空 写 SPITBW 寄存器可清除中断标志位

注 1: SPI 中断禁止时, 如果满足条件仍会置起对应的中断标志位, 只是不会产生中断请求。

注 2: 对 SPIIF 寄存器中的各中断标志位, 写 0 无效, 写 1 才能清除标志位; 读操作时, 读取的值为 1 表示有中断发生。

6.7 模/数转换器 (ADC)

6.7.1 概述

模拟数字转换器用于将模拟信号转化成一组二进制代码组成的数字信号。模拟信号经由多路复用输入脚输入，通过一个采样-保持电路连接至转换器的输入端。

芯片支持 12-bit, 8+1 个通道的 A/D 转换器，经过 A/D 转换器转换的 12-bit 二进制数据存入 ADC 数据寄存器 ADCRH、ADCRL 中。

- ◇ 模/数转换器特性
 - 12 位 A/D 采样精度
 - 8+1 个模拟输入通道可选，8 个外部通道和 1 个内部通道
 - 12 位转换结果，支持高位对齐放置或低位对齐放置
 - 可配置 A/D 采样时间
 - 多种转换时钟频率可选
 - 可配置多种参考源，当使用外部参考电压时，参考电压不能低于 3.0V@VDD=5.0V, 2.5V@VDD=3.3V
- ◇ 主要功能组件
 - ADC 转换值寄存器 (ADCRL, ADCRH)
 - ADC 控制寄存器 (ADCCL, ADCCH)
 - 数模端口控制寄存器 (ANSL)
- ◇ ADC 转换支持以下启动方式
 - 设置寄存器 ADCCL 的 ADTRG=1 (SMPS=1) 启动转换
 - 设置寄存器 ADCCL 的 SMPON=1 (SMPS=0) 启动转换
 - 外部中断 PINT5 (ADC_ETR0/PA7) 启动转换，需设置 ADC_ETR0EN=1
 - 外部中断 PINT8 (ADC_ETR1/PB1) 启动转换，需设置 ADC_ETR1EN=1
 - T21 模块的比较匹配触发转换，需设置寄存器 T21CL 的 T21M=1011
 - T31 模块的更新事件或比较匹配触发转换，可通过寄存器 T31C1L 的 ADTRGS 位设置
- ◇ 中断和暂停
 - 支持 AD 转换中断 (ADIE/ADIF)
 - 在 IDLE 模式下，A/D 转换暂停

6.7.2 内部结构图

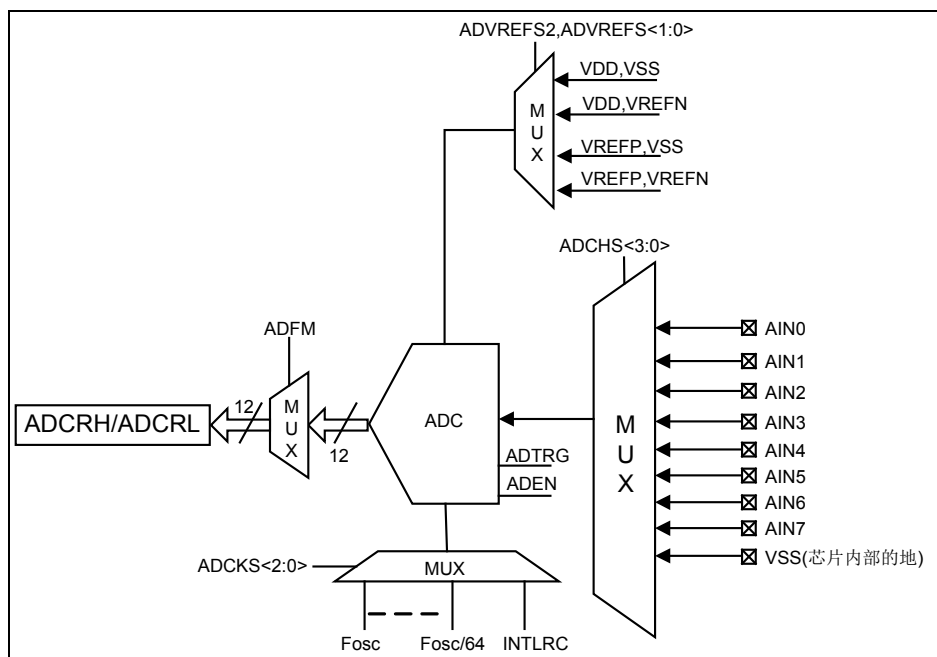


图 6-58 ADC 内部结构图

6.7.3 ADC配置

ADC 电路使用前，根据需要对以下几个方面进行正确的配置，才可得到正确转换结果。

时钟选择

ADC 电路的转换时钟有 8 组可选， $F_{osc} \sim F_{osc}/64$ 或 INTLRC，可通过 ADCCH 寄存器 ADCKS<2:0>位选择所需要的时钟。

参考电压选择

ADC 电路可选择采用外部参考电压输入，分别为参考电压正极性输入和参考电压负极性输入，对应外部参考电压输入脚分别为 VREFP 和 VREFN，可通过 ADCCH 寄存器中的 ADVREFS <1:0>位和 PWEN 寄存器中的 ADVREFS2 位共同选择。

采样时间选择

ADC 电路的采样时间可通过 ADCCH 寄存器中的 ADST<1:0>位选择，采样时间有 2 个 T_{adclk} 、4 个 T_{adclk} 、8 个 T_{adclk} 以及 16 个 T_{adclk} 四种选项。如果转换信号跳变比较大，建议采样时间设置较长的档位，如 8 个 T_{adclk} 或者 16 个 T_{adclk} 。

采样模式选择及控制

本芯片 ADC 可选择软件采样和硬件采样两种模式，通过 ADCCL 寄存器中的 SMPS 位选择。选用软件采样时，可通过 ADCCL 寄存器中的 SMPON 位控制采样的启动和停止。

复用端口类型选择

芯片中 ADC 电路的所有模拟输入通道 AINx、参考电压外部输入脚均和 PA/PB 端口复用，在使用 ADC 电路转换前，须先将所使用的管脚通过 ANSL 寄存器设置为模拟类型。

模拟信号输入通道选择

ADC 电路使能前，需先选择 A/D 模拟通道。本芯片 ADC 电路支持 8 个外部通道

AIN0~AIN7, 1 个内部通道 VSS。A/D 模拟通道可通过 ADCCL 寄存器中的 ADCHS <3:0> 位选择。选择内部 VSS 作为输入通道, 可检测 ADC 小信号的 offset。

对齐方式选择

本芯片 ADC 电路转换的结果支持两种对齐方式, 低位对齐和高位对齐, 可通过 ADCCH 寄存器中的 ADFM 位进行选择。

6.7.4 ADC转换步骤

下面概述实现 ADC 转换过程的各个步骤, 实际应用中还需要考虑 ADC 自身工作的建立(参见寄存器 ADCCL 后面的备注描述内容)。

Step1: 选择 ADC 转换时钟, 通过 ADCCH 寄存器中的 ADCKS<2:0>选择 ADC 转换时钟。ADC 转换时钟频率建议设置在 512KHz~2MHz 之间。

Step 2: 选择 ADC 参考电压源, 通过 ADCCH 寄存器中的 ADVREFS <1:0>位和 PWEN 寄存器中的 ADVREFS2 位共同进行选择。

Step 3: 选择 ADC 采样时间, 通过 ADCCH 寄存器中的 A/D 采样时间选择位 ADST <1:0> 设定。一般建议设置为 8 个 Tadc。

Step 4: 选择 ADC 采样模式, 通过 ADCCL 寄存器中的 A/D 采样模式选择位 SMPS 选择软件采样或硬件采样。

Step 5: 设置复用端口设为模拟类型, 即选择哪些管脚作为 ADC 转换输入管脚, 由端口数模控制寄存器 ANSL 控制选择。

Step 6: 选择模拟信号输入通道 AINx, 通过 ADCCL 寄存器中的 ADCHS <3:0>选择 ADC 模拟通道。

Step7: 设置转换结果对齐方式, 通过 ADCCH 寄存器中的 ADFM 位, 选择高位对齐放置还是低位对齐放置。

Step 8: 如果要使用中断, 则中断控制寄存器需要正确地设置, 以确保 A/D 中断功能被正确激活。在默认中断模式下, 需将全局中断使能位/高优先级中断使能位 GIE 置“1”, 将 ADC 中断使能位置“1”; 在向量中断模式下, 需将全局中断使能位/高优先级中断使能位 GIE 置“1”, 根据 A/D 中断所在组的优先级决定是否要开启低优先级中断使能位 GIEL, 将 ADC 中断使能位置“1”。

Step 9: 使能 ADC 电路, 将 ADCCL 寄存器中的 ADC 使能位 ADEN 设置为“1”。

Step 11: 当 ADCCL 寄存器中的 SMPS=0 时, 选择软件采样模式, 设置 ADCCL 寄存器中的 SMPON=1 启动采样, ADCCL 寄存器中的 ADTRG 位硬件自动置 1; 当 SMPS=1 时, 选择硬件采样模式, 将 ADC 转换启动位 ADTRG 位设置为“1”, 开始 ADC 转换。

Step 10: 轮询 ADCCL 寄存器中的转换状态位 ADTRG 位, 确定此次 A/D 转换是否完成。

Step 11: 读取 ADCRH 和 ADCRL 寄存器中的转换结果。

6.7.5 AD时序特征示意图

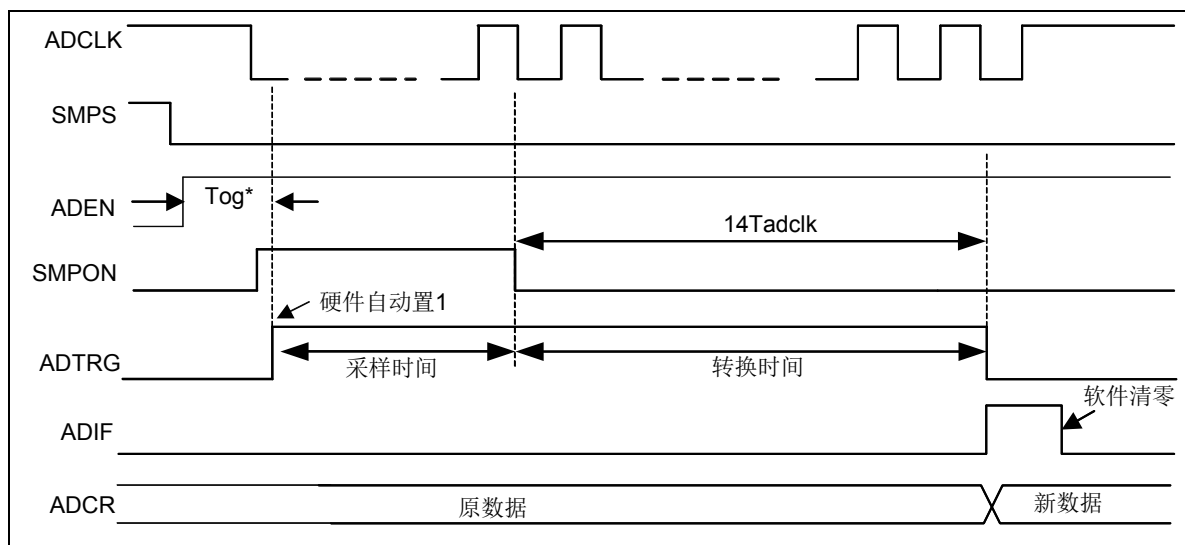


图 6-59 ADC 时序特征示意图 (SMPS=0)

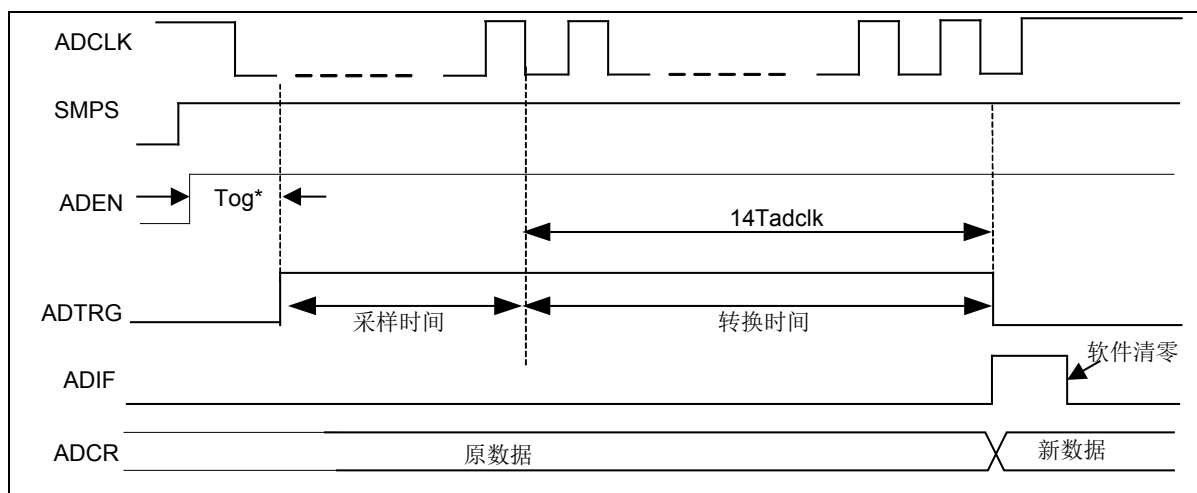


图 6-60 ADC 时序特征示意图 (SMPS=1)

注 1: $Tog > 80\mu s$;

注 2: AD 转换时钟周期 $Tadclk$, 可通过 $ADCKS<2:0>$ 寄存器配置不同的频率。

6.7.6 参考例程

应用例程 1: 对模拟输入通道 0 (AIN0) 进行模数转换

```

.....
BCC    ADCCH, ADFM    ; 转换结果高位对齐放置
MOVI   0x05          ; 硬件控制 ADC 采样模式
MOVA   ADCCL         ; 使能 ADC 转换器, 选中通道 0
.....              ; 延时等待 80us
BSS    ADCCL, ADTRG  ; 触发 ADC 转换
AD_WAIT:
    
```

```
JBC    ADCCL, ADTRG    ; 等待 ADC 转换完成
GOTO   AD_WAIT
MOV    ADCRH, 0        ; 读取高 8 位转换结果
.....
MOV    ADCRL, 0       ; 读取低 4 位转换结果
.....
```

6.7.7 特殊功能寄存器

ADC 功能是由四个控制寄存器和两个数据寄存器控制实现的。其中 ADCRL 和 ADCRH 寄存器用于存储 ADC 转换的数据结果，结果对齐方式由 ADCCH 寄存器中的 ADFM 位控制选择；ADCCL 寄存器用于 ADC 模块的使能控制、ADC 采样模式选择、ADC 转换启动控制以及 ADC 模拟通道选择等；ADCCH 寄存器用于 ADC 采样时间选择、正负参考电压选择、ADC 时钟选择以及结果对齐方式选择等；ANSL 寄存器用于控制复用端口的数模类型。

6.7.7.1 ADC转换值寄存器 (ADCR)

ADFM	ADCRH: ADC 转换值寄存器高 8 位								ADCRL: ADC 转换值寄存器低 8 位							
	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
1	—	—	—	—	ADCR<11:8>				ADCR<7:0>							
0	ADCR<11:4>								ADCR<3:0>			—	—	—	—	

ADCR<11:0>: A/D 转换结果

6.7.7.2 ADC控制寄存器 (ADCCL)

ADCCL: ADC 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	ADCHS<3:0>				SMPON	SMPS	ADTRG	ADEN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	1	1	1	1	0	1	0	0

Bit 7~4 ADCCHS<3:0>: A/D 模拟通道选择位

- 0000: 通道 0 (AIN0)
- 0001: 通道 1 (AIN1)
- 0010: 通道 2 (AIN2)
- 0011: 通道 3 (AIN3)
- 0100: 通道 4 (AIN4)
- 0101: 通道 5 (AIN5)
- 0110: 通道 6 (AIN6)
- 0111: 通道 7 (AIN7)
- 1000: 保留未用
- 1001~1110: VSS (芯片内部的地)
- 1111: 屏蔽通道选择

Bit 3 SMPON: A/D 采样软件控制位

- 0: 结束采样
- 1: 启动采样

Bit 2 SMPS: A/D 采样模式选择位

- 0: 使能软件采样, 硬件采样禁止

- 1: 禁止软件采样, 硬件采样使能
- Bit 1 ADTRG: A/D 采样转换状态位
 0: A/D 未进行转换, 或 A/D 采样转换已完成
 1: A/D 采样转换正在进行
 当 SMPS=1 时, 该位软件置 1 启动 A/D 采样转换; 当 SMPS=0 时, SMPON=1 启动采样, 该位硬件自动置 1。
- Bit 0 ADEN: A/D 转换使能位
 0: 关闭 A/D 转换器
 1: 运行 A/D 转换器

注 1: 在 ADEN 使能后, ADC 需要先完成自身工作建立, 才能得到正确的转换结果。ADC 电路工作建立方式为, ADEN 使能后, 延时 80us 以上, 启动第一次 ADC 转换 (ADTRG=1), 转换结束后, 再延时 30us 以上, ADC 工作建立完成, 后续启动 ADC 转换, 即可得到正确的转换结果。对应用程序来说, 在 ADEN 使能后, 第一次 ADC 转换前和转换后, 分别添加至少 80us 和 30us 延时, 同时因 ADC 建立过程中得到的转换结果与理论值偏差极大且不可预知, 所以在应用程序中需要丢弃 ADEN 使能后的第一次转换结果。

注 2: 因每次 ADEN 重新使能后, 均需要执行上述 ADC 工作建立过程, 所以应用中, 在芯片正常运行时不建议关闭 ADC, 保持 ADEN=1, 只在进入 IDLE 休眠模式前, 可以关闭 ADC, 降低睡眠功耗。

6.7.7.3 ADC控制寄存器 (ADCCH)

ADCCH: ADC 控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	ADFM	ADCKS<2:0>			ADST<1:0>		ADVREFS<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	1	0	0	1	0	0	0

- Bit 7 ADFM: A/D 转换数据放置格式选择位
 0: 高位对齐 (ADCRH<7:0>, ADCRL<7:4>)
 1: 低位对齐 (ADCRH<3:0>, ADCRL<7:0>)
- Bit 6~4 ADCKS<2:0>: A/D 转换时钟频率 (Tadclk) 选择位
 000: Fosc
 001: Fosc/2
 010: Fosc/4
 011: Fosc/8
 100: Fosc/16
 101: Fosc/32
 110: Fosc/64
 111: INTLRC (32KHz WDT RC 时钟)
- Bit 3~2 ADST<1:0>: A/D 硬件采样时间选择位
 00: 大约 2 个 Tadclk
 01: 大约 4 个 Tadclk
 10: 大约 8 个 Tadclk
 11: 大约 16 个 Tadclk
- Bit 1~0 ADVREFS<1:0>: A/D 参考源选择位, 此位需和寄存器 ADVREFS2 (PWEN<7>) 同时进行设置, 才能选择正确的参考源

ADVREFS2	ADVREFS<1:0>	参考源选择
0	00	参考电压正端为 VDD，负端为 VSS
1	01	参考电压正端为 VDD，负端为 VREFN
0	10	参考电压正端为外部 VREFP，负端为 VSS
1	11	参考电压正端为外部 VREFP，负端为外部 VREFN

注 1: 如果在 A/D 转换过程中, 进行转换时钟切换, 切换后第一次 A/D 转换结果有可能存在误差;
 注 2: A/D 转换时钟频率建议选择不要大于 2MHz;
 注 3: 当使用外部参考电压时, 参考电压不能低于 3.0V@VDD=5.0V, 2.5V@ VDD=3.3V, 否则会导致 ADC 工作异常。

6.7.7.4 端口数模控制寄存器 (ANSL)

ANSL: 端口数模控制寄存器								
Bit	7	6	5	4	3	2	1	0
Name	ANSL7	ANSL6	ANSL5	ANSL4	ANSL3	ANSL2	ANSL1	ANSL0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 ANSL7: PA7/AIN7 端口数模选择位
 0: 模拟输入端口
 1: 数字输入/输出端口
- Bit 6 ANSL6: PB7/AIN6 端口数模选择位
 0: 模拟输入端口
 1: 数字输入/输出端口
- Bit 5 ANSL5: PB3/AIN5 端口数模选择位
 0: 模拟输入端口
 1: 数字输入/输出端口
- Bit 4 ANSL4: PA5/AIN4 端口数模选择位
 0: 模拟输入端口
 1: 数字输入/输出端口
- Bit 3 ANSL3: PA4/AIN3 端口数模选择位
 0: 模拟输入端口
 1: 数字输入端口
- Bit 2 ANSL2: PA2/AIN2 端口数模选择位
 0: 模拟输入端口
 1: 数字输入/输出端口
- Bit 1 ANSL1: PA1/AIN1 端口数模选择位
 0: 模拟输入端口
 1: 数字输入/输出端口
- Bit 0 ANSL0: PA0/AIN0 端口数模选择位
 0: 模拟输入端口
 1: 数字输入/输出端口

第7章 中断处理

7.1 概述

中断是芯片的一个重要功能，它能将芯片从睡眠模式中唤醒，也可以使系统在正常运行过程中响应突发事件，中止并保存当前运行程序的信息，跳转到请求中断服务程序的入口地址，执行相对应的中断服务程序，处理突发事件。本芯片支持的中断模式有两种：默认中断模式和向量中断模式，最多可支持 22 个中断源：1 个软件中断和 21 个硬件中断。

7.2 中断控制结构框图

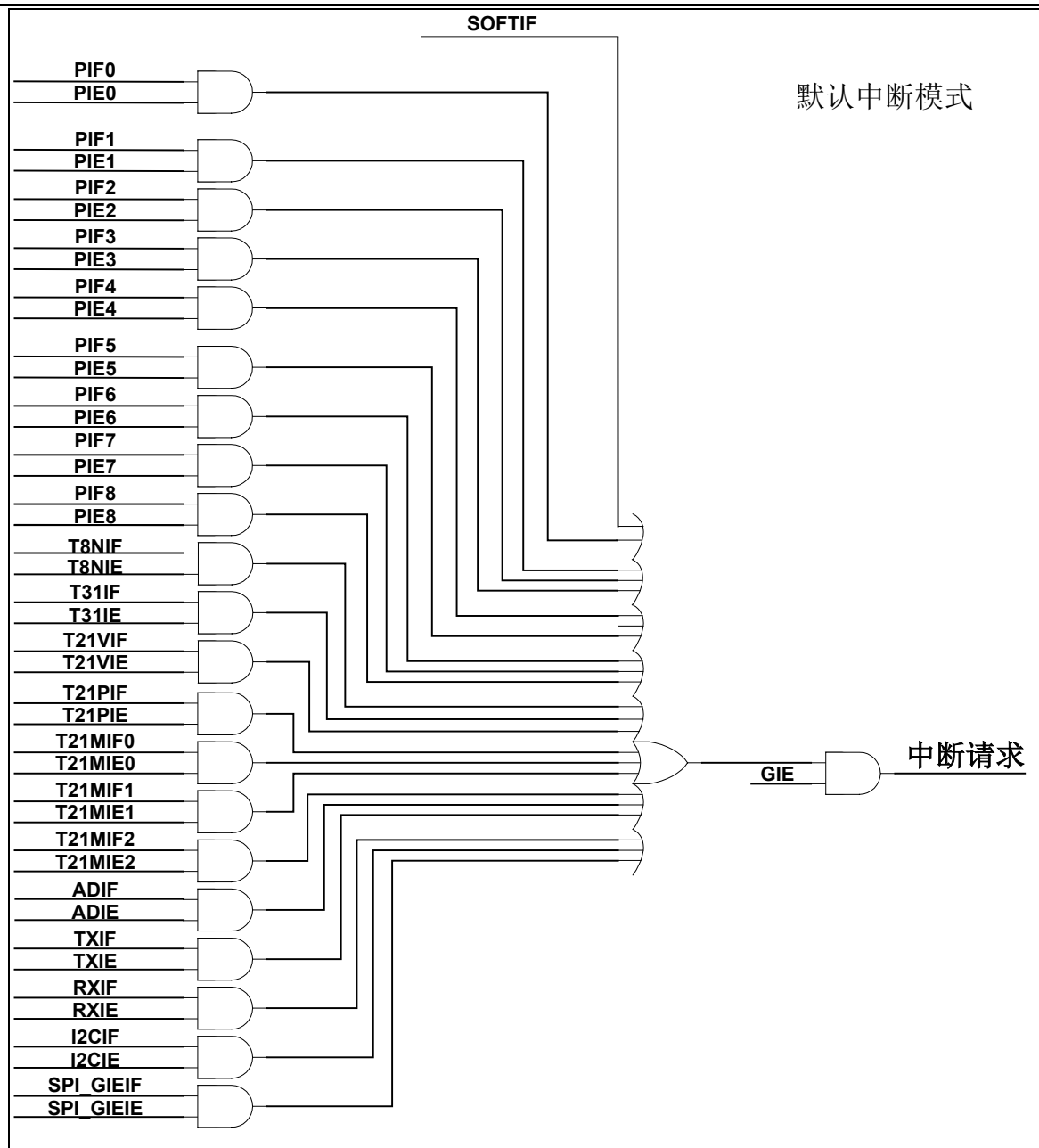


图 7-1 默认中断模式中中断控制逻辑

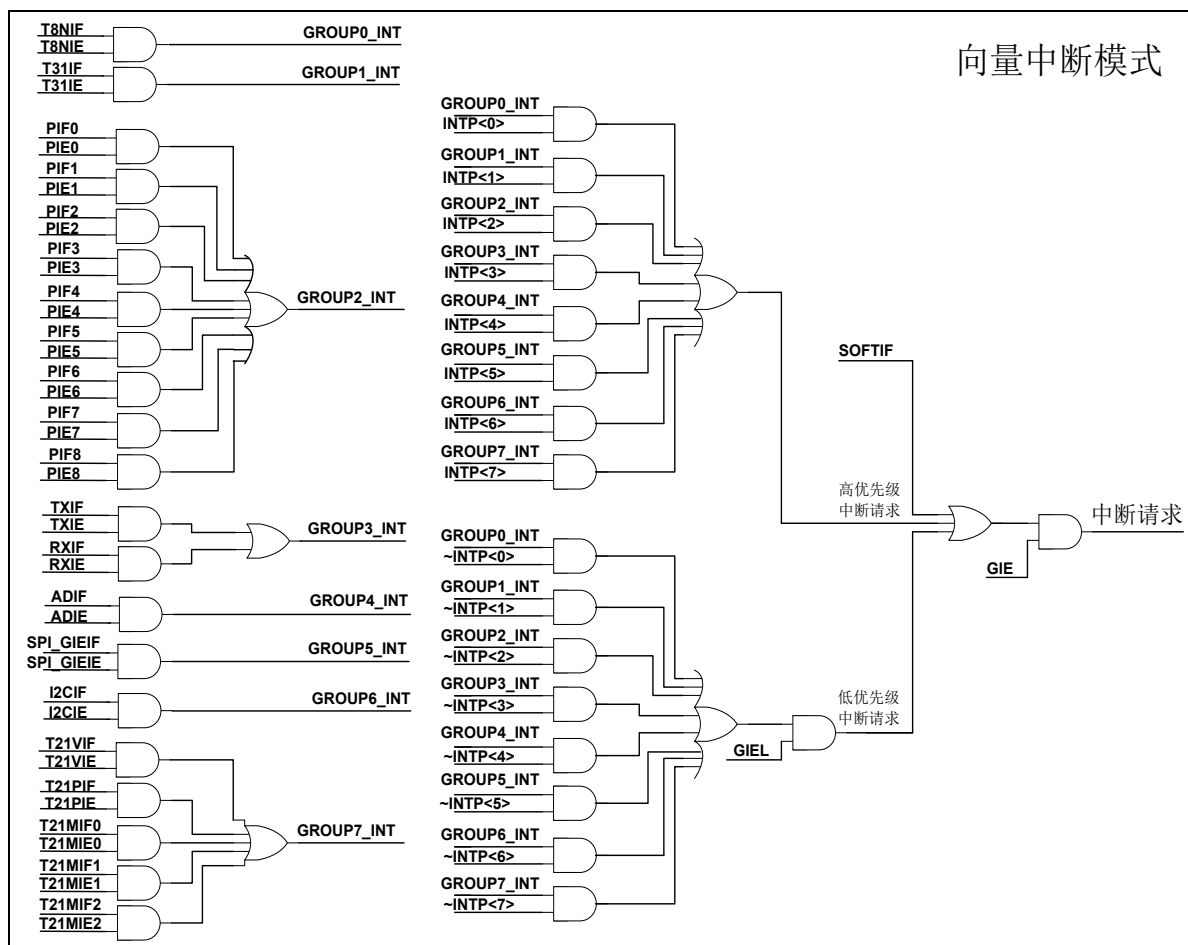


图 7-2 向量中断模式中中断控制逻辑

7.3 中断模式选择

芯片支持两种中断模式，默认中断模式和向量中断模式，可通过 INTG 寄存器中的 INTVEN0 位和芯片配置字中的 INTVEN1 位选择。需要注意的是，INTVEN0 和 INTVEN1 只有同时置“1”时，向量中断模式才有效。

INTVEN0 (INTG<2>)	INTVEN1 (CFG_WD0<11>)	中断模式
0	0	默认中断模式
0	1	
1	0	
1	1	向量中断模式

表 7-1 中断模式选择表

默认中断模式只支持 1 个中断入口，即 0004_H 入口地址，不支持中断优先级和中断嵌套。

向量中断模式支持多个中断入口，且支持中断优先级和中断嵌套。

7.3.1 默认中断模式

当配置为默认中断模式时，所有中断向量的入口地址均位于 0004_H。用户需通过中断服务程序对各中断标志及中断使能位进行判断，确认引起中断操作的中断源，从而执行相应的

中断服务子程序。该模式不支持中断优先级配置。

序号	中断源	中断名	中断标志	中断使能	全局使能	备注
1	软中断	软中断	SOFTIF	—	GIE	软件置 1
2	外部中断	PINT0	PIF0	PIE0	GIE	—
3		PINT1	PIF1	PIE1	GIE	—
4		PINT2	PIF2	PIE2	GIE	—
5		PINT3	PIF3	PIE3	GIE	—
6		PINT4	PIF4	PIE4	GIE	—
7		PINT5	PIF5	PIE5	GIE	—
8		PINT6	PIF6	PIE6	GIE	—
9		PINT7	PIF7	PIE7	GIE	—
10		PINT8	PIF8	PIE8	GIE	—
11		T8N 定时器/计数器溢出中断	T8NINT	T8NIF	T8NIE	GIE
12	T31 总中断	T31INT	T31IF	T31IE	GIE	—
13	T21 定时器溢出中断	T21VINT	T21VIF	T21VIE	GIE	—
14	T21 周期匹配中断	T21PINT	T21PIF	T21PIE	GIE	—
15	T21 捕捉/比较中断 0	T21MINT0	T21MIF0	T21MIE0	GIE	—
16	T21 捕捉/比较中断 1	T21MINT1	T21MIF1	T21MIE1	GIE	—
17	T21 捕捉/比较中断 2	T21MINT2	T21MIF2	T21MIE2	GIE	—
18	ADC 中断	ADINT	ADIF	ADIE	GIE	—
19	UART TX 中断	TXINT	TXIF	TXIE	GIE	—
20	UART RX 中断	RXINT	RXIF	RXIE	GIE	—
21	I2CS 通讯总中断	I2CINT	I2CIF	I2CIE	GIE	—
22	SPI 通讯总中断	SPIINT	SPI_GIE IF	SPI_GIE E	GIE	—

表 7-2 默认中断模式使能配置表

7.3.2 向量中断模式

7.3.2.1 向量表配置

当配置为向量中断模式时，各中断源按组划分，每组中断对应一个中断向量入口地址。软中断入口地址为 0004_H，优先级最高；其它硬件中断分 8 组(IG0~IG7)，通过中断全局寄存器 INTG 中的 INTV<1:0>配置支持不同的向量表优先级排序，并对应 8 个中断入口地址。每组硬件中断可以分别设置高低优先级，响应中断嵌套。通过中断优先级寄存器 INTP 中的 IGPx 配置，将所有硬件中断源分为高低两个优先级仲裁区。根据 INTV<1:0>的设置，对处于该仲裁区内的硬件中断组，进行优先级排序，并响应优先级最高的。高低两个优先级仲裁区分别由高优先级中断使能位 GIE 和低优先级中断使能位 GIEL 来使能。在执行低优先级中断服务程序时，可嵌套响应高优先级中断组。

优先级	0 (高)	1	2	3	4	5	6	7	8 (低)	
入口地址	0004 _H	0008 _H	000C _H	0010 _H	0014 _H	0018 _H	001C _H	0020 _H	0024 _H	
INTV	00	软中断	IG0	IG1	IG2	IG3	IG4	IG5	IG6	IG7
	01		IG0	IG1	IG6	IG7	IG4	IG5	IG2	IG3
	10		IG4	IG5	IG2	IG3	IG0	IG1	IG6	IG7
	11		IG7	IG6	IG5	IG4	IG3	IG2	IG1	IG0

表 7-3 向量表配置表

7.3.2.2 中断分组配置

序号	中断组号	高低优先级选择	中断名	备注
1	IG0	IGP0	T8NINT	—
2	IG1	IGP1	T31INT	—
3	IG2	IGP2	PINT0	—
4			PINT1	—
5			PINT2	—
6			PINT3	—
7			PINT4	—
8			PINT5	—
9			PINT6	—
10			PINT7	—
11			PINT8	—
12	IG3	IGP3	TXINT	—
13			RXINT	—
14	IG4	IGP4	ADINT	—
15	IG5	IGP5	SPIINT	—
16	IG6	IGP6	I2CINT	—
17	IG7	IGP7	T21VINT	—
18			T21PINT	—
19			T21MINT0	—
20			T21MINT1	—
21			T21MINT2	—

表 7-4 向量中断模式中断分组配置表

7.3.2.3 中断使能配置

序号	中断源	中断名	中断标志	中断使能	IGPx	低优先级中断使能位	全局中断使能位	备注
1	软中断	软中断	SOFTIF	—	—	—	GIE	软件置 1
2	外部中断	PINT0	PIF0	PIE0	0	GIEL	GIE	—
					1	—	GIE	—
3		PINT1	PIF1	PIE1	0	GIEL	GIE	—
					1	—	GIE	—

序号	中断源	中断名	中断标志	中断使能	IGPx	低优先级中断使能位	全局中断使能位	备注	
4		PINT2	PIF2	PIE2	0	GIEL	GIE	—	
					1	—	GIE	—	
5		PINT3	PIF3	PIE3	0	GIEL	GIE	—	
					1	—	GIE	—	
6		PINT4	PIF4	PIE4	0	GIEL	GIE	—	
					1	—	GIE	—	
7		PINT5	PIF5	PIE5	0	GIEL	GIE	—	
					1	—	GIE	—	
8		PINT6	PIF6	PIE6	0	GIEL	GIE	—	
					1	—	GIE	—	
9		PINT7	PIF7	PIE7	0	GIEL	GIE	—	
					1	—	GIE	—	
10		PINT8	PIF8	PIE8	0	GIEL	GIE	—	
					1	—	GIE	—	
11		T8N 定时器/计数器溢出中断	T8NINT	T8NIF	T8NIE	0	GIEL	GIE	—
						1	—	GIE	—
12		T31 总中断	T31INT	T31IF	T31IE	0	GIEL	GIE	—
						1	—	GIE	—
13		T21 定时器溢出中断	T21VINT	T21VIF	T21VIE	0	GIEL	GIE	—
						1	—	GIE	—
14		T21 周期匹配中断	T21PINT	T21PIF	T21PIE	0	GIEL	GIE	—
						1	—	GIE	—
15	T21 捕捉/比较中断 0	T21MINT0	T21MIF0	T21MIE0	0	GIEL	GIE	—	
					1	—	GIE	—	
16	T21 捕捉/比较中断 1	T21MINT1	T21MIF1	T21MIE1	0	GIEL	GIE	—	
					1	—	GIE	—	
17	T21 捕捉/比较中断 2	T21MINT2	T21MIF2	T21MIE1	0	GIEL	GIE	—	
					1	—	GIE	—	
18	ADC 中断	ADINT	ADIF	ADIE	0	GIEL	GIE	—	
					1	—	GIE	—	
19	UART TX 中断	TXINT	TXIF	TXIE	0	GIEL	GIE	—	
					1	—	GIE	—	
20	UART RX 中断	RXINT	RXIF	RXIE	0	GIEL	GIE	—	
					1	—	GIE	—	
21	I2CS 通讯总中断	I2CINT	I2CIF	I2CIE	0	GIEL	GIE	—	
					1	—	GIE	—	
22	SPI 通讯总中断	SPIINT	SPI_GIEI F	SPI_GIEI E	0	GIEL	GIE	—	
					1	—	GIE	—	

表 7-5 向量中断模式使能配置表

7.4 中断现场保护

中断现场保护是中断服务程序中一个很重要的组成部分。

指令系统中有 PUSH（压栈）和 POP（出栈）指令，可以方便的实现当前工作状态的保存和恢复。A、PSW、PCRH 和 BKSR 寄存器，分别有各自的两级镜像寄存器 AS1、PSWS1、PCRHS1、BKSRS1 和 AS0、PSWS0、PCRHS0、BKSRS0，用于对相应寄存器的保存和恢复。镜像寄存器无物理地址，他们只能通过 PUSH 和 POP 指令自动完成相应的保存与恢复动作，两级镜像寄存器采用堆栈的操作方式。

7.5 中断操作

7.5.1 中断使能位GIE和GIEL的操作

若中断事件条件产生，相关中断标志将被置为“1”。中断标志产生后程序要跳转至相应的服务程序地址执行，需满足以下条件：

- 1) 当对应中断使能位为“1”时，继续判断第二个条件是否满足；当对应中断使能位为“0”时，即使中断标志为“1”，中断也不会发生，程序也不会跳转至中断服务程序地址执行。
- 2) 在默认中断模式下，当全局中断使能位 GIE 为“0”时，将屏蔽所有中断请求。当全局中断使能位 GIE 为“1”时，程序将跳至中断服务程序地址执行。在向量中断模式下，当全局中断使能位 GIE 为“0”时，将屏蔽所有中断请求。当全局中断使能位 GIE 为“1”时，若对应中断所在组为高优先级，程序将跳至中断服务程序地址执行；若对应中断所在组为低优先级，当低优先级中断使能位 GIEL 为“1”时，在无高优先级中断请求时，程序将跳至中断服务地址执行，当低优先级中断使能位 GIEL 为“0”时，将屏蔽所有低优先级中断请求。

为确保对寄存器 GIE 和 GIEL 的软件写操作成功，需按如下步骤进行：

- 1) 在默认中断模式或向量中断模式下，对 GIE 位的软件清 0 操作，需先关闭所有外设中断使能，再将 GIE 位清 0；或在 GIE 位清 0 操作后，查询 GIE 位是否为 0，不为 0 则继续执行清 0 操作，直到成功为止；
对 GIE 位的软件置 1 操作，无特殊要求，推荐先打开所需的外设中断使能，再将 GIE 位置 1。
- 2) 在向量中断模式下，对 GIEL 位的软件清 0 操作，需先关闭所有外设中断使能，再将 GIEL 位清 0；或在 GIEL 位清 0 操作后，查询 GIEL 位是否为 0，不为 0 则继续执行清 0 操作，直到成功为止；
对 GIEL 位的软件置 1 操作，需与 GIE 位同时置 1，或先将 GIEL 位置 1，再将 GIE 位置 1。

7.5.2 外部中断

当 PINTx 复用端口被配置为数字输入端口，且输入信号变化满足触发条件时，将产生 PINTx 外部端口中断，相应的中断标志 PIFx 被置“1”。当全局中断控制位 GIE 和外部端口中断控制位 PIEx 都被置为“1”时，则向 CPU 发出 PINTx 外部端口中断请求。当中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。

需要注意的是，相应中断标志位 PIFx 和中断使能位 PIEx 都需通过软件清除，INTC0 寄存器用于配置触发条件，可分别配置为上升沿触发、下降沿触发或双沿触发。

7.5.3 ADC中断

ADC 中断由 ADC 转换动作控制，当 ADC 转换完成时，将产生 ADC 中断，ADC 中断标志位 ADIF 被置“1”。当 ADC 中断控制位 ADIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 ADC 中断请求。CPU 根据中断的优先级响应当前中断的请求，当 ADC 中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，ADC 中断标志位 ADIF 和中断使能位 ADIE 都需通过软件清除。

7.5.4 T8N溢出中断

8 位定时器/计数器 T8N 处于定时器模式或计数器模式，当 T8N 计数器递增计数由 FF_H 变为 00_H 时，T8N 计数器发生溢出，将中断标志 T8NIF 位置“1”。当 T8N 溢出中断使能位 T8NIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T8N 溢出中断请求。CPU 根据中断的优先级响应当前中断的请求，当 T8N 溢出中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T8N 溢出中断标志位 T8NIF 和中断使能位 T8NIE 都需通过软件清除。

7.5.5 T21 溢出中断

16 位定时器 T21 的各种工作模式都可产生溢出中断：

定时器模式/多精度 PWM 模式

16 位定时器 T21 处于定时器模式/多精度 PWM 模式时，对计数时钟进行递增计数，当 T21 后分频器的计数值与后分频器分频比相同时，产生溢出中断。

捕捉器模式/比较器模式

16 位定时器 T21 处于捕捉器模式/比较器模式时，对计数时钟进行递增计数，当 T21 计数值溢出时（即从 $FFFF_H$ 变为 0000_H ），产生溢出中断。

T21 溢出中断产生时，将中断标志 T21VIF 位置“1”。当 T21 溢出中断使能位 T21VIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T21 溢出中断请求。CPU 根据中断的优先级响应当前中断的请求，当 T21 溢出中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T21 溢出中断标志位 T21VIF 和中断使能位 T21VIE 都需通过软件清除。

7.5.6 T21 周期中断

16 位定时器 T21 处于多精度 PWM 模式时，T21 从零开始递增计数，当 T21 与 T21P 寄存器的值相等时，将产生 T21 周期中断，中断标志 T21PIF 被置“1”。如果中断使能位 T21PIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T21 周期中断请求。CPU 根据中断的优先级响应当前中断的请求，当 T21 周期中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T21 周期中断标志位 T21PIF 和中断使能位 T21PIE 都需通过软件清除。

7.5.7 T21 多功能中断

16 位定时器 T21 处于捕捉器模式/比较器模式时可产生多功能中断。

捕捉器模式

16 位定时器 T21 处于捕捉器模式时，T21 进行递增计数，当 T21CI0/T21CI1/T21CI2 输

入信号的变化状态满足捕捉条件时，计数器 T21 的值将被载入到相应的 16 位捕捉寄存器 T21R0/T21R1/T21R2 中，并产生相应的多功能中断 T21MIF0/T21MIF1/T21MIF2。

比较器模式

16 位定时器 T21 处于比较器模式时，T21 进行递增计数。当计数器 T21 的计数值与比较寄存器 T21R0/T21R1/T21R2 中的比较值相等时，执行相应的比较匹配事件，并产生相应的多功能中断 T21MIF0/T21MIF1/T21MIF2。

T21 多功能中断产生时，将相应的中断标志 T21MIF0/T21MIF1/T21MIF2 位置“1”。当相应的 T21 多功能中断使能位 T21MIE0/T21MIE1/T21MIE2 置为“1”，且全局中断使能位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T21 多功能中断 0/1/2 请求。CPU 根据中断的优先级响应当前中断的请求，当 T21 多功能中断 0/1/2 条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，T21 多功能中断标志位 T21MIF0/T21MIF1/T21MIF2 和多功能中断使能位 T21MIE0/T21MIE1/T21MIE2 都需通过软件清除。

7.5.8 T31 中断

当 BKIF、TRGIF、CHUIF、MIF4、MIF3、MIF2、MIF1、UPIF、OVIF4、OVIF3、OVIF2、OVIF1 中任何一个中断标志位置 1，且其对应的中断使能位也为 1 时，T31 总中断标志位 T31IF 就会置 1。如果 T31 总中断使能位 T31IE 置 1，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 T31 中断请求。CPU 根据中断的优先级响应当前中断的请求，当 T31 中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，需要软件清零 T31IF，但在清零 T31IF 总中断标志位之前，需先清零 BKIF、TRGIF、CHUIF、MIF4、MIF3、MIF2、MIF1、UPIF、OVIF4、OVIF3、OVIF2、OVIF1 等相关中断标志位。

7.5.9 UART 中断

UART 中断包括两种：发送中断和接收中断。

当 UART 异步发送器的发送数据寄存器 TXB 为空，或异步接收器完成一个数据接收时，产生 UART 发送/接收中断，发送/接收中断标志位 TXIF/RXIF 被置为“1”。如果发送/接收中断使能位 TXIE/RXIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 UART 发送/接收中断请求。CPU 根据中断的优先级响应当前中断的请求，当 UART 发送/接收中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，发送/接收中断标志位 TXIF/RXIF 为只读，不可软件清零，读接收数据寄存器 RXB，可清除 RXIF，写发送数据寄存器 TXB，可清除 TXIF；发送/接收中断使能位 TXIE/RXIE 需通过软件清除。

7.5.10 I2CS 中断

当 I2CSRIF、I2CSPIF、I2CTBIF、I2CRBIF、I2CTEIF、I2CROIF 和 I2CNAIF 中任何一个中断标志位置 1 时，I2C 总中断标志位 I2CIF 就会置 1。如果 I2C 中断使能位 I2CIE 置为“1”，且全局中断控制位 GIE 和低优先级中断使能位 GIEL 根据中断模式正确使能时，则向 CPU 发出 I2C 中断请求。CPU 根据中断的优先级响应当前中断的请求，当 I2C 中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，需要软件清零 I2CIF，但在清零 I2CIF 总中断标志位之前，需先清零 I2CSRIF、I2CSPIF、I2CTEIF、I2CROIF 和 I2CNAIF 等相关中断标志位。

7.5.11 SPI中断

当TBWEIF、NSSIF、IDIF、ROIF、TEIF、RBIF和TBIF中任何一个中断标志位置1时，I2C总中断标志位SPI_GIEIF就会置1。如果SPI中断使能位SPI_GIEIE置为“1”，且全局中断控制位GIE和低优先级中断使能位GIEL根据中断模式正确使能时，则向CPU发出SPI中断请求。CPU根据中断的优先级响应当前中断的请求，当SPI中断条件允许时，系统将进入相应中断的服务程序入口地址，进行中断程序处理。需要注意的是，需要软件清零SPI_GIEIF，但在清零SPI_GIEIF总中断标志位之前，需先清零TBWEIF、NSSIF、IDIF、ROIF、TEIF、RBIF和TBIF等相关中断标志位。

7.5.12 中断操作注意事项

用户在使能中断前需先清除相应的中断标志，避免中断的误触发。

除只读的中断标志（由硬件清除）外，其余的中断标志必须通过软件清除。

为避免中断的发生与中断标志清除操作冲突时，清除中断标志不成功，建议用户在进行中断标志清除操作后，对中断标志清除成功与否进行软件判断。如果操作不成功则再次进行中断标志清除操作，直到中断标志清除成功为止。用户也可以连续执行两次中断标志清除操作达到相同目的。

7.6 特殊功能寄存器

中断功能由一系列的控制寄存器和芯片配置字共同控制。

7.6.1 中断全局寄存器（INTG）

INTG: 中断全局寄存器								
Bit	7	6	5	4	3	2	1	0
Name	GIE	GIEL	—	—	SOFTIF	INTVEN0	INTV<1:0>	
R/W	R/W	R/W	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 GIE: 全局中断使能位，或高优先级中断使能位
 0: 禁止所有的中断，或禁止高优先级中断
 1: 使能所有未屏蔽的中断，或使能高优先级中断

Bit 6 GIEL: 低优先级中断使能位（向量中断模式）
 0: 禁止低优先级中断
 1: 使能低优先级中断

Bit 5~4 未使用

Bit 3 SOFTIF: 软中断标志位
 0: 无软中断
 1: 有软中断

Bit 2 INTVEN0: 中断模式选择位
 0: 默认中断模式
 1: 向量中断模式（芯片配置字INTVEN1（CFG_WD0<11>）必须为1）

Bit 1~0 INTV<1:0>: 中断向量表选择位，参考向量表配置

注：软件清零GIE或GIEL位时，需判断GIE或GIEL是否清零成功，如未被清零，则需再次执行软件清零操作，直到清零成功。软件置位GIE和GIEL时，需先置位GIEL，再置位GIE，或同时置位GIE和GIEL。

7.6.2 中断优先级寄存器 (INTP)

INTP: 中断优先级寄存器								
Bit	7	6	5	4	3	2	1	0
Name	IGP<7:0>							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~0 IGP<7:0>: IG7-IG0 中断优先级设置
 0: 低优先级
 1: 高优先级

7.6.3 中断控制寄存器 0 (INTC0)

INTC0: 中断控制寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	PEG3<1:0>		PEG2<1:0>		PEG1<1:0>		PEG0<1:0>	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7~6 PEG3<1:0>: PINT8~PINT6 触发边沿选择位
 00: PINT8~PINT6 下降沿触发
 01: PINT8~PINT6 上升沿触发
 1x: PINT8~PINT6 双沿触发

Bit 5~4 PEG2<1:0>: PINT5~PINT4 触发边沿选择位
 00: PINT5~PINT4 下降沿触发
 01: PINT5~PINT4 上升沿触发
 1x: PINT5~PINT4 双沿触发

Bit 3~2 PEG1<1:0>: PINT3~PINT2 触发边沿选择位
 00: PINT3~PINT2 下降沿触发
 01: PINT3~PINT2 上升沿触发
 1x: PINT3~PINT2 双沿触发

Bit 1~0 PEG0<1:0>: PINT1~PINT0 触发边沿选择位
 00: PINT1~PINT0 下降沿触发
 01: PINT1~PINT0 上升沿触发
 1x: PINT1~PINT0 双沿触发

7.6.4 中断标志寄存器 0 (INTF0)

INTF0: 中断标志寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	SPI_GIEIF	—	—	—	PIF8	T31IF	T8NIF	ADIF
R/W	R/W	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

Bit 7 SPI_GIEIF: SPI 模块总中断标志位
 0: 未发生 SPI 中断
 1: 发生 SPI 中断 (必须用软件清零)

- Bit 6~4 保留未用
- Bit 3 PIF8: 外部端口中断 8 标志位
 0: 外部端口 PINT8 上无中断信号
 1: 外部端口 PINT8 上有中断信号 (必须用软件清零)
- Bit 2 T31IF: T31 总中断标志位
 0: T31 未发生中断
 1: T31 发生中断 (必须软件清零)
- Bit 1 T8NIF: T8N 溢出中断标志位
 0: T8N 计数未溢出
 1: T8N 计数溢出 (必须用软件清零)
- Bit 0 ADIF: ADC 中断标志位
 0: 正在进行 AD 转换
 1: AD 转换已经完成 (必须用软件清零)

7.6.5 中断使能寄存器 0 (INTE0)

INTE0: 中断使能寄存器 0								
Bit	7	6	5	4	3	2	1	0
Name	SPI_GIEIE	—	—	—	PIE8	T31IE	T8NIE	ADIE
R/W	R/W	—	—	—	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 SPI_GIEIE: SPI 模块总中断使能位
 0: 禁止
 1: 使能
- Bit 6~4 保留未用
- Bit 3 PIE8: 外部端口中断 8 使能位
 0: 禁止
 1: 使能
- Bit 2 T31IE: T31 总中断使能位
 0: 禁止
 1: 使能
- Bit 1 T8NIE: T8N 溢出中断使能位
 0: 禁止
 1: 使能
- Bit 0 ADIE: ADC 中断使能位
 0: 禁止
 1: 使能

7.6.6 中断标志寄存器 1 (INTF1)

INTF1: 中断标志寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	PIF7	PIF6	PIF5	PIF4	PIF3	PIF2	PIF1	PIF0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 PIF7: 外部端口中断 7 标志位
 0: 外部端口 PINT7 上无中断信号
 1: 外部端口 PINT7 上有中断信号 (必须用软件清零)
- Bit 6 PIF6: 外部端口中断 6 标志位
 0: 外部端口 PINT6 上无中断信号
 1: 外部端口 PINT6 上有中断信号 (必须用软件清零)
- Bit 5 PIF5: 外部端口中断 5 标志位
 0: 外部端口 PINT5 上无中断信号
 1: 外部端口 PINT5 上有中断信号 (必须用软件清零)
- Bit 4 PIF4: 外部端口中断 4 标志位
 0: 外部端口 PINT4 上无中断信号
 1: 外部端口 PINT4 上有中断信号 (必须用软件清零)
- Bit 3 PIF3: 外部端口中断 3 标志位
 0: 外部端口 PINT3 上无中断信号
 1: 外部端口 PINT3 上有中断信号 (必须用软件清零)
- Bit 2 PIF2: 外部端口中断 2 标志位
 0: 外部端口 PINT2 上无中断信号
 1: 外部端口 PINT2 上有中断信号 (必须用软件清零)
- Bit 1 PIF1: 外部端口中断 1 标志位
 0: 外部端口 PINT1 上无中断信号
 1: 外部端口 PINT1 上有中断信号 (必须用软件清零)
- Bit 0 PIF0: 外部端口中断 0 标志位
 0: 外部端口 PINT0 上无中断信号
 1: 外部端口 PINT0 上有中断信号 (必须用软件清零)

7.6.7 中断使能寄存器 1 (INTE1)

INTE1: 中断使能寄存器 1								
Bit	7	6	5	4	3	2	1	0
Name	PIE7	PIE6	PIE5	PIE4	PIE3	PIE2	PIE1	PIE0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 PIE7: 外部端口中断 7 使能位
 0: 禁止
 1: 使能
- Bit 6 PIE6: 外部端口中断 6 使能位
 0: 禁止

- 1: 使能
- Bit 5 **PIE5: 外部端口中断 5 使能位**
0: 禁止
1: 使能
- Bit 4 **PIE4: 外部端口中断 4 使能位**
0: 禁止
1: 使能
- Bit 3 **PIE3: 外部端口中断 3 使能位**
0: 禁止
1: 使能
- Bit 2 **PIE2: 外部端口中断 2 使能位**
0: 禁止
1: 使能
- Bit 1 **PIE1: 外部端口中断 1 使能位**
0: 禁止
1: 使能
- Bit 0 **PIE0: 外部端口中断 0 使能位**
0: 禁止
1: 使能

7.6.8 中断标志寄存器 2 (INTF2)

INTF2: 中断标志寄存器 2								
Bit	7	6	5	4	3	2	1	0
Name	T21MIF2	I2CIF	T21MIF1	T21MIF0	T21PIF	T21VIF	RXIF	TXIF
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R	R
POR	0	0	0	0	0	0	0	0

- Bit 7 **T21MIF2: T21 捕捉/比较中断 2 标志位**
0: 无中断请求
1: T21 多功能中断 2 请求
- Bit 6 **I2CIF: I2CS 通讯总中断标志位**
0: 未发生通讯中断
1: 发生通讯中断
- Bit 5 **T21MIF1: T21 捕捉/比较中断 1 标志位**
0: 无中断请求
1: T21 多功能中断 1 请求
- Bit 4 **T21MIF0: T21 捕捉/比较中断 0 标志位**
0: 无中断请求
1: T21 多功能中断 0 请求
- Bit3 **T21PIF: T21 周期中断标志位**
0: 无中断请求
1: T21 周期中断请求
- Bit 2 **T21VIF: T21 溢出中断标志位**
0: 无中断请求

- 1: T21 溢出中断请求
- Bit 1 RXIF: UART 接收中断标志位
 - 0: 接收缓冲区空 (接收未完成)
 - 1: 接收缓冲区满 (接收完成), 读 RXB 清零
- Bit 0 TXIF: UART 发送中断标志位
 - 0: 发送缓冲区满 (发送未完成)
 - 1: 发送缓冲区空 (发送完成), 写 TXB 清零

7.6.9 中断使能寄存器 2 (INTE2)

INTE2: 中断使能寄存器 2								
Bit	7	6	5	4	3	2	1	0
Name	T21MIE2	I2CIE	T21MIE1	T21MIE0	T21PIE	T21VIE	RXIE	TXIE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
POR	0	0	0	0	0	0	0	0

- Bit 7 T21MIE2: T21 捕捉/比较中断 2 使能位
 - 0: 禁止
 - 1: 使能
- Bit 6 I2CIE: I2CS 通讯总中断使能位
 - 0: 禁止
 - 1: 使能
- Bit 5 T21MIE1: T21 捕捉/比较中断 1 使能位
 - 0: 禁止
 - 1: 使能
- Bit 4 T21MIE0: T21 捕捉/比较中断 0 使能位
 - 0: 禁止
 - 1: 使能
- Bit 3 T21PIE: T21 周期中断使能位
 - 0: 禁止
 - 1: 使能
- Bit 2 T21VIE: T21 溢出中断使能位
 - 0: 禁止
 - 1: 使能
- Bit 1 RXIE: UART 接收中断使能位
 - 0: 禁止
 - 1: 使能
- Bit 0 TXIE: UART 发送中断使能位
 - 0: 禁止
 - 1: 使能

第8章 芯片配置字

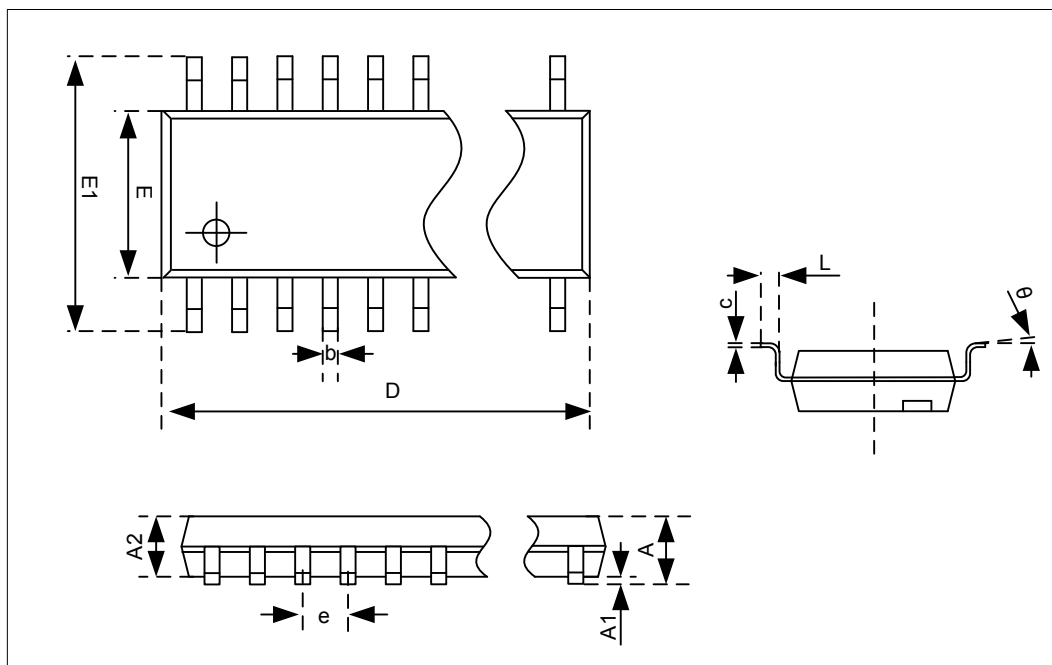
寄存器名称	芯片配置字 (CFG_WD0)	
地址	8001 _H	
OSCS <2:0>	bit2-0	振荡器选择位 000: 保留未用 001: 保留未用 010: 保留未用 011: INTOSCIO 2MHz 模式, PB3 为 I/O 管脚 100: INTOSCIO 4MHz 模式, PB3 为 I/O 管脚 101: INTOSCIO 8MHz 模式, PB3 为 I/O 管脚 110: 保留未用 111: INTOSCIO 16MHz 模式, PB3 为 I/O 管脚, 主系统时钟为 INTHRC
WDTEN	bit3	硬件看门狗使能位 0: 禁止 1: 使能
PWRTEB	bit4	上电/低电压定时器使能位 当 PA3 管脚用于外部复位 MRSTN 时 0: 使能 (上电延时约 130ms) 1: 禁止 当 PA3 管脚用于数字输入输出时, 固定为使能
MRSTEN	bit5	MRSTN 管脚功能选择位 0: PA3 管脚用于数字输入输出 1: PA3 管脚用于外部复位
BORVS	bit7-6	低电压选择位 00: 3.1V 01: 2.5V 10: 2.1V 11: 保留未用
—	Bit9-8	固定为全 0
ICDEN	bit10	ICD 调试模式使能位 0: 使能 1: 禁止
INTVEN1	bit11	中断模式选择位 0: 默认中断模式 1: 向量中断模式 (控制寄存器位 INTVEN0 (INTG<2>) 也必须为 1)
—	bit12	固定为 0
FREN	Bit13	FLASH 程序存储区查表指令读使能位 0: 禁止 1: 使能
—	Bit15-14	固定为全 1

注 1：芯片配置字通过编程界面配置；

第9章 芯片封装图

9.1 20-pin 封装图

9.1.1 TSSOP20



标号	公制 (mm)		
	MIN	NOM	MAX
A	—	—	1.20
A1	0.05	—	0.15
A2	0.80	—	1.00
b	0.19	—	0.30
c	0.09	—	0.20
D	6.40	—	6.60
E	4.30	—	4.50
E1	6.25	—	6.55
e	0.65BSC		
L	0.50	—	0.70
θ	1°	—	7°

Note: Dimension "D" does not include mold flash, protrusions or gate burrs. Mold flash, protrusions or gate burrs shall not exceed 0.15mm per side.

附录1 指令集

附录1.1 概述

本芯片提供了 79 条精简指令。

汇编指令为了方便程序设计者使用，指令名称大多是由指令功能的英文缩写所组成的。这些指令所组成的程序经过编译器的编译与连接后，会被转换为相对应的指令码。转换后的指令码可以分为操作码（OP Code）与操作数（Operand）两个部分。操作码部分对应到指令本身。

芯片运行在 4MHz 振荡时钟时，一个机器周期的时间为 500ns。

按照指令执行的机器周期数可将指令分为双周期指令和单周期指令，其中 JUMP、AJMP、GOTO、CALL、LCALL、RCALL、RET、RETIA、RETIE、TBR、TBR#1、TBR_1、TBR1#、TBW、TBW#1、TBW_1、TBW1#为双周期指令；满足跳转条件时，JBC、JBS、JCAIE、JCAIG、JCAIL、JCRAE、JCRAE、JCRAE、JCRAE、JCCRE、JCCRG、JCCRL、JDEC、JINC 指令为双周期指令，否则为单周期指令；其它指令为单周期指令。

附录1.2 寄存器操作指令

序号	指令		影响状态位	机器周期	操作
1	SECTION	I<7:0>	—	1	I<7:0>->BKSR<7:0>
2	PAGE	I<8:0>	—	1	I<1:0>->PCRH<4:3>
3	ISTEP	I<7:0>	—	1	IAA+i->IAA(-128≤i≤127)
4	MOVI	I<7:0>	—	1	I<7:0>->(A)
5	MOV	R<7:0>,F	Z,N	1	(R)->(目标)
6	MOVA	R<7:0>	—	1	(A)->(R)
7	MOVAR	R<10:0>	—	1	(A)->(R) (R 为 GPR)
8	MOVRA	R<10:0>	—	1	(R)->(A) (R 为 GPR)

附录1.3 程序控制指令

序号	指令		影响状态位	机器周期	操作
9	JUMP	I<7:0>	—	2	PC+1+i<7:0>->PC (-128≤i≤127)
10	AJMP	I<19:0>	—	2	I<12:0>->PC<12:0> I<12:8>->PCRH<4:0>
11	GOTO	I<10:0>	—	2	I<10:0>->PC<10:0>, PCRH<4:3>->PC<12:11>
12	CALL	I<10:0>	—	2	PC+1->TOS,I<10:0>->PC<10:0>, PCRH<4:3>->PC<12:11>
13	LCALL	I<19:0>	—	2	PC+1->TOS,I<12:0>->PC<12:0>

序号	指令		影响状态位	机器周期	操作
					I<12:8>->PCRH<4:0>
14	RCALL	R<7:0>	—	2	PC+1->TOS, (R)->PC<7:0>, PCRH<4:0>->PC<12:8>
15	JBC	R<7:0>,B<2:0>	—	2 或 1	当 R = 0 时跳过下一条指令
16	JBS	R<7:0>,B<2:0>	—	2 或 1	当 R = 1 时跳过下一条指令
17	JCAIE	I<7:0>	—	2 或 1	当(A) = I 时跳过下一条指令
18	JCAIG	I<7:0>	—	2 或 1	当(A) > I 时跳过下一条指令
19	JCAIL	I<7:0>	—	2 或 1	当(A) < I 时跳过下一条指令
20	JCRAE	R<7:0>	—	2 或 1	当(R) = (A)时跳过下一条指令
21	JCRAG	R<7:0>	—	2 或 1	当(R) > (A)时跳过下一条指令
22	JCRAL	R<7:0>	—	2 或 1	当(R) < (A)时跳过下一条指令
23	JCCRE	R<7:0>,B<2:0>	—	2 或 1	当 C = R(B)时跳过下一条指令
24	JCCRG	R<7:0>,B<2:0>	—	2 或 1	当 C > R(B)时跳过下一条指令
25	JCCRL	R<7:0>,B<2:0>	—	2 或 1	当 C < R(B)时跳过下一条指令
26	JDEC	R<7:0>,F	—	2 或 1	(R-1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
27	JINC	R<7:0>,F	—	2 或 1	(R+1)->(目标寄存器), 当目标寄存器的值为 0 时则跳过下一条指令
28	NOP	—	—	1	空操作
29	POP	—	—	1	AS->A,PSWS->PSW, BKSR->BKSRS,PCRHS->PCRH
30	PUSH	—	—	1	A->AS,PSW->PSWS, BKSR->BKSRS,PCRH->PCRHS
31	RET	—	—	2	TOS->PC
32	RETIA	I<7:0>	—	2	I->(A),TOS->PC
33	RETIE	—	—	2	TOS->PC,1->GIE
34	RST	—	全部状态位均被影响	1	软件复位指令
35	CWDT	—	N_TO,N_PD	1	00 _H ->WDT,0->WDTPrescaler, 1-> N_TO, 1-> N_PD
36	IDLE	—	N_TO,N_PD	1	00 _H ->WDT,0->WDTPrescaler, 1-> N_TO, 0-> N_PD

附录1.4 算术/逻辑运算指令

序号	指令		影响状态位	机器周期	操作
37	ADD	R<7:0>,F	C,DC, Z,OV,N	1	(R)+(A)->(目标)
38	ADDC	R<7:0>,F	C,DC,Z,OV,N	1	(R)+(A)+C->(目标)
39	ADDCI	I<7:0>	C,DC,Z,OV,N	1	I+(A)+C->(A)
40	ADDI	I<7:0>	C,DC,Z,OV,N	1	I+(A)->(A)
41	AND	R<7:0>,F	Z,N	1	(A).AND.(R)->(目标)

序号	指令		影响状态位	机器周期	操作
42	ANDI	I<7:0>	Z,N	1	I.AND.(A)->(A)
43	BCC	R<7:0>,B<2:0>	—	1	0->R
44	BSS	R<7:0>,B<2:0>	—	1	1->R
45	BTT	R<7:0>,B<2:0>	—	1	(~R)->R
46	CLR	R<7:0>	Z	1	(R)=0
47	SETR	R<7:0>	—	1	FF _H ->(R)
48	NEG	R<7:0>	C,DC,Z,OV,N	1	~(R)+1->(R)
49	COM	R<7:0>,F	Z,N	1	(~R)->(目标)
50	DAR	R<7:0>,F	C	1	对(R)十进制调整->(目标)
51	DAA	—	C	1	对(A)十进制调整->(A)
52	DEC	R<7:0>,F	C,DC,Z,OV,N	1	(R-1)->(目标)
53	INC	R<7:0>,F	C,DC,Z,OV,N	1	(R+1)->(目标)
54	IOR	R<7:0>,F	Z,N	1	(A).OR.(R)->(目标)
55	IORI	I<7:0>	Z,N	1	I.OR.(A)->(A)
56	RLB	R<7:0>,F,B<2:0>	C,Z,N	1	 C<< R<7:0> (R带C向左循环移位)
57	RLBNC	R<7:0>,F,B<2:0>	Z,N	1	 R<7> << R<7:0> (R不带C向左循环移位)
58	RRB	R<7:0>,F,B<2:0>	C,Z,N	1	 C>> R<7:0> (R带C向右循环移位)
59	RRBNC	R<7:0>,F,B<2:0>	Z,N	1	 R<7:0> >> R<0> (R不带C向右循环移位)
60	SUB	R<7:0>,F	C,DC,Z,OV,N	1	(R)-(A)->(目标)
61	SUBC	R<7:0>,F	C,DC,Z,OV,N	1	(R)-(A)- (~C)->(目标)
62	SUBCI	I<7:0>	C, DC, Z,OV,N	1	I-(A)- (~C)->(A)
63	SUBI	I<7:0>	C, DC, Z,OV,N	1	I-(A)->(A)
64	SSUB	R<7:0>,F	C, DC, Z,OV,N	1	(A)-(R)->(目标)
65	SSUBC	R<7:0>,F	C, DC, Z,OV,N	1	(A)-(R)- (~C)->(目标)
66	SSUBCI	I<7:0>	C, DC, Z,OV,N	1	(A)-I- (~C)->(A)
67	SSUBI	I<7:0>	C, DC, Z,OV,N	1	(A)-I->(A)
68	SWAP	R<7:0>,F	—	1	R<3:0>->(目标)<7:4>, R<7:4>->(目标)<3:0>
69	TBR	—	—	2	Pmem(FRA)->ROMD

序号	指令		影响 状态位	机器 周期	操作
70	TBR#1	—	—	2	Pmem(FRA)-> ROMD, FRA+1->FRA
71	TBR_1	—	—	2	Pmem(FRA)-> ROMD, FRA-1->FRA
72	TBR1#	—	—	2	FRA+1->FRA, Pmem(FRA)-> ROMD
73	TBW	—	—	2	ROMD->prog buffer
74	TBW#1	—	—	2	ROMD>prog buffer, FRA+1->FRA
75	TBW_1	—	—	2	ROMD->prog buffer, FRA-1->FRA
76	TBW1#	—	—	2	FRA+1->FRA, ROMD->prog buffer
77	XOR	R<7:0>, F	Z,N	1	(A).XOR.(R)->(目标)
78	XORI	I<7:0>	Z,N	1	I.XOR.(A)->(A)

注：指令集说明

- 1: i—立即数， F—标志位， A—寄存器 A， R—寄存器 R， B—寄存器 R 的第 B 位或移动 B 位。
- 2: C—进位/借位， DC—半进位/半借位， Z—零标志位， OV—溢出标志位， N—负标志位。
- 3: TOS—顶级堆栈。
- 4: 如果标志位 F = 0，则目标寄存器为寄存器 A；如果标志位 F = 1，则目标寄存器为寄存器 R。
- 5: 79 条指令中另有一条 NOP 指令未在上表中描述。
- 6: SECTION 指令中，N 的位数，视实际芯片而定。对本芯片，通用数据存储器 GPR 分为 8 个存储体组，所以 N 的位数是 3 位。
- 7: PAGE 指令中，N 的位数，视实际芯片而定。对本芯片，没有 PCRU 寄存器，N 的位数是 2 位。
- 8: PC 的位数以及 PCRU 寄存器，视实际芯片而定。对本芯片，PC 的位数是 13 位，没有 PCRU 寄存器。

附录2 特殊功能寄存器总表

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0	
FF80 _H	IAD	IAD<7:0>								
FF81 _H	IAAL	IAAL<7:0>								
FF82 _H	IAAH	IAAH<7:0>								
FF83 _H	BKSR	—	—	—	—	—	—	—	DBK	
FF84 _H	PSW	—	UF	OF	N	OV	Z	—	—	
FF85 _H	AREG	AREG<7:0>								
FF86 _H	PCRL	PCRL<7:0>								
FF87 _H	PCRH	—	—	—	PCRH<4:0>					
FF88 _H	MULA/MULL	MULA<7:0> / MULL<7:0>								
FF89 _H	MULB/MULH	MULB<7:0> / MULH<7:0>								
FF8A _H	DIVEL/DIVQL	DIVEL<7:0>/ DIVQL<7:0>								
FF8B _H	DIVEH/DIVQH	DIVEH<7:0>/ DIVQH<7:0>								
FF8C _H	DIVS/DIVR	DIVS<7:0>/DIVR<7:0>								
FF8D _H	T31CH2RH	CH2R<15:8>								
FF8E _H	T31CH3RL	CH3R<7:0>								
FF8F _H	T31CH3RH	CH3R<15:8>								
FF90 _H	FRAL	FRAL<7:0>								
FF91 _H	FRAH	FRAH<7:0>								
FF92 _H	ROMDL	ROMDL<7:0>								
FF93 _H	ROMDH	ROMDH<7:0>								
FF94 _H	ROMCL	—	IAPSEL<2:0>				FPEE	WREN	—	—
FF95 _H	ROMCH	ROMCH<7:0>								
FF96 _H	INTG	GIE	GIEL	—	—	SOFTIF	INTVEN0	—	—	

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	
FF97 _H	INTP	IGP<7:0>						
FF98 _H	INTC0	PEG3<1:0>		PEG2<1:0>		PEG1<1:0>		
FF99 _H	T31CH4RL	CH4R<7:0>						
FF9A _H	INTE0	SPI_GIEIE	—	—	—	PIE8	T31IE	T
FF9B _H	INTF0	SPI_GIEIF	—	—	—	PIF8	T31IF	T
FF9C _H	INTE1	PIE7	PIE6	PIE5	PIE4	PIE3	PIE2	F
FF9D _H	INTF1	PIF7	PIF6	PIF5	PIF4	PIF3	PIF2	F
FF9E _H	INTE2	T21MIE2	I2CIE	T21MIE1	T21MIE0	T21PIE	T21VIE	F
FF9F _H	INTF2	T21MIF2	I2CIF	T21MIF1	T21MIF0	T21PIF	T21VIF	F
FFA0 _H	SPICON0	RXCLR	TXCLR	CKS<1:0>		RBIM<1:0>		
FFA1 _H	SPICON1	DFS<1:0>		DRE	—	REN	MS	SP
FFA2 _H	SPIIE	—	TBWEIE	NSSIE	IDIE	ROIE	TEIE	R
FFA3 _H	SPIIF	—	TBWEIF	NSSIF	IDIF	ROIF	TEIF	R
FFA4 _H	SPIRBR	RBR<7:0>						
FFA5 _H	SPITBW	TBW<7:0>						
FFA6 _H	PWRC	LPM<1:0>		—	—	N_TO	N_PD	N_
FFA7 _H	WDTC	—	—	—	—	WDTPRE	WDTF	
FFA8 _H	WKDC	WKDC <7:0>						
FFA9 _H	PWEN	ADVREFS2	—	MRSTF	PORLOST	BORFLT<1:0>		R
FFAA _H	PA	PA7	PA6	PA5	PA4	PA3	PA2	F
FFAB _H	PAT	PAT7	PAT6	PAT5	PAT4	PAT3	PAT2	F
FFAC _H	PB	PB7	PB6	PB5	PB4	PB3	PB2	F
FFAD _H	PBT	PBT7	PBT6	PBT5	PBT4	PBT3	PBT2	P
FFAE _H	PC	—	—	—	—	—	—	F
FFAF _H	PCT	—	—	—	—	—	—	P

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	bit1
FFB0 _H	PAPU	PAPU7	PAPU6	PAPU5	PAPU4	PAPU3	PAPU2	PAPU1
FFB1 _H	PBPU	PBPU7	PBPU6	PBPU5	PBPU4	PBPU3	PBPU2	PBPU1
FFB2 _H	PCPU	—	—	—	—	—	—	PCPU0
FFB3 _H	T31CHBK	CHOE	AROE	BKPS	BKE	ROFFS	NOFFS	—
FFB4 _H	T31CH4RH	CH4R<15:8>						
FFB5 _H	PORTCTR	—	—	T31_CH4EN	T31_CH3EN	AD_ETR1EN	ADC_ETR0EN	—
FFB6 _H	T31DLYT	DLYT<7:0>						
FFB7 _H	PAPD	PAPD7	PAPD6	PAPD5	PAPD4	PAPD3	PAPD2	PAPD1
FFB8 _H	PBPD	PBPD7	PBPD6	PBPD5	PBPD4	PBPD3	PBPD2	PBPD1
FFB9 _H	FRALN	FRALN<7:0>						
FFBA _H	FRAHN	FRAHN<7:0>						
FFBB _H	T8N	T8N<7:0>						
FFBC _H	T8NC	T8NEN	T8NCLK	T8NM	T8NEG	T8NPRE	T8NPN	
FFBD _H	T31C0L	RLBE	CMC<1:0>		DIRS	SPME	UES	UEN
FFBE _H	T31C0H	—	HTOEOFF	—	—	—	—	—
FFBF _H	T31C1L	—	ADTRGS<2:0>			—	CHCUS	—
FFC0 _H	T31C1H	—	ONS4	ONS3N	ONS3	ONS2N	ONS2	ONS1
FFC1 _H	T31C2L	MSM	TRGS<2:0>			COCE	T31C2H	
FFC2 _H	T31C2H	ETEG	ECM2E	ETPRS<1:0>		ETFS<3:0>		
FFC3 _H	T31IEL	BKIE	TRGIE	CHUIE	MIE4	MIE3	MIE2	MIE1
FFC4 _H	T31IEH	—	—	—	OVIE4	OVIE3	OVIE2	OVIE1
FFC5 _H	T31IDL	BKID	TRGID	CHUID	MID4	MID3	MID2	MID1
FFC6 _H	T31IDH	—	—	—	OVID4	OVID3	OVID2	OVID1
FFC7 _H	T31IVSL	BKIS	TRGIS	CHUIS	MIS4	MIS3	MIS2	MIS1
FFC8 _H	T31IVSH	—	—	—	OVIS4	OVIS3	OVIS2	OVIS1

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	
FFC9 _H	T31IFL	BKIF	TRGIF	CHUIF	MIF4	MIF3	MIF2	MIF1
FFCA _H	T31IFH	—	—	—	OVIF4	OVIF3	OVIF2	OVIF1
FFCB _H	T31IFML	BKIM	TRGIM	CHUIM	MIM4	MIM3	MIM2	MIM1
FFCC _H	T31IFMH	—	—	—	OVIM4	OVIM3	OVIM2	OVIM1
FFCD _H	T31ICRL	BKIC	TRGIC	CHUIC	MIC4	MIC3	MIC2	MIC1
FFCE _H	T31ICRH	—	—	—	OVIC4	OVIC3	OVIC2	OVIC1
FFCF _H	T31EVG	BKT	TRGT	CHUT	CH4T	CH3T	CH2T	CH1T
FFD0 _H	T31CH1C	CH1COCE	CH1OM<2:0>			CH1OBE	CH1OFE	
FFD0 _H	T31CH1C	CH1IFS<3:0>				CH1IM<1:0>		
FFD1 _H	T21L	T21<7:0>						
FFD2 _H	T21H	T21<15:8>						
FFD3 _H	T21PL	T21P<7:0>						
FFD4 _H	T21PH	T21P<15:8>						
FFD5 _H	T21R0L	T21R0<7:0>						
FFD6 _H	T21R0H	T21R0<15:8>						
FFD7 _H	T21CL	T21M<3:0>				CAP1S<1:0>		
FFD8 _H	T21CM	CAP2S<1:0>		T21OM20	T21OM21	T21PRS<3:0>		
FFD9 _H	T21CH	T21EN	T21POS<6:0>					
FFDA _H	ADCRL	ADCRL<7:0>						
FFDB _H	ADCRH	ADCRH<7:0>						
FFDC _H	ADCCL	ADCHS<3:0>				SMPON	SMPS	AD
FFDD _H	ADCCH	ADFM	ADCKS<2:0>			ADST<1:0>		
FFDE _H	ANSL	ANSL7	ANSL6	ANSL5	ANSL4	ANSL3	ANSL2	ANSL1
FFDF _H	—	—	—	—	—	—	—	—
FFE0 _H	RXB	RXB<7:0>						

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	
FFE1 _H	RXC	RXEN	RXM	—	—	—	OERR	F
FFE2 _H	TXB	TXB<7:0>						
FFE3 _H	TXC	TXEN	TXM	BRGH	—	—	—	T
FFE4 _H	BRR	BRR<7:0>						
FFE5 _H	T21R1L	T21R1<7:0>						
FFE6 _H	T21R1H	T21R1<15:8>						
FFE7 _H	T21R2L	T21R2<7:0>						
FFE8 _H	T21R2H	T21R2<15:8>						
FFE9 _H	T21OC	T21TR	—	PT2EN<1:0>		T21OM22	PT1EN	
FFEA _H	T31CH2C	CH2COCE	CH2OM<2:0>			CH2OBE	CH2OFE	
FFEA _H	T31CH2C	CH2IFS<3:0>				CH2IM<1:0>		
FFEB _H	T31CH3C	CH3COCE	CH3OM<2:0>			CH3OBE	CH3OFE	
FFEB _H	T31CH3C	CH3IFS<3:0>				CH3IM<1:0>		
FFEC _H	T31CH4C	CH4COCE	CH4OM<2:0>			CH4OBE	CH4OFE	
FFEC _H	T31CH4C	CH4IFS<3:0>				CH4IM<1:0>		
FFED _H	T31PINCL	CH2NP	CH2NE	CH2P	CH2E	CH1NP	CH1NE	C
FFEE _H	T31PINCH	CH4NP	—	CH4P	CH4E	CH3NP	CH3NE	C
FFEF _H	I2CX16	—	—	—	I2CX16<4:0>			
FFF0 _H	I2CC	I2CTE	I2CPU	I2COD	I2CTAS	I2CANAE	I2CCSE	I2C
FFF1 _H	I2CSA	I2CSADR<6:0>						
FFF2 _H	I2CTB	I2CTB<7:0>						
FFF3 _H	I2CRB	I2CRB<7:0>						
FFF4 _H	I2CIEC	I2CWKUPEN	I2CNAIE	I2CROIE	I2CTEIE	I2CRBIE	I2CTBIE	I2C
FFF5 _H	I2CIFC	—	I2CNAIF	I2CROIF	I2CTEIF	I2CRBIF	I2CTBIF	I2C
FFF6 _H	T31CNTL	CNT<7:0>						

地址	名称	bit7	bit6	bit5	bit4	bit3	bit2	
FFF7 _H	T31CNTH	CNT<15:8>						
FFF8 _H	T31PRSL	PRS<7:0>						
FFF9 _H	T31PRSH	PRS<15:8>						
FFFA _H	T31CNTLDL	CNTLD<7:0>						
FFFB _H	T31CNTLDH	CNTLD<15:8>						
FFFC _H	T31POS	POS<7:0>						
FFFD _H	T31CH1RL	CH1R<7:0>						
FFFE _H	T31CH1RH	CH1R<15:8>						
FFFF _H	T31CH2RL	CH2R<7:0>						

附录3 电气特性

附录3.1 参数特性表

◆ 最大标称值

参数	符号	条件	标称值	单位
电源电压	VDD	—	-0.3 ~ 7.5	V
输入电压	V _{IN}	—	-0.3 ~ VDD + 0.3	V
输出电压	V _{OUT}	—	-0.3 ~ VDD + 0.3	V
存储温度	T _{STG}	—	-55 ~ 125	°C
操作温度	T _{OPR}	VDD: 2.3 ~ 5.5V	-40 ~ 85	°C

◆ 芯片上电和下电工作条件表 (-40 ~ 85°C)

参数	符号	最小值	最大值	单位
VDD 上电初始电压	V _{start}	0	0.1	V
VDD 上升速率	T _{VDD}	10	—	us/V
VDD 下降速率		20	—	us/V

◆ 芯片功耗特性参数表

参数	符号	最小值	典型值	最大值	单位	工作条件
芯片供电电压	VDD	2.3	—	5.5	V	-40°C ~ 85°C
芯片静态电流	I _{DD}	—	900	—	uA	25°C, VDD = 5V, BOR 不使能, 所有的 I/O 端口输入低电平, MRSTN = 0, 内部 16MHz 作为系统时钟
IDLE0 休眠模式下芯片电流	I _{PD0}	—	6	—	μA	25°C, VDD = 5V, BOR 使能, WDT 使能。LDO 休眠, 时钟源停振
IDLE1 休眠模式下芯片电流	I _{PD1}	—	70	—	μA	25°C, VDD = 5V, BOR 使能, WDT 使能, 内部 RC 振荡器。LDO 正常工作, 时钟源停振
IDLE2 休眠模式下芯片电流	I _{PD2}	—	300	—	μA	25°C, VDD = 5V, BOR 使能, WDT 使能, 内部 RC 振荡器。LDO 正常工作, 时钟源不停振
正常运行模式芯片电流 OP1	I _{OP1}	—	2.5	—	mA	25°C, VDD = 5V, 正常运行模式, 内部 16MHz 时钟为系统时钟, I/O 端口输出固定电平, 无负载。ADC 模块使能。

参数	符号	最小值	典型值	最大值	单位	工作条件
正常运行模式 芯片电流 OP2	I_{OP2}	—	1.5	—	mA	25°C, VDD = 5V, 正常运行模式, 内部 8MHz 时钟为系统时钟, I/O 端口输出固定电平, 无负载。ADC 模块使能。
正常运行模式 芯片电流 OP3	I_{OP3}	—	1.2	—	mA	25°C, VDD = 5V, 正常运行模式, 内部 4MHz 时钟为系统时钟, I/O 端口输出固定电平, 无负载。ADC 模块使能。
正常运行模式 芯片电流 OP4	I_{OP4}	—	1.0	—	mA	25°C, VDD = 5V, 正常运行模式, 内部 2MHz 时钟为系统时钟, I/O 端口输出固定电平, 无负载。ADC 模块使能。
VDD 管脚的 最大输入电流	I_{MAXVDD}	—	80	—	mA	25°C, VDD = 5V
VSS 管脚的 最大输出电流	I_{MAXVSS}	—	200	—	mA	25°C, VDD = 5V
I/O 端口灌电流	I_{OL}	22	24	26	mA	25°C, VDD = 5V $V_{OL} = 0.6V$
		42	45	48	mA	25°C, VDD = 5V $V_{OL} = 1.4V$
		17	19	21	mA	25°C, VDD = 3.5V $V_{OL} = 0.6V$
		27	30	33	mA	25°C, VDD = 3.5V $V_{OL} = 1.2V$
I/O 端口拉电流	I_{OH}	—	10	—	mA	25°C, VDD = 5V $V_{OH} = 4.4V$
		—	6	—	mA	25°C, VDD = 3.5V $V_{OH} = 3.0V$

注: I/O 端口灌电流 I_{OL} 驱动能力随温度降低而增大, 全温度范围内 (-40~ 85°C), 相对于常温的变化量约±15%。

◆ 芯片输入端口特性表

芯片工作温度范围: -40°C ~ 85°C						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口输入高电平 (有施密特输入特性)	V_{IH}	0.8VDD	—	VDD	V	2.3V ≤ VDD ≤ 5.5V
主复位信号 MRSTN 输入高电平		0.8VDD	—	VDD	V	

(有施密特输入特性)						
I/O 端口输入低电平	V _{IL}	VSS	—	0.18VDD	V	
主复位信号 MRSTN 输入低电平		VSS	—	0.20VDD	V	
I/O 端口输入漏电流	I _{IL}	—	—	±1	μA	2.3V ≤ VDD ≤ 5.5V VSS ≤ Vpin ≤ VDD (端口处于高阻状态)
主复位端口漏电流		—	—	5	μA	VSS ≤ Vpin ≤ VDD
I/O 端口输入弱上拉电阻	R _{WPU}	16	18	20	kΩ	25°C, VDD=5.0V Vpin = VSS
I/O 端口输入弱下拉电阻	R _{WPD}	16	18	20	kΩ	25°C, VDD=5.0V Vpin = VDD
I/O 输入端口 VDD/2 输出	V _{VDD/2}	—	±3%	—		25°C, VDD=5V, 弱上拉和弱下拉同时使能

注: I/O 端口输入弱上拉和弱下拉电阻, 在全温度范围内 (-40~ 85°C), 相对于常温的变化量在±10%以内。

◆ 芯片输出端口特性表

芯片工作温度范围: -40°C ~ 85°C						
参数	符号	最小值	典型值	最大值	单位	测试条件
I/O 端口输出高电平	V _{OH}	VDD-0.7	—	—	V	2.3V ≤ VDD ≤ 5.5V I _{OH} = 6.0 mA
I/O 端口输出低电平	V _{OL}	—	—	0.6	V	2.3V ≤ VDD ≤ 5.5V I _{OL} = 12 mA

◆ ESD 特性参数表

参数	符号	等级	最大值	单位	测试条件
ESD 电压 (人体模型)	V _{ESDHBM}	3A	4000	V	25°C, MIL-STD-883J
ESD 电压 (机器模型)	V _{ESDMM}	3	400	V	25°C, JESD22-A115
ESD 电压 (充电器件模型)	V _{ESDCDM}	C3	1000	V	25°C, JEDEC JS-002-2014
Latchup 电流	I _{LAT}	I	±350	mA	25°C, JESD78

注: 上述 ESD 特性参数值是基于理论设计值和被测样品的测试值, 不是批量产品测试值, 仅供芯片应用时参考。

◆ 系统时钟要求表

参数	符号	最小值	典型值	最大值	单位	测试条件
系统时钟频率	F _{OSC}	—	—	16M	Hz	2.3V ≤ VDD ≤ 5.5V
系统时钟周期	T _{OSC}	62.5	—	—	ns	2.3V ≤ VDD ≤ 5.5V
机器周期	T _{inst}	125	—	—	ns	—

参数	符号	最小值	典型值	最大值	单位	测试条件
外部时钟高电平和低电平时间	T_{OSL}, T_{OSH}	15	—	—	ns	—
外部时钟上升和下降时间	T_{OSR}, T_{OSF}	—	—	15	ns	—
WDT 溢出时间 (不分频)	T_{WDT}	6.9 (37KHz)	8 (32KHz)	9.5 (27KHz)	ms	$2.3V \leq VDD \leq 5.5V$ $-40^{\circ}C \sim 85^{\circ}C$

◆ 12 位 ADC 特性表

参数	符号	最小值	典型值	最大值	单位	测试条件
电源电压	VDD	2.3	—	5.5	V	
工作电流	I_{ADC}	—	650	—	uA	25°C, VDD=5.0V, ADC 转换时钟频率为 1MHz
分辨率	R_R	—	—	12	bit	—
差分线性度	DNL	—	—	± 2	LSB	25°C, VDD=5.0V, ADC 转换时钟频率为 1MHz ($F_{osc}/16$)、采样时间为 $8T_{ADCLK}$ 时, VDD 作参考
积分线性度	INL	—	—	± 3	LSB	25°C, VDD=5.0V, ADC 转换时钟频率为 1MHz ($F_{osc}/16$)、采样时间为 $8T_{ADCLK}$ 时, VDD 作参考
失调误差	E_{OFF}	—	± 2	± 3	LSB	参见表格下方的模拟小信号 ADC offset 特性表
外部参考电压	V_{REF}	2.5	—	VDD	V	VDD=3.0V
		3.0	—	VDD	V	VDD=5.0V
模拟输入电压	V_{ADIN}	—	—	V_{REF}	V	—
输入电容	C_{ADIN}	—	—	40	Pf	—
输入电阻	R_{ADIN}	—	—	10	K Ω	—
转换时钟频率	F_{ADCLK}	32KHz	—	8	MHz	AD 转换选择 VDD 或外部 VREFP 作为正端参考电压
转换时间 (不包括采样时间)	T_{ADC}	—	13	—	T_{ADCLK}	—
采样时间	T_{ADS}	250	—	—	ns	推荐使用 $8T_{ADCLK}$

注 1: 如果电源电压在 3V 以上, 建议 ADC 转换时钟频率设置在 512KHz~2MHz 之间, 采样时间设置为 $8T_{ADCLK}$ 。

注 2: 如果电源电压在 3V 以下, 建议 ADC 转换时钟频率设置在 256KHz~512KHz 之间, 采样时间设置为 $16T_{ADCLK}$ 。

◆ 模拟小信号 ADC offset 特性表

常温下，ADC 时钟频率为 1MHz (Fosc/16)、采样时间为 8T_{ADCLK} 时，VDD 作参考，对应于不同模拟输入 V_{in} 电压小信号，ADC offset 的典型值如下：

参数	最小值	典型值	最大值	测试条件			
				模拟输入电压 V _{in}	参考电压	ADC 时钟频率	电源电压 VDD
ADC offset	—	3LSB	—	0mV	VDD	1MHz	5.0V
	—	3LSB	—	4mV	VDD	1MHz	5.0V

◆ ADC 转换时间对照表，ADC 转换正端参考电压选择为 VDD 或外部 VREFP

A/D 时钟源选择	工作频率			
	16M	8M	4M	1M
Fosc	不推荐使用	不推荐使用	不推荐使用	T _{ADCLK} = 1us
Fosc/2	不推荐使用	不推荐使用	T _{ADCLK} = 0.5us	T _{ADCLK} = 2us
Fosc/4	不推荐使用	T _{ADCLK} = 0.5us	T _{ADCLK} = 1us	T _{ADCLK} = 4us
Fosc/8	T _{ADCLK} = 0.5us	T _{ADCLK} = 1us	T _{ADCLK} = 2us	T _{ADCLK} = 8us
Fosc/16	T _{ADCLK} = 1us	T _{ADCLK} = 2us	T _{ADCLK} = 4us	T _{ADCLK} = 16us
Fosc/32	T _{ADCLK} = 2us	T _{ADCLK} = 4us	T _{ADCLK} = 8us	T _{ADCLK} = 32us
Fosc/64	T _{ADCLK} = 4us	T _{ADCLK} = 8us	T _{ADCLK} = 16us	不推荐使用

注：表中不推荐使用的转换频率，由于频率设置过高或过低，都可能会导致 ADC 转换精度降低。

◆ 内部时钟源特性表

参数	符号	最小值	典型值	最大值	单位	测试条件
INTHRC 时钟频率	F _{INTHRC}	15.84	16	16.16	MHz	25°C, VDD = 5V
		15.68	16	16.32	MHz	-40°C~85°C, VDD=2.3V~5.5V
INTHRC 工作电流	I _{INTHRC}	—	150	—	uA	25°C, VDD=5.0V
INTLRC 时钟频率	F _{INTLRC}	30.4	32	33.6	KHz	25°C, VDD = 5.0V
		27	32	37	KHz	-40°C~85°C, VDD=2.3V~5.5V

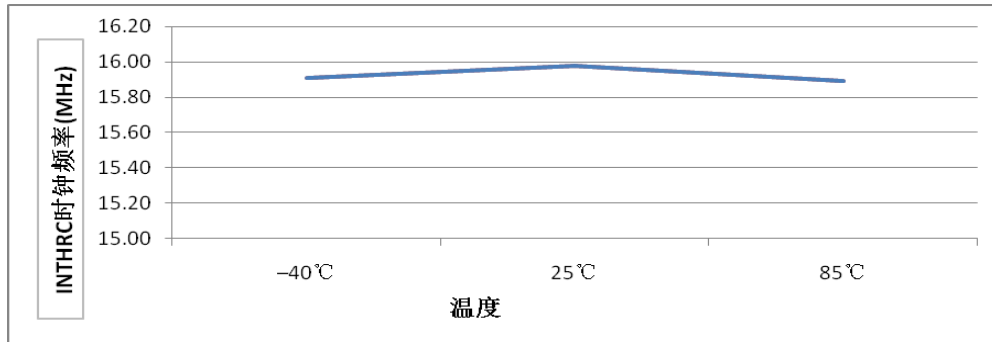
◆ 低电压复位 BOR 电压特性

参数	符号	最小值	典型值	最大值	单位	测试条件
BOR 低电压设定电压 1	V _{bor1}	2.9	3.1	3.3	V	25°C
BOR 低电压设定电压 2	V _{bor2}	2.3	2.5	2.7	V	25°C
BOR 低电压设定电压 3	V _{bor3}	1.9	2.1	2.3	V	25°C
BOR 低电压复位脉宽	T _{bor}	-	220	-	us	设计理论值

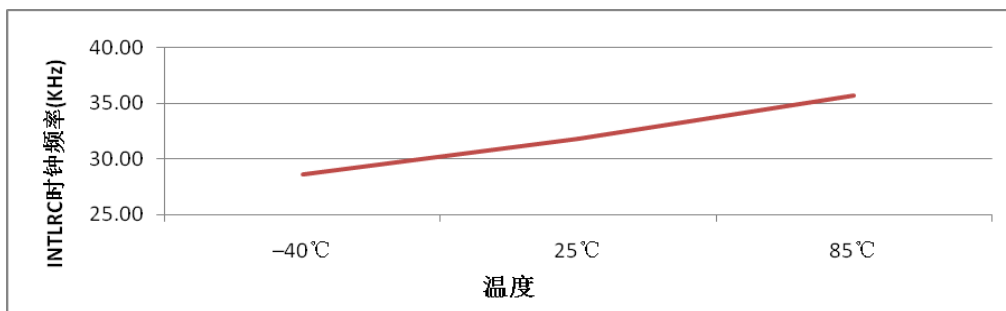
附录3.2 参数特性图

本节中所列图示均为抽样测试，仅作为设计参考之用。其中部分图示中所列的数据已超出指定的操作范围，此类信息也仅供参考，芯片只保证在指定的范围内正常工作。

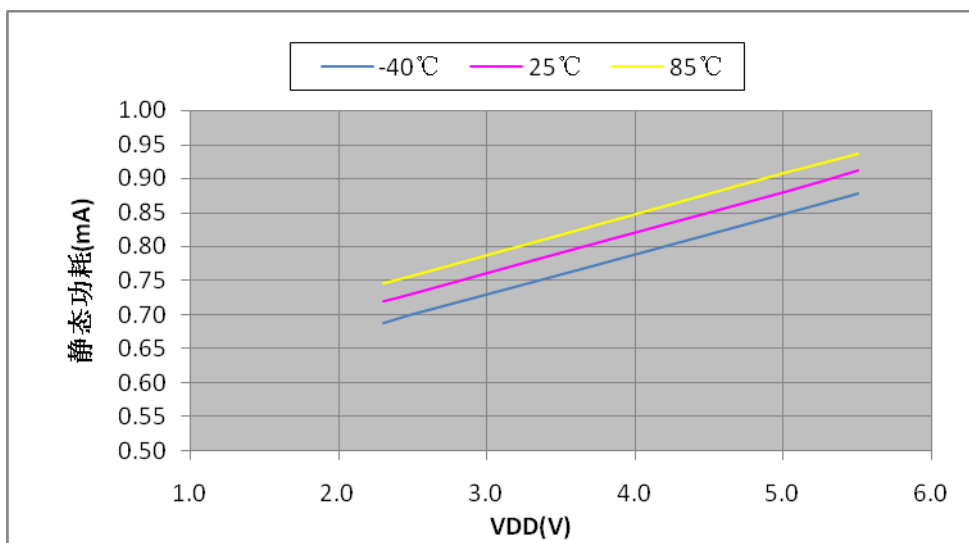
◆ 芯片内部 INTHRC 时钟频率随温度变化特性图



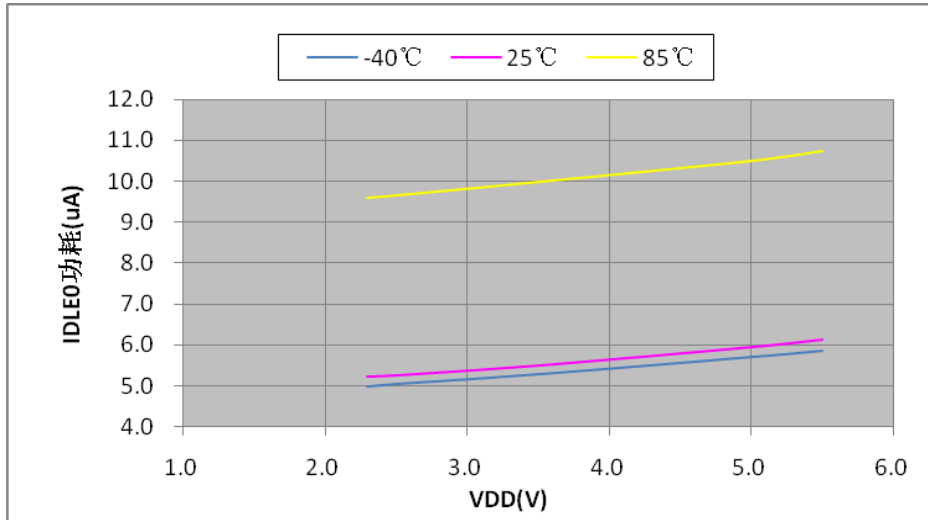
◆ 芯片内部 INTLRC 时钟频率随温度变化特性图



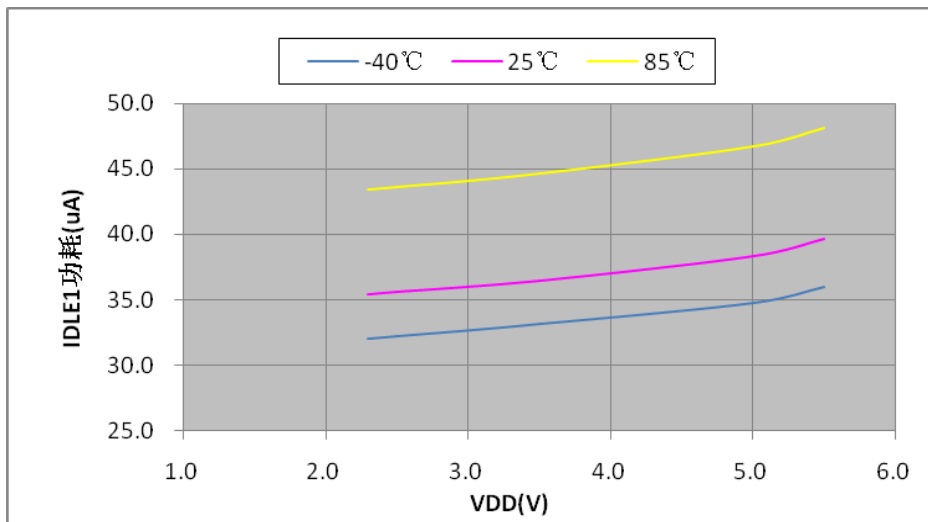
◆ 芯片静态电流随芯片电压-温度变化特性图



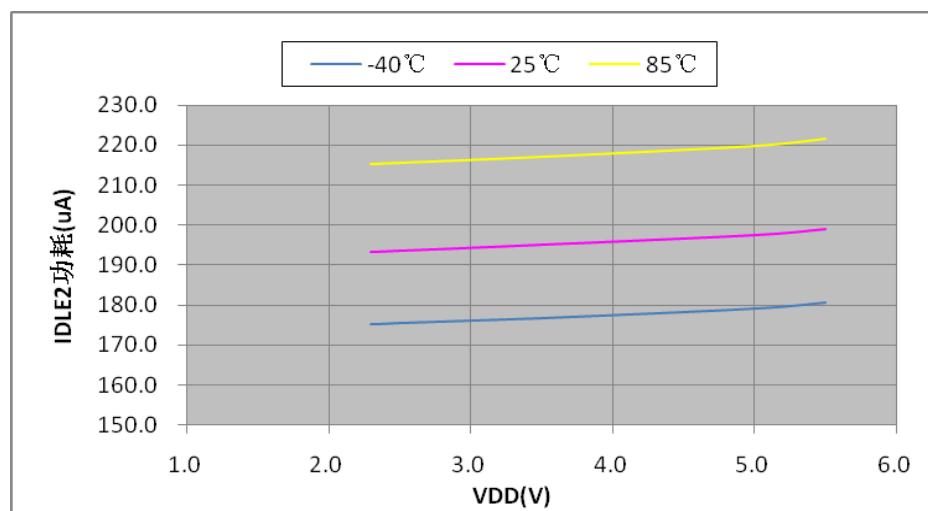
◆ 芯片 IDLE0 模式电流随芯片电压-温度变化特性图



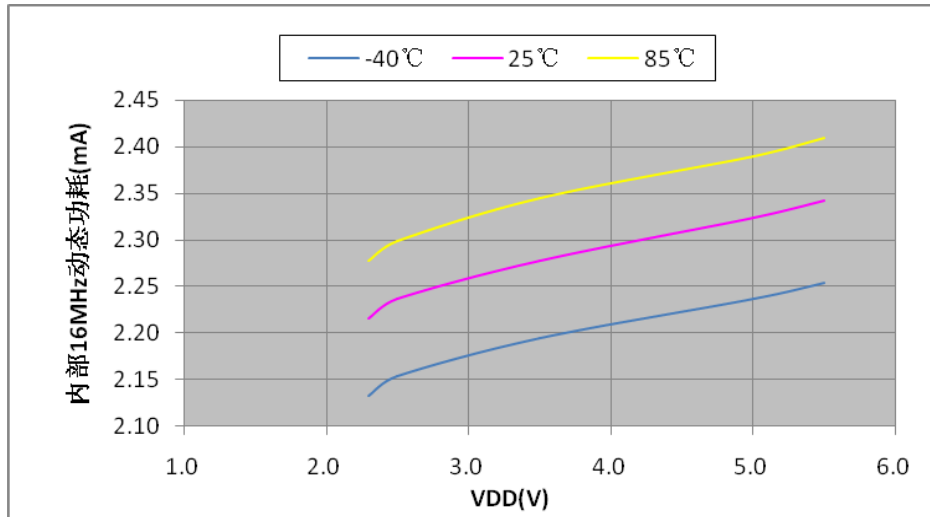
◆ 芯片 IDLE1 模式电流随芯片电压-温度变化特性图



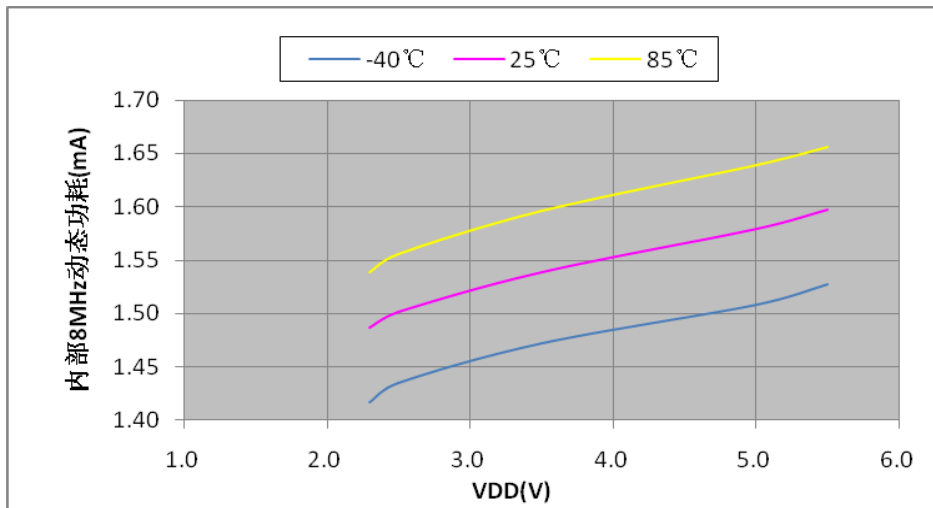
◆ 芯片 IDLE2 模式电流随芯片电压-温度变化特性图



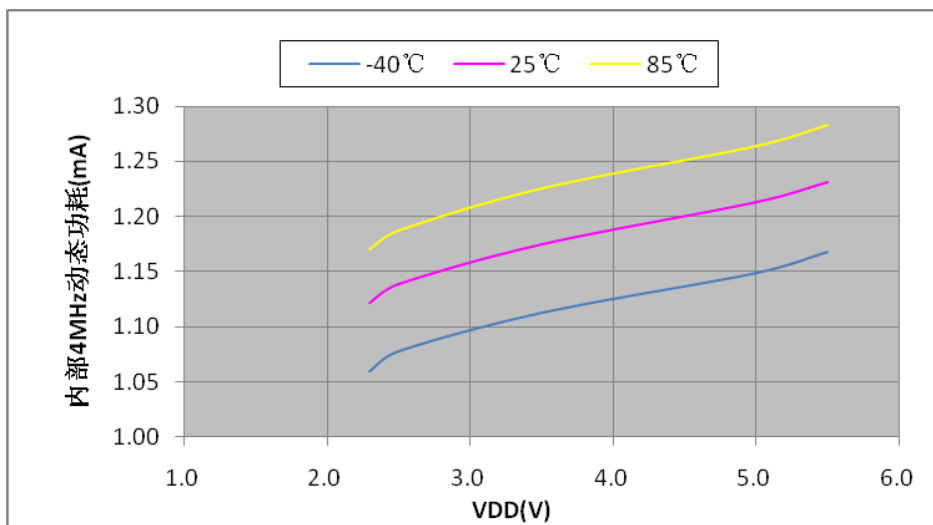
◆ 工作频率为 16MHz 时，芯片动态电流随芯片电压-温度变化特性图



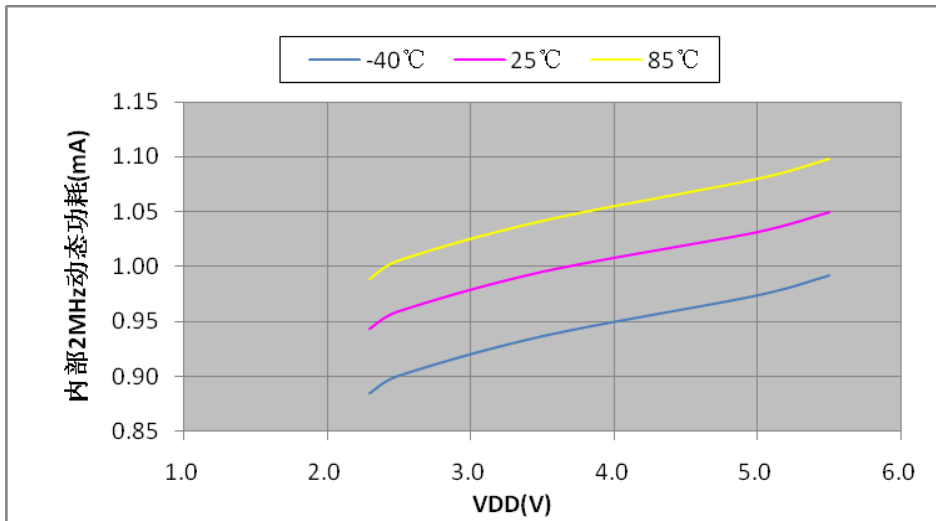
◆ 工作频率为 8MHz 时，芯片动态电流随芯片电压-温度变化特性图



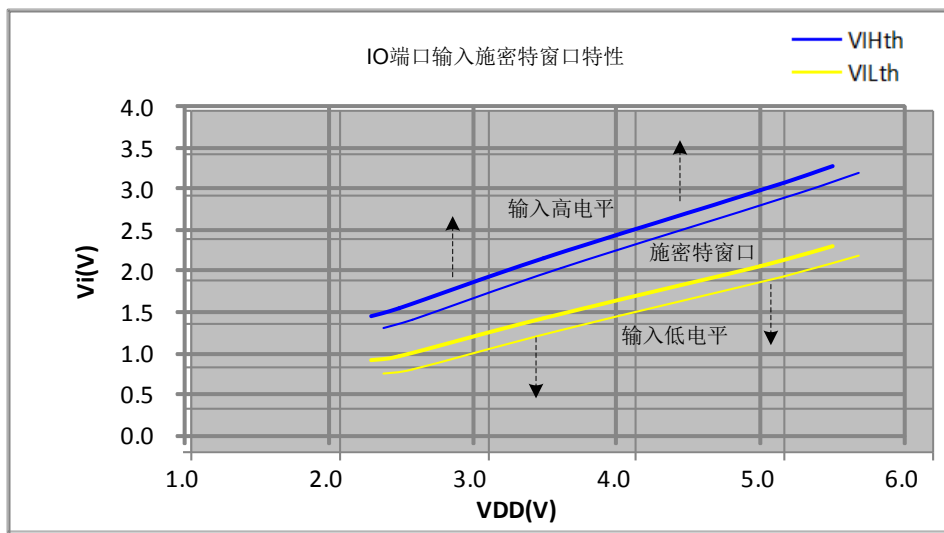
◆ 工作频率为 4MHz 时，芯片动态电流随芯片电压-温度变化特性图



◆ 工作频率为 2MHz 时，芯片动态电流随芯片电压-温度变化特性图



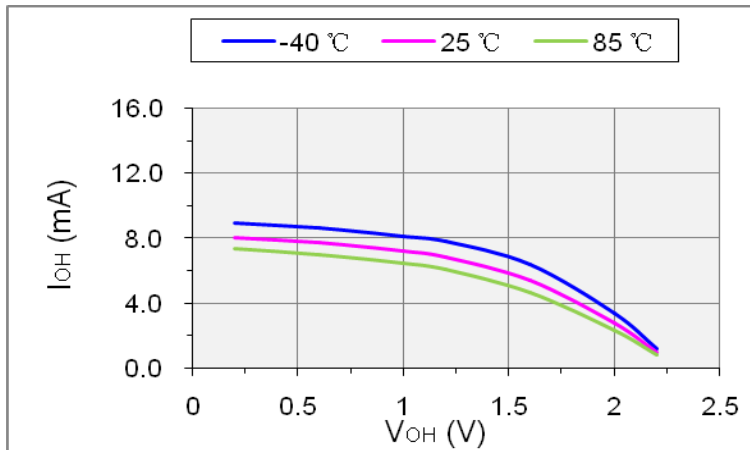
◆ I/O 端口信号输入特性图（室温 25°C）



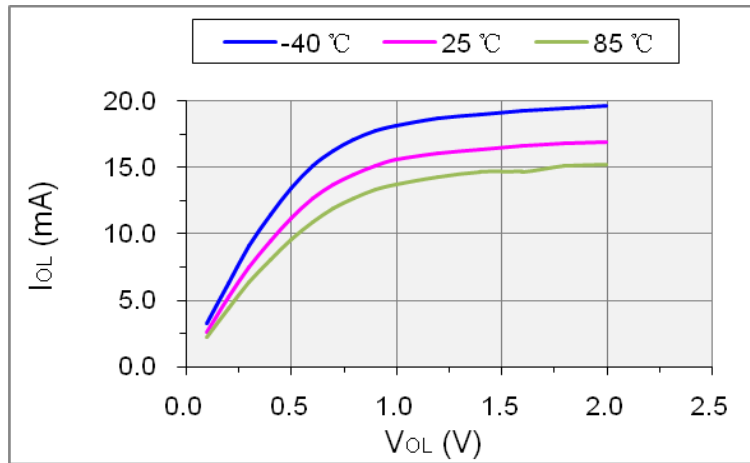
注 1: V_{IHth} 为施密特窗口的上阈值电平, 大于该阈值的输入电平为高;
 注 2: V_{ILth} 为施密特窗口的下阈值电平, 小于该阈值的输入电平为低;
 注 3: V_{IHth} 和 V_{ILth} 之间为施密特窗口, 在窗口内的输入电平不确定, 可能为高或低。

◆ I/O 端口信号输出特性图

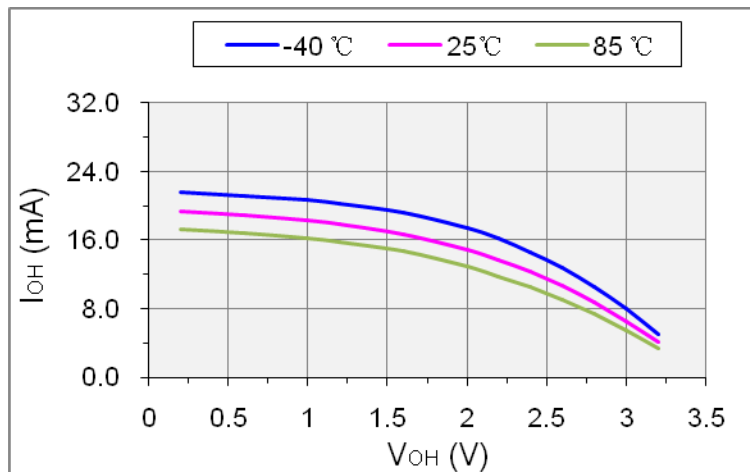
A: V_{OH} vs I_{OH} @VDD=2.3V



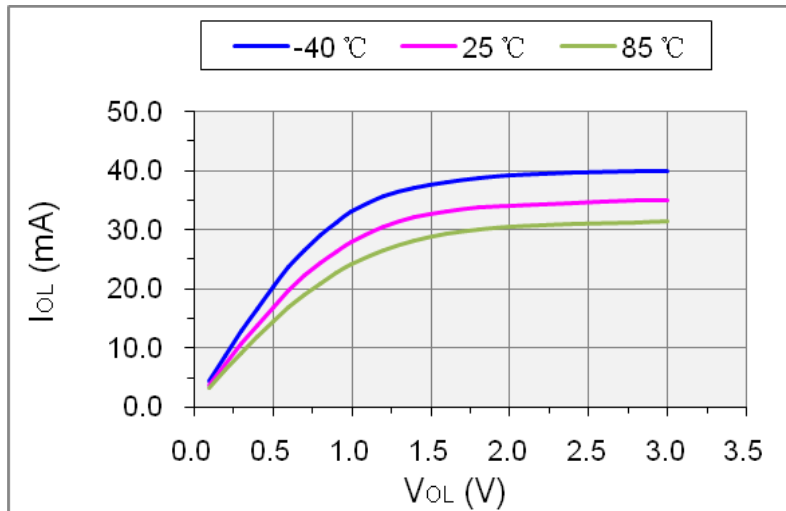
B: V_{OL} vs I_{OL} @VDD=2.3V



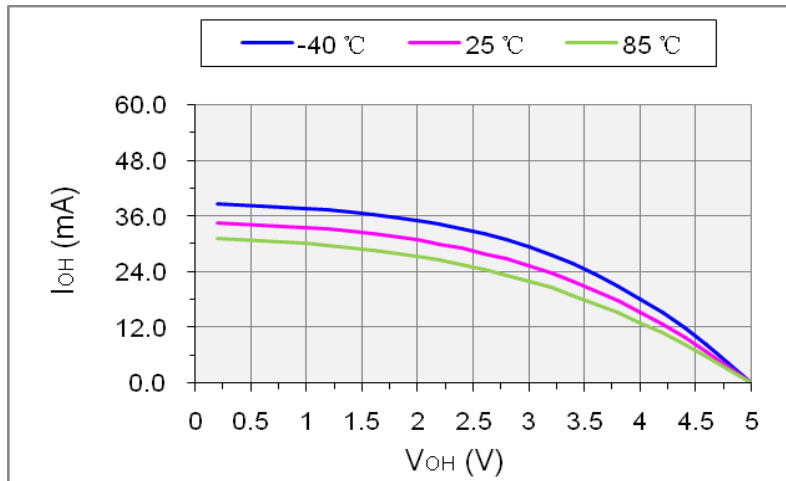
C: V_{OH} vs I_{OH} @VDD=3.5V



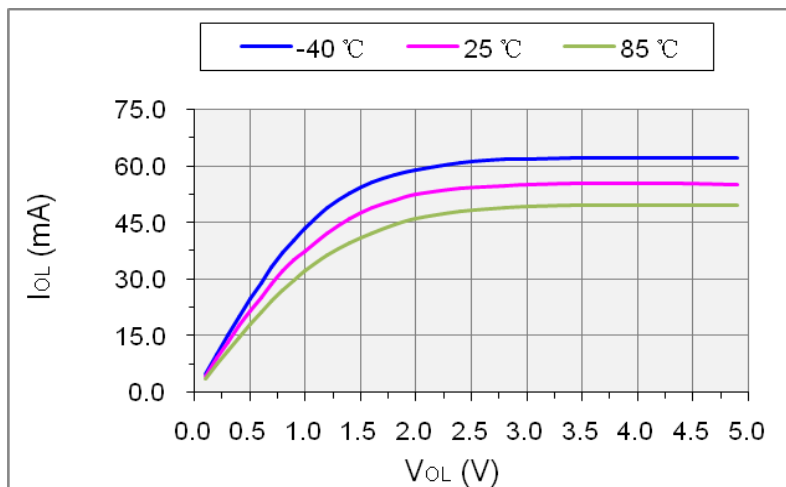
D: V_{OL} vs I_{OL} @VDD=3.5V



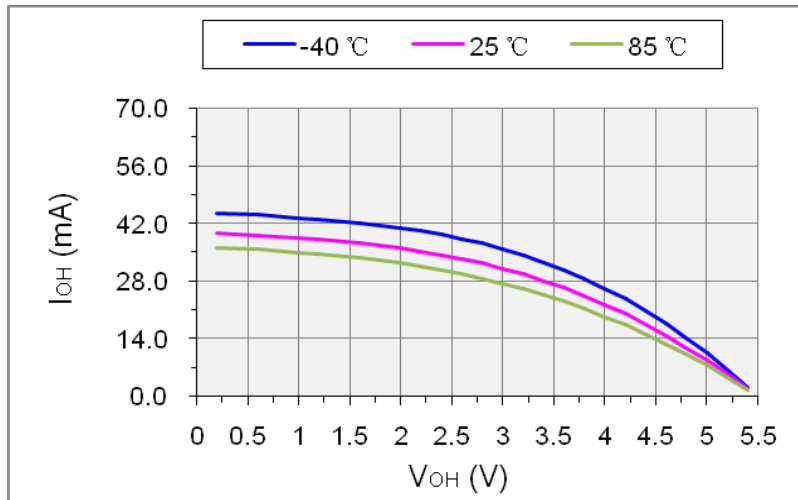
E: V_{OH} vs I_{OH} @VDD=5.0V



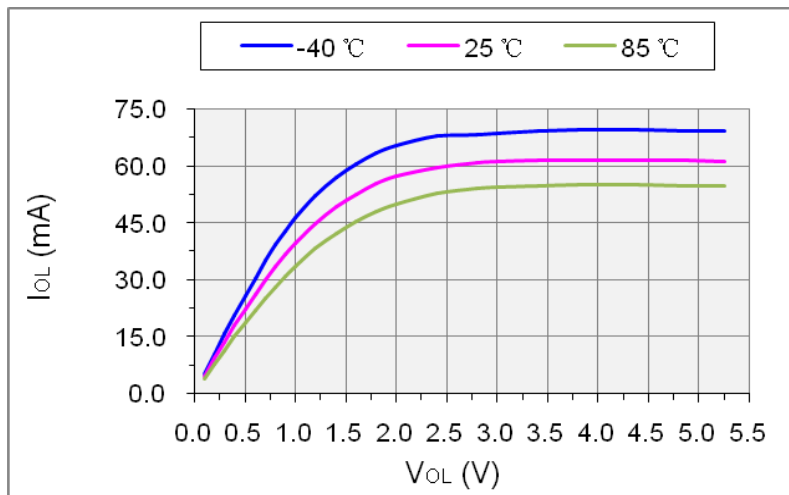
F: V_{OL} vs I_{OL} @VDD=5.0V



G: V_{OH} vs I_{OH} @VDD=5.5V



H: V_{OL} vs I_{OL} @VDD=5.5V



X-ON Electronics

Largest Supplier of Electrical and Electronic Components

Click to view similar products for [Microprocessors - MPU category](#):

Click to view products by [Qingdao Eastsoft manufacturer](#):

Other Similar products are found below :

[MC68302EH20C](#) [MC7457RX1000LC](#) [MC7457RX1267LC](#) [MC7457VG1267LC](#) [A2C00010998 A](#) [A2C52004004](#) [R5F117BCGNA#20](#)
[R5F52106BDLA#U0](#) [ADJ3400IAA5DOE](#) [MPC8245TVV266D](#) [MPC8245TZU300D](#) [MPC8260ACVVMHBB](#) [MPC8323ECVRAFDCA](#)
[MPC8536ECVJAVLA](#) [BOXNUC5PGYH0AJ](#) [20-668-0024](#) [P1010NSN5DFB](#) [P2010NSN2MHC](#) [P2020NXE2HHC](#) [P5020NSE7QMB](#)
[P5020NSE7TNB](#) [P5020NSE7VNB](#) [LS1020ASN7KQB](#) [LS1020AXN7HNB](#) [LS1020AXN7KQB](#) [A2C00010729 A](#) [A2C00039344](#)
[T1022NSE7MQB](#) [T1022NXN7PQB](#) [T1023NSE7MQA](#) [T1024NXE7PQA](#) [T1042NSE7MQB](#) [T1042NSN7MQB](#) [T1042NXN7WQB](#)
[T2080NSE8TTB](#) [T2080NSN8PTB](#) [T2080NXE8TTB](#) [T2081NXN8TTB](#) [R5F101AFASP#V0](#) [MC68302CEH20C](#) [MPC8260ACVVMIBB](#)
[MPC8280CZUUPEA](#) [MPC8313ECVRAFFC](#) [MPC8313ECVRAGDC](#) [MPC8313EVRADDC](#) [MPC8313EVRAFFC](#) [MPC8313VRADDC](#)
[MPC8314CVRAGDA](#) [MPC8314VRAGDA](#) [MPC8315VRAGDA](#)