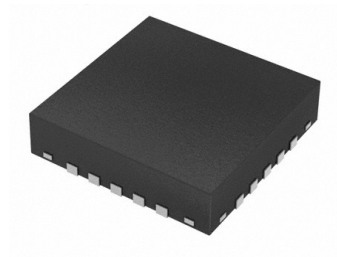


10 bit 串口控制的模数转换器

描述

MS1549是一个10位开关电容器，逐次逼近型的AD转换器。这个芯片有2个数字输入端，1个三态输出口(CS)，1个I/O CLOCK端口和1个数字输出端(DATA OUT)，可以实现一个三总线接口到总控制器的串行口的数据传输。

内部具有自动采样保持、可按比例量程校准转换范围、抗噪声干扰功能，而且开关电容设计使在满刻度时总误差最大仅为 ± 1 LSB，因此可广泛应用于模拟量和数字量的转换电路。



主要特点

- ◆10位分辨率的A/D转换器
- ◆内部取样保持功能
- ◆总共不可调最大误差为 ± 1 LSB
- ◆片内系统时钟
- ◆引脚兼容TLV1549
- ◆COMS 工艺

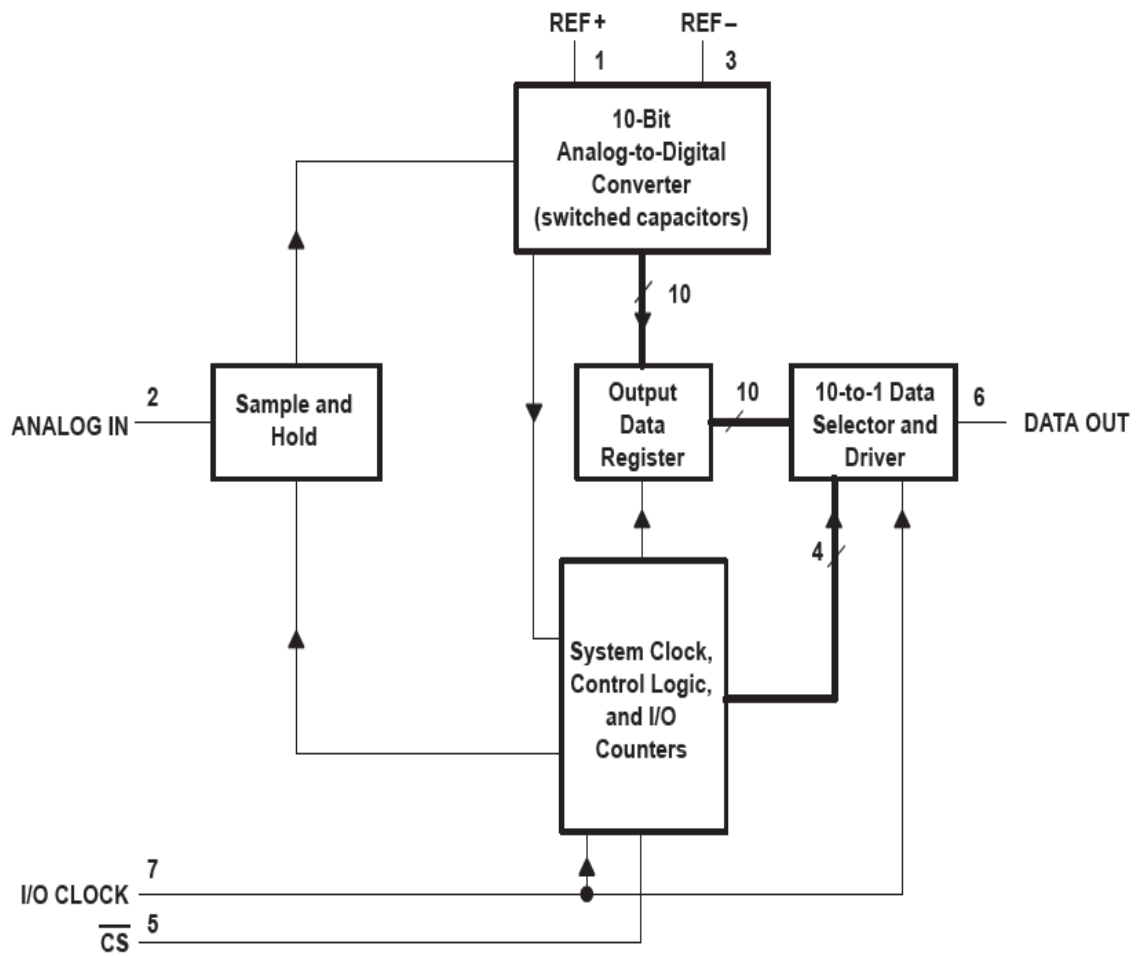
应用

- 传感器等模数转换

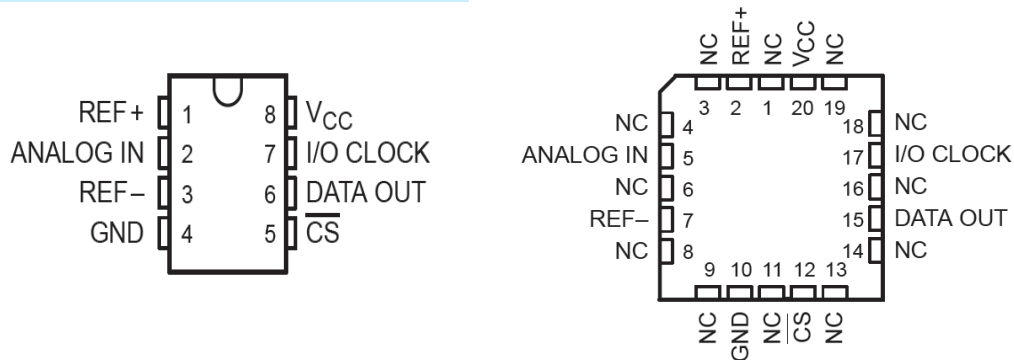
产品规格分类

产品	封装形式	打印名称
MS1549	SOP8	MS1549
MS1549	QFN20	MS1549

内部框图



管脚描述



端口名称	类型	功能
ANALOG IN	输入	模拟信号输入。电源阻抗应该小于 1KΩ。外部电源到该引脚的电流应大于 10mA。
CS	输入	片选。CS 从高电平到低电平跳变可以复位内部计数器并在一个最大的启动时间加上两个内部时钟的下降沿时间内控制和使能 DATA OUT、I/O CLOCK。在一个启动时间加上两个内部时钟的下降沿时间内 CS 从低电平到高电平可以禁止 I/O CLOCK。
DATA OUT	输出	当 CS 为高时 AD 转换结果为高阻抗，当 CS 为低时 AD 转换结果有效。在有效 C 下，该引脚输出值为上次转换结果的最高有效位（MSB）的数字量。在下一个时钟下降沿输出次高位数字量，以此顺序输出直到第 9 个下降沿输出最低有效位（LSB），在第 10 个时钟下降沿，该引脚被拉低以确保串行数据口传输超过 10 个时钟周期。
GND	I/O	该引脚和内部电路的地相连，除非有特殊要求，所有的地都和该引脚相连
I/O CLOCK	输入	输入/输出时钟口。该引脚作为串行时钟的输入口有以下三个功能： (1) 在第三个时钟下降沿时，模拟输入电压开始给阵列电容充电一直到第10个时钟下降沿。 (2) 之前转换结果的9个剩余位随着该引脚在DATA OUT引脚上逐位输出。 (3) 在第10个时钟下降沿，该引脚可以控制转换结果传输到内部控制器。
REF+	输入	正参考电压的值（通常接 VCC）接到 REF+ 引脚上。最大输入电压的范围是 REF+ 电压和 REF- 电压的差值。
REF-	输入	负参考电压的值（通常接地）接到 REF- 引脚上。
VCC	I/O	正电源电压。

功能描述

当CS为高电平时，I/O CLOCK为初始禁止状态、DATA OUT为高阻抗状态。当串口将CS拉低后，随着CLOCK和DATA OUT的使能开始转换数据。然后串口开始提供一个顺序时钟，同时接受DATA OUT上次的转换结果。通过串口设置CLOCK口10~16个时钟周期，在第一次的10个时钟周期内完成模拟信号的取样。

MS1549有6个基本的串口时间模式。这些模式取决于时钟的速度和对CS的操作，具体见表1。

这些模式包括：

模式1：（快速模式）10个时钟周期的转换时间并且CS为高

模式2：（快速模式）10个时钟周期的转换时间并且CS为低

模式3：（快速模式）11~16个时钟周期的转换时间并且CS为高

模式4：（快速模式）16个时钟周期的转换并且CS为低

模式5：（慢速模式）11~16个时钟周期的转换并且CS为高

模式6：（慢速模式）16个时钟周期的转换并且CS为低

模式1、模式3、模式5中且在CS下降沿后DATA OUT引脚开始输出转换完成的最高有效位。

模式2和模式4中在第10个时钟下降沿后21us内DATA OUT引脚开始输出转换完成的最高有效位。

模式6中第16个时钟周期的下降沿后DATA OUT引脚开始输出转换完成的最高有效位。9个剩余位在随后的9个时钟下降沿中逐位输出。时钟脉冲的数目取决于选择的操作模式，但是为了开始转换，最少需要10个时钟脉冲。如果超过10个时钟脉冲，在第10个时钟的下降沿，内部逻辑将DATA OUT拉低以确保剩余位清零。

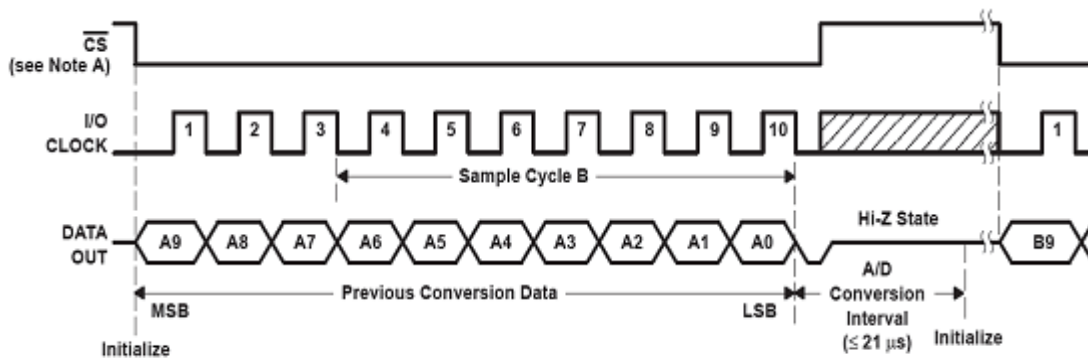
所有的这些模式在下一次的转换开始之前第10个时钟下降沿之后都要延时最少21us。在串行数据传输时，CS必须拉低以确保I/O CLOCK使能。在模式1、3、5下数据传输的时候，CS状态锁存，只有在跳变后的电平维持至少1.425us，CS的跳变才会被认为有效。在模式3、4、5、6下，传输时间超过10个周期，那么第11个时钟上升沿必须出现在第10个时钟下降的9.5us内，否则，在主机串口可能会不同步，CS会跳变以恢复正确的操作模式。

快速模式：

MS1549在快速模式下，串行时钟传输会在第10个时钟下降沿后21us内完成。在一个10个时钟周期的串行传输中，只能运行快速模式。

模式1：快速模式，在数据传输之间CS为高电平，10个时钟周期的传输

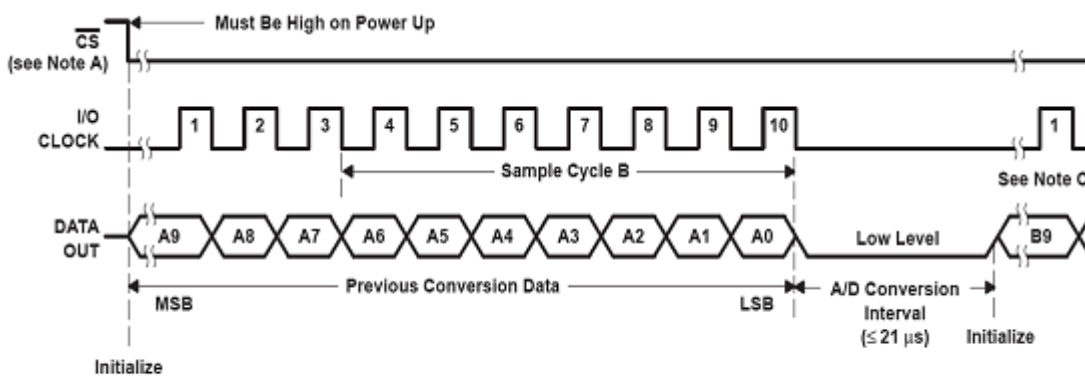
在这个模式下，每次连续时间传输都是10个时钟周期，在这之间，CS变为高电平。CS下降沿开始时DATA OUT脱离高阻态；CS上升沿结束时在指定时间内DATA OUT回到高阻态。同时，CS上升沿禁止I/O CLOCK引脚需要一个启动时间加上两个内部系统时钟周期。时序见下图：



Timing for 10-Clock Transfer Using CS

模式2: 快速模式, 在数据传输之间CS一直为低电平, 10个时钟传输周期

在这个模式下, 在每次传输10个时钟周期之间, CS一直为低电平。在初始化转换周期后, CS保持低电平以确保随后的转换, 在第10个下降沿的21us内, DATA OUT输出上次转换的结果的MSB。时序见下图:

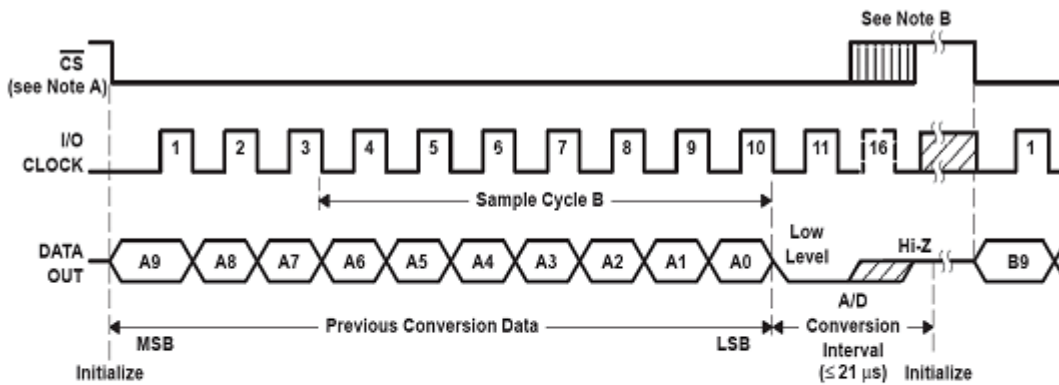


Timing for 10-Clock Transfer Not Using CS

模式

3: 快速模式, 在每次转换之间CS为高电平, 11~16个转换周期

在这个模式下, 在每次传输时间可以是11~16个时钟周期, 在这期间, CS为高。在CS下降沿开始时DATA OUT脱离高阻态, 在CS上升沿结束时指定时间内DATA OUT回到高阻态。同时, CS上升沿禁止I/O CLOCK引脚需要一个启动时间加上两个内部系统时钟周期。时序见下图:

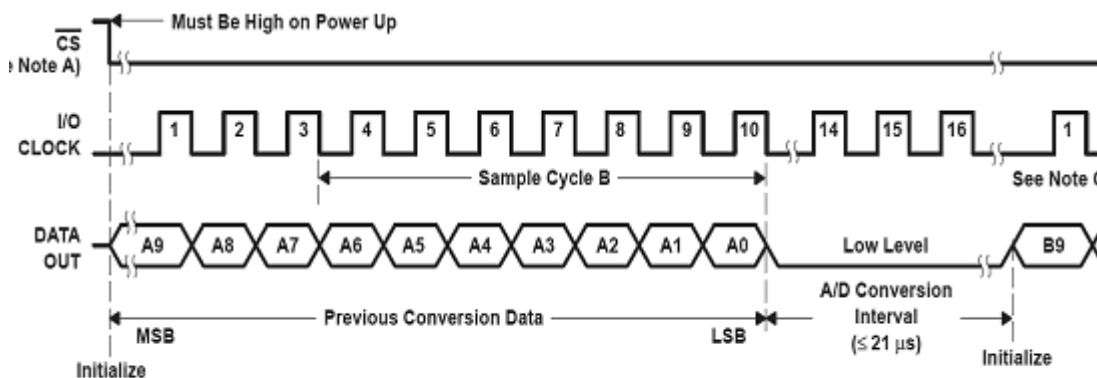


Timing for 11- to 16-Clock Transfer Using \overline{CS} (Serial Transfer Completed Within 21 μ s)

- NOTES:
- A. To minimize errors caused by noise at \overline{CS} , the internal circuitry waits for a setup time plus two falling edges of the internal system clock after $\overline{CS} \downarrow$ before responding to the I/O CLOCK. No attempt should be made to clock out the data until the minimum \overline{CS} setup time has elapsed.
 - B. A low-to-high transition of \overline{CS} disables I/O CLOCK within a maximum of a setup time plus two falling edges of the internal system clock.
 - C. The first I/O CLOCK must occur after the end of the previous conversion.

模式4: 快速模式, 在数据传输之间CS一直为低电平, 16个时钟传输周期

在这个模式下, 在每次传输16个时钟周期之间, CS一直为低电平。在初始化转换周期后, CS保持低电平以确保随后的转换, 在第10个下降沿的21us内, DATA OUT输出上次转换的结果的MSB。时序见下图:



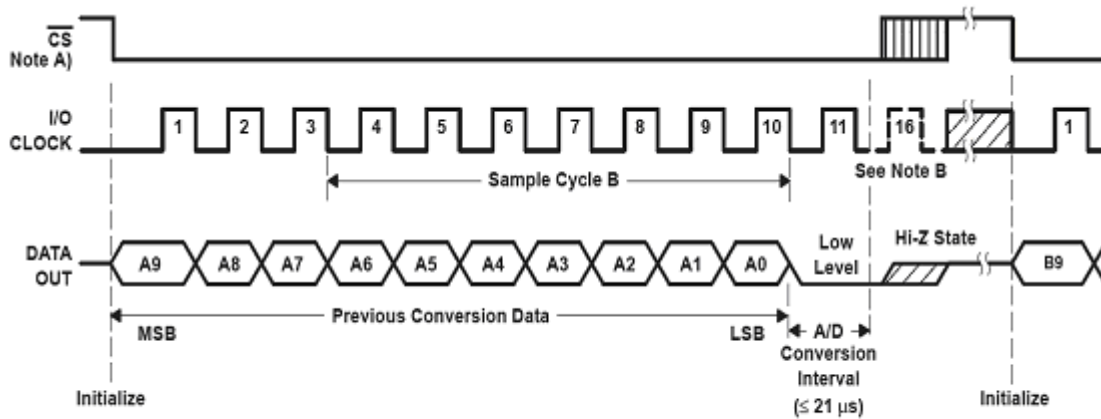
Timing for 16-Clock Transfer Not Using \overline{CS} (Serial Transfer Completed Within 21 μ s)

慢速模式:

在慢速模式下, 第10个时钟下降沿后的21us内完成串行时钟数据传输。

模式5: 慢速模式, 在数据传输之间, CS为高电平, 11~16个时钟周期

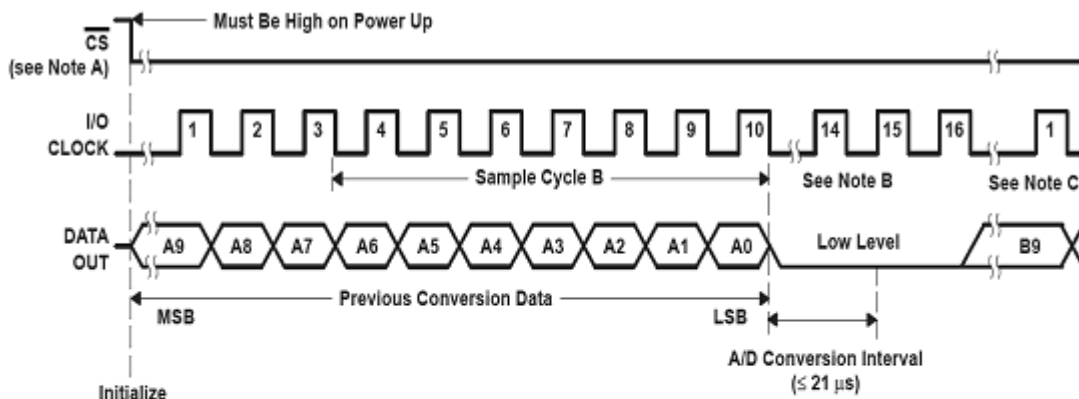
在这个模式下, 在每次传输时间可以是11~16个时钟周期, 在这期间, CS为高。在CS下降沿开始时DATA OUT脱离高阻态, 在CS上升沿结束时指定时间内DATA OUT回到高阻态。同时, CS上升沿禁止I/O CLOCK引脚需要一个启动时间加上两个内部系统时钟周期。时序见下图:



Timing for 11- to 16-Clock Transfer Using \overline{CS} (Serial Transfer Completed After 21 μ s)

模式6：慢速模式，在数据传输之间CS一直为低电平，16个时钟传输周期

在这个模式下，在每次传输16个时钟周期之间，CS一直为低电平。在初始化转换周期后，CS保持低电平以确保随后的转换。在第16个时钟下降沿结束后通过将DATA OUT脱离低电平状态开始新的新的转换周期，允许上次转换的MSB在DATA OUT脚输出。然后串口准备初始化为下个16周期的转换时序见下图：



Timing for 16-Clock Transfer Not Using \overline{CS} (Serial Transfer Completed After 21 μ s)

- NOTES:
- A. To minimize errors caused by noise at \overline{CS} , the internal circuitry waits for a set up time plus two falling edges of the internal system clock after $\overline{CS} \downarrow$ before responding to the I/O CLOCK. No attempt should be made to clock out the data until the minimum \overline{CS} setup time has elapsed.
 - B. A low-to-high transition of \overline{CS} disables I/O CLOCK within a maximum of a setup time plus two falling edges of the internal system clock.
 - C. The first I/O CLOCK must occur after the end of the previous conversion.

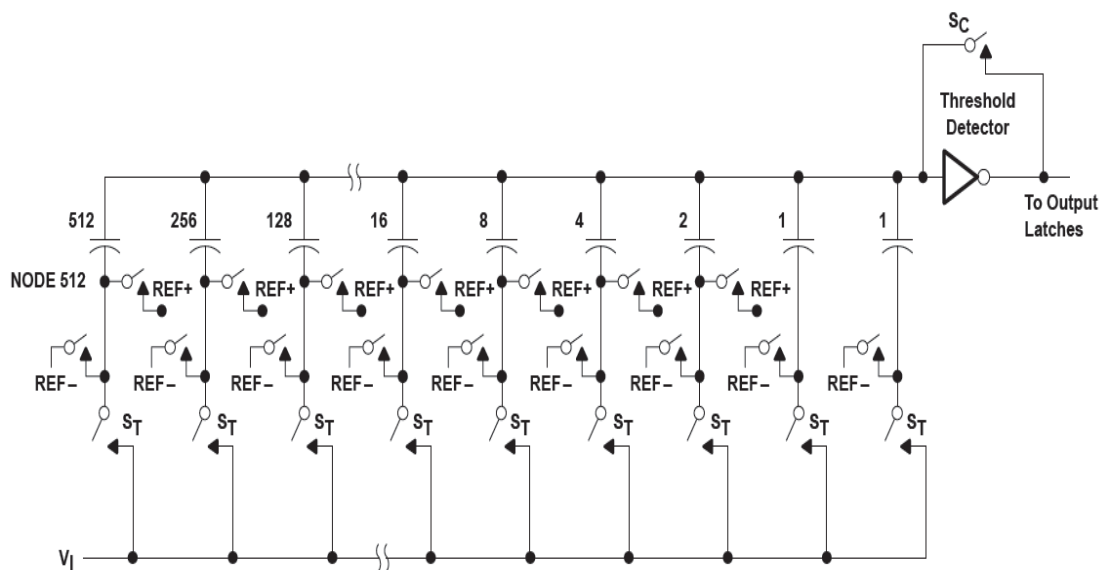
模拟输入采样：

在第3个时钟下降沿后开始模拟输入采样，采样持续7个时钟周期。采样的值在第10个时钟下降沿被保持。

转换器和模拟输入：

对于连续逐次逼近型的模数转换器MS1549，CMOS 门限检测器通过检测一系列电容的充电电压决定A/D 转换后的数字量的每一位。在转换过程的第一阶段，模拟输入量同时关闭SC 和ST 进

行充电采样，这一过程使所有电容的充电电压之和达到模数转换器的输入电压。转换过程的第二阶段打开所有SC 和ST，CMOS 门限检测器通过识别每一只电容的电压确定每一位，使其接近参考电压。在这个过程中，10 只电容逐一检测，直到确定转换的十位数字量。在转换的第一步，门限检测器检测第一个电容（weight=512），该电容节点512切向REF+上，所有其他电容的相同节点处按顺序切向REF-上，如果总结点的电压大于门限检测器那点的电压（接近于VCC的一半），位“0”被送至输出寄存器，然后节点512切换到REF-上；如果总结点的电压小于门限检测器那点的电压，位“1”被送至输出寄存器，通过剩下的逐次逼近的过程，512-weight 的电容仍连接在REF+上。对于256 -weight 的电容和128 -weight 的电容也要通过连续逐次逼近型的重复操作，直到确定从高位（MSB）到低位（LSB）所有数字量，即为初始的模拟电压数字量。



片选操作:

CS的边缘跳变可以开始所有的模式操作也能中止任何模式的转换。在指定时间内CS从高到低跳变，器件回到初始状态（输出寄存器仍然保留上次转换的结果），要注意，在转换快结束的时候将CS拉低可能会丢失数据。

参考电压输入:

MS1549 有两个参考电压, 分别是 REF+, REF-。这两个电压值分别设定了模拟输入电压上限和下限。模拟输入电压不能超过电源电压, 也不能小于 GND 的电压。当输入信号大于或等于 REF+, 则数字输出为满量程; 当输入信号小于或等于 REF-, 则数字输出为 0。

绝对电气参数

电源电压	-0.5V 到 6.5V
输入范围	-0.3V 到 VCC+0.3V
输出范围	-0.3V 到 VCC+0.3V
正基准电压	VCC+0.1V
负基准电压	-0.1V
输入峰值电流	±20mA
总的峰值电流	±30mA
真空工作温度范围	0°C 到 70°C
储藏温度范围	-65°C 到 150°C

电气参数

推荐工作条件:

	最小值	典型值	最大值	单位
电源电压 VCC	3	3.3	3.6	V
正参考电压 Vref+		VCC		V
负参考电压 Vref-		0		V
差分参考电压 Vref+ - Vref-	2.5	VCC	VCC+0.2	V
模拟输入电压	0		VCC	V
控制电压高电平 (VCC=3V 到 3.6V)	2			V
控制电压低电平 (VCC=3V 到 3.6V)			0.6	V
I/O CLOCK 时钟频率	0		2.1	MHz
建立时间, CS 下降沿到 I/O CLOCK 上升沿时间 t _{su} (CS)	1.425			us
保持时间, CS 上升沿到 I/O CLOCK 下降沿时间 t _h (CS)	0			us
I/O CLOCK 高电平时间 t _{wH} (I/O)	190			us
I/O CLOCK 低电平时间 t _{wL} (I/O)	190			us
I/O CLOCK 电平跳变时间 t _t (I/O)			1	us
CS 跳变时间 t _t (CS)			10	us
真空工作温度	0		70	°C

在推荐工作条件下电学参数:

(VCC=Vref+=3V 到 3.6V, I/O CLOCK 频率为 2.1MHz)

参数	测试条件	最小值	典型值	最大值	单位
VOH 输出高电平	VCC=3.3V, IOH=-1.6mA	2.4			V

	VCC=3~3.6V, IOH=-20uA	VCC-0.1			
VOL 输出低电平	VCC=3V, IOH=-1.6mA			0.4	V
	VCC=3~3.6V, IOH=20uA			0.1	
IOZ 高阻态输出电流	Vo=VCC, CS 在 VCC			10	uA
	Vo=0, CS 在 VCC			-10	
IIH 高电平输入电流	VI=VCC		0.005	2.5	uA
IIL 低电平输入电流	VI=0		-0.005	-2.5	uA
ICC 工作电流	CS 电压为 0		0.8	2.5	mA
模拟输入漏电流	VI=VCC			1	uA
	VI=0			-1	uA
输入 Vref+ 静态电流	Vref+=VCC, Vref-=0			10	uA
Ci 输入电容	在采样周期		30	55	pF

所有典型值在 VCC=3.3V, TA=25°C 下测量。

推荐真空条件下工作参数:

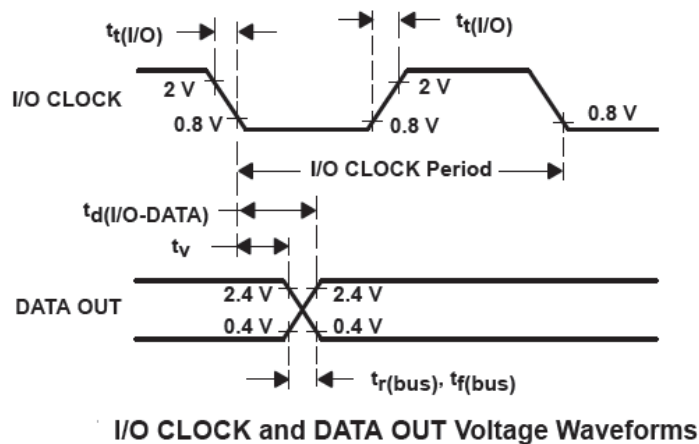
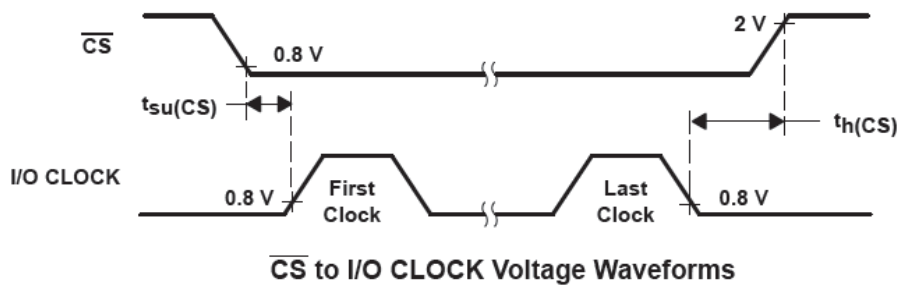
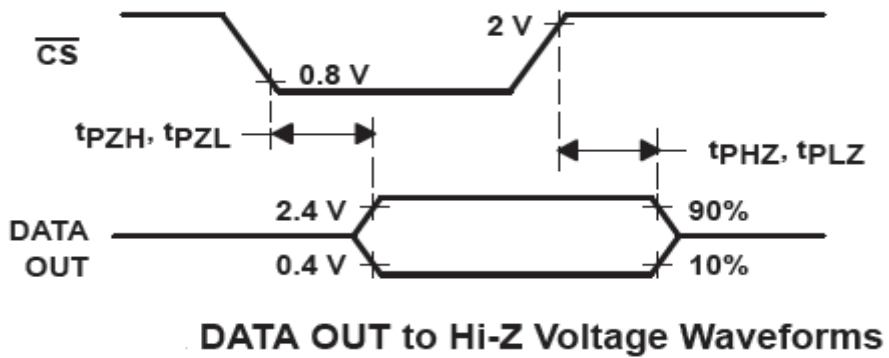
参数	测试条件	最小值	最大值	单位
EL 线性误差 (见注 6)			±1	LSB
EZS 零刻度误差 (见注 7)	见注 2		±1	LSB
EFS 满刻度误差 (见注 7)	见注 2		±1	LSB
总的非调整误差 (见注 8)			±1	LSB
Tconv 转换时间			21	us
Tc 总的一周时间 (采样, 保持和转换)			21+10 I/O CLOCK periods	us
Tv I/O CLOCK 下降沿后 data out 有效时间	见下图	10		ns
Td I/O CLOCK 下降沿到有效 data out 延迟时间	见下图		240	ns
tPZH, tPZL CS 下降沿到 data out 的使能时间	见下图		1.3	us
tPHZ, tPLZ CS 上升沿到 data out 的关断时间	见下图		180	ns
Tr (bus) 数据总线上升沿时间	见下图		300	ns
Tf (bus) 数据总线下降沿时间	见下图		300	ns
Td (I/O-CS) 第十个 I/O CLOCK 下降沿到 CS 下降沿的延时 (见注 10)			9	us

注: 2. 模拟输入电压高于 REF+ 时, 转换输出全 1, 模拟输入电压低于 REF- 时, 转换输出全

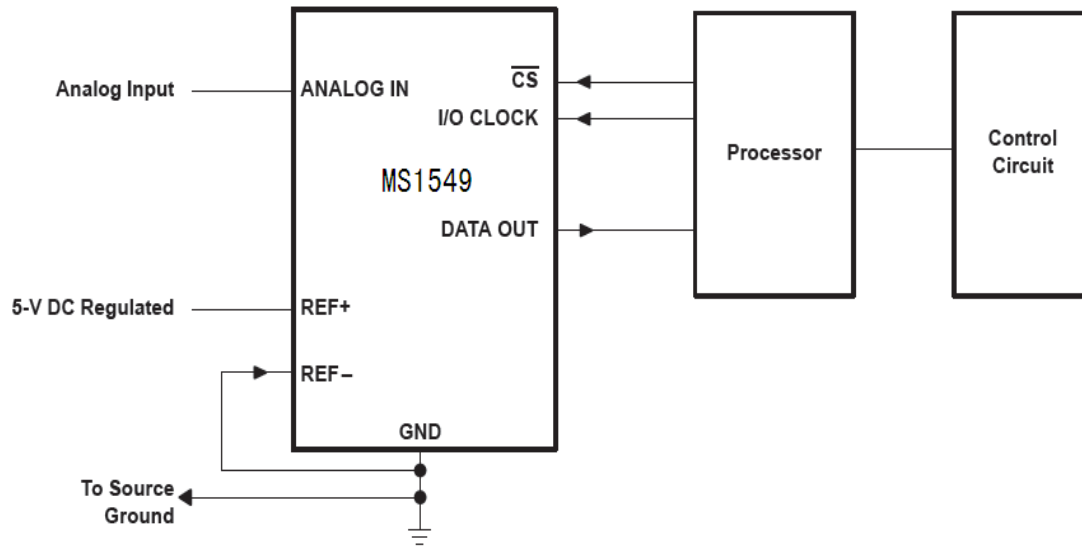
0. MS1549 输入电压范围可低至 1V (Vref+ -Vref-), 此时推荐的电学参数不再适用。

6. 线性误差指实际转换输出偏移最佳输入输出特性直线。

7. 零刻度误差指零输入时的输出和全 0 的偏差，满刻度误差指满幅输入时输出和全 1 的偏差。
8. 总的非调整误差由线性、零刻度和满刻度误差组成。
9. I/O CLOCK 周期=1/(I/O CLOCK 频率)，采样从第三个 I/O CLOCK 下降沿开始，持续 7 个 I/O CLOCK 周期，在第十个 I/O CLOCK 下降沿结束。
10. CS 的跳变只有当跳变后电平保持一个最小建立时间加上两个内部时钟下降沿时间的和之后才会有效。



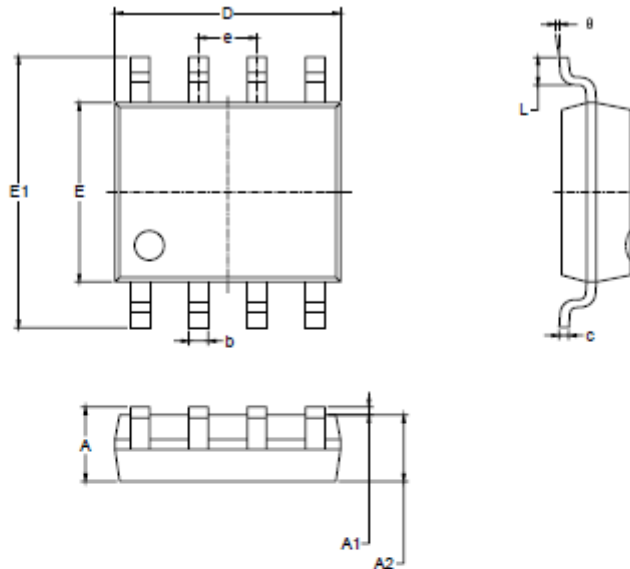
典型应用图



Typical Serial Interface

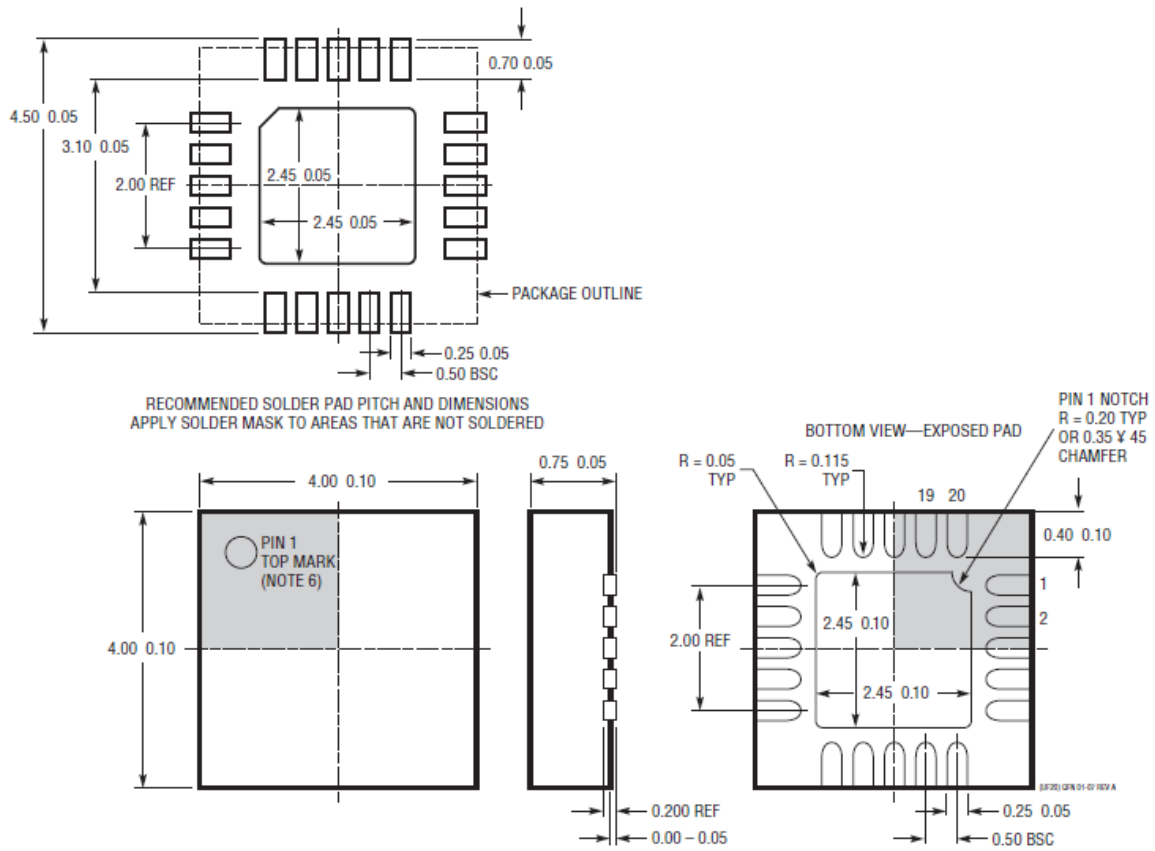
封装外形图

SOP8:



Symbol	Dimensions In Millimeters		Dimensions In Inches	
	MIN	MAX	MIN	MAX
A	1.350	1.750	0.053	0.069
A1	0.100	0.250	0.004	0.010
A2	1.350	1.550	0.053	0.061
b	0.330	0.510	0.013	0.020
c	0.170	0.250	0.006	0.010
D	4.700	5.100	0.185	0.200
E	3.800	4.000	0.150	0.157
E1	5.800	6.200	0.228	0.244
e	1.27 BSC		0.050 BSC	
L	0.400	1.270	0.016	0.050
θ	0°	8°	0°	8°

QFN20:



X-ON Electronics

Largest Supplier of Electrical and Electronic Components

Click to view similar products for [Analog to Digital Converters - ADC category](#):

Click to view products by [Ruimeng manufacturer](#):

Other Similar products are found below :

[MCP37211-200I/TE](#) [AD9235BCPZRL7-40](#) [HT7316ARQZ](#) [ADS1100A3IDBVR](#) [HI1175JCB](#) [HI3-574AJN-5](#) [HI5714/4CB](#) [HI5746KCA](#)
[HI5766KCAZ](#) [HI5766KCBZ](#) [ISOSD61TR](#) [ES7201](#) [AD7266BSUZ-REEL](#) [AD7708BRZ-REEL7](#) [CLM2543IDW](#) [CLM2543CDW](#)
[MCP3004T-I/SL](#) [ADS7853IPWR](#) [GP9301BXI-F10K-D1V10-SH](#) [GP9301BXI-F10K-N-SH](#) [GP9101-F50-C1H1-SW](#) [GP9301BXI-F5K-N-SW](#)
[GP9101-F10K-N-SW](#) [GP9301BXI-F4K-D1V10-SH](#) [GP9301BXI-F1K-L5H2-SH](#) [LTC2484IDD#TRPBF](#) [AD9245BCPZRL7-20](#) [SSP1120](#)
[ADS8332IBRGER](#) [ADS8168IRHBR](#) [HT7705ARWZ](#) [ADS9224RIRHBR](#) [ADC101S051CIMF](#) [AD7779ACPZ-RL](#) [AD7714YRUZ-REEL](#)
[AD7608BSTZ-RL](#) [LTC2447IUHF#PBF](#) [AD9235BRUZRL7-20](#) [AD7888ARUZ-REEL](#) [AD7606BBSTZ-RL](#) [AD7998BRUZ-1REEL](#)
[AD7276ARMZ-REEL](#) [AD7997BRUZ-1REEL](#) [LTC2348ILX-16#PBF](#) [AD2S1210BSTZ-RL7](#) [AD7711ARZ-REEL7](#) [AD7865ASZ-1REEL](#)
[AD7923BRUZ-REEL](#) [AD7495ARZ-REEL7](#) [AD9629BCPZRL7-40](#)