



WS51F0030 系列物联网 MCU

用户手册

1T 8051 内核, 16KB Flash, 2KB 可编程 Boot Loader, 1KB SRAM, 128B EEPROM, 1 个 12 通道 12 位精度带 PGA 的 SAR-ADC, 1 个高精度 OP, 3 对 6 通道 16 位互补输出支持电机驱动 PWM, 1 对 2 通道支持互补输出和灯带功能 PWM, 1 路蜂鸣器输出, 4 个通用定时器, 2 个 UART, 1 个 I2C, 1 个 SPI, 1 个 WDT, 1 个 WKT

版本: 1.6

深圳前海维晟智能技术有限公司

电话: +086-0755-23310575

<http://www.wisesun.com>

目录

1 特性	5
2 概述	6
3 命名规则.....	6
4 订购信息.....	6
5 产品信息.....	7
5.1 产品资源.....	7
5.2 管脚定义.....	8
5.2.1 封装类型: TSSOP20	8
5.2.2 封装类型: QFN20(3mm*3mm)	9
5.3 管脚说明.....	9
6 总体架构.....	12
6.1 8051 内核.....	12
6.1.1 简介.....	12
6.1.2 寻址方式.....	12
6.1.3 寄存器描述.....	13
6.2 芯片结构框图.....	16
6.3 存储器分布.....	17
6.4 SFR 映像.....	17
7 基本功能.....	19
7.1 外部 RAM.....	19
7.2 Flash 存储器	19
7.2.1 简介.....	19
7.2.2 Flash 数据区	19
7.2.3 NVR 数据区.....	21
7.2.4 EEPROM 数据区.....	24
7.2.5 寄存器描述.....	25
7.3 定时器 0/1/2/3.....	29
7.3.1 定时器 0.....	29
7.3.2 定时器 1.....	31
7.3.3 定时器 2.....	33
7.3.4 定时器 3.....	35
7.3.5 寄存器描述.....	36
7.4 IO 端口	43
7.4.1 简介.....	43
7.4.2 IO 端口功能复用	43
7.4.3 寄存器描述.....	44
7.5 中断系统.....	46
7.5.1 简介.....	46
7.5.2 外部中断.....	46
7.5.3 寄存器描述.....	47
7.6 时钟系统.....	54
7.6.1 时钟源.....	54
7.6.2 时钟控制关系.....	54

7.6.3 寄存器描述.....	55
7.7 复位系统.....	57
7.7.1 上电复位（POR）和掉电复位（BOR）.....	57
7.7.2 看门狗（WDT）复位.....	57
7.7.3 低电压检测（LVD）复位.....	57
7.7.4 外部硬复位和内部软复位.....	58
7.7.5 寄存器描述.....	58
7.8 电源管理.....	59
7.8.1 LDO.....	59
7.8.2 IDLE 模式.....	59
7.8.3 STOP 模式.....	59
7.8.4 寄存器描述.....	59
8 增强功能.....	62
8.1 脉宽调制（PWM）.....	62
8.1.1 简介.....	62
8.1.2 PWM 基本功能.....	62
8.1.3 PWM 计数模式.....	64
8.1.4 PWM 刹车功能.....	64
8.1.5 PWM 掩模功能.....	64
8.1.6 PWM 灯带功能.....	65
8.1.7 PWM 中断.....	65
8.1.8 寄存器描述.....	66
8.2 蜂鸣器驱动（BUZZER）.....	76
8.2.1 简介.....	76
8.2.2 BUZZER 工作原理.....	76
8.2.3 寄存器描述.....	76
8.3 通用串行接口（UART 0/1）.....	78
8.3.1 简介.....	78
8.3.2 UART0.....	78
8.3.3 UART1.....	80
8.3.4 寄存器描述.....	81
8.4 I ² C 接口（I2C）.....	84
8.4.1 简介.....	84
8.4.2 I2C 总线互联.....	84
8.4.3 I2C 通信原理.....	84
8.4.4 I2C 工作模式.....	85
8.4.5 寄存器描述.....	85
8.5 SPI 接口（SPI）.....	88
8.5.1 简介.....	88
8.5.2 功能描述.....	88
8.5.3 寄存器描述.....	89
8.6 看门狗定时器（WDT）.....	92
8.6.1 简介.....	92
8.6.2 功能描述.....	92
8.6.3 寄存器描述.....	92

8.7 自唤醒定时器 (WKT)	94
8.7.1 简介	94
8.7.2 功能描述	94
8.7.3 寄存器描述	94
8.8 时钟监控单元 (SCM)	96
8.8.1 简介	96
8.8.2 功能描述	96
8.8.3 寄存器描述	96
8.9 低压差线性稳压器 (LDO)	97
8.9.1 简介	97
8.9.2 内部基准及输出电压校准	97
8.9.3 LDO 工作模式	97
8.9.4 寄存器描述	98
8.10 低电压检测 (LVD)	99
8.10.1 简介	99
8.10.2 功能描述	99
8.10.3 寄存器描述	99
8.11 运算放大器 (OP)	100
8.11.1 简介	100
8.11.2 主要特性	100
8.11.3 寄存器描述	100
8.12 模数转换器 (ADC)	102
8.12.1 简介	102
8.12.2 主要特性	102
8.12.3 功能描述	102
8.12.4 寄存器描述	103
9 程序下载和仿真	108
9.1 程序下载	108
9.2 在线仿真	108
10 电气特性	109
10.1 极限参数	109
10.2 直流电气特性	109
10.3 交流电气特性	112
10.4 POR 电气特性	112
10.5 HRC 电气特性	113
10.6 LRC 电气特性	114
10.7 LOSC 电气特性	115
10.8 LVD 电气特性	115
10.9 OP 电气特性	115
10.10 ADC 电气特性	116
11 封装信息	117
11.1 WS51F0030T20U(TSSOP20)	117
11.2 WS51F0030Q20T(QFN20)	118
12 附录	119
13 版本历史	126

1 特性

- **工作电压:** 2.0V-5.5V
- **工作温度:** -40~+105℃
- **封装类型:** TSSOP20/QFN20(3mm*3mm)
- **内核:** 增强型 1T 8051
- **最高工作频率:** 16MHz
- **Flash ROM:** 16K Bytes, 10 万次擦写
- **Boot Loader:** 2K Bytes, 10 万次擦写
- **EEPROM:** 128 Bytes, 单字节操作无需擦, 10 万次写入
- **SRAM:** 内部 256 Bytes, 外部 1K Bytes
- **时钟 (3.3V@25℃)**
 - 外部低速晶体振荡器 LOSC: 32.768KHz
 - 内置 RC 振荡器 LRC: 32KHz, 可调精度±1%
 - 内置 RC 振荡器 HRC: 16MHz, 可调精度±1%
- **中断**
 - 9 个有效中断源, 两级中断优先级
 - 6 个外部中断, 支持键盘中断, 可配置任意引脚输入, 支持上沿/下沿/双沿触发
- **IO 端口**
 - 18 个通用 GPIO 口
 - 持推挽/开漏/上拉/下拉/高阻等模式
 - 上拉可选 60KΩ 或 10KΩ, 下拉为 15 KΩ
 - 推电流支持 25mA, 灌电流 60mA
- **定时器**
 - 4 个 16 位通用定时器 0/1/2/3, 兼容标准 8051
- **脉宽调制 (PWM)**
 - 4 对 8 通道 16 位 PWM, 其中 3 对 PWM 支持电机驱动功能, 另外 1 对支持支持 2 路 PWM 灯带输出功能
 - 可选时钟源, 可直接输出内部时钟, 支持任意配置周期和占空比
 - 支持互补输出和死区控制
 - 支持中心对齐和边沿对齐输出模式(电机驱动 PWM)
 - 支持故障刹车和输出掩码控制 (电机驱动 PWM)
- **蜂鸣器 (BUZZER)**
 - 1 路蜂鸣器输出, 可选工作时钟
- **通用串行接口 (UART)**
 - 2 个 UART 接口: UART0 和 UART1, 兼容标准 8051
- **SPI 接口 (SPI)**
 - 支持主从模式, 最大速度可达 1/4 F_{sys} (系统时钟)
- **I2C 接口 (I2C)**
 - 内置 1 路 I2C 接口, 支持主从模式, 支持标准/快速/高速模式
- **看门狗 (WDT)**
 - 15 位看门狗定时器, 计数时钟为 LRC 时钟
 - 8 位调节精度, 调整范围为 7.8125ms-1s
 - 可配置看门狗产生复位或中断
- **自唤醒定时器 (WKT)**
 - 可选中断时间为 3.90625ms~1s, 支持中断唤醒
- **低电压检测 (LVD)**
 - 8 级电压检测 1.8/2.0/2.4/2.8/3.0/3.4/3.7/4.2V
 - 可设置低电压复位或中断
- **运算放大器 (OP)**
 - 1 个支持修调的高精度运放
 - 可接外部电阻放大, 也可内部放大
2/4/6/8/10/12/14/16/20/24/32/64/96/128 倍
 - 可单独使用, 也可给 ADC 前端放大用
- **模数转换器 (ADC)**
 - 12 通道 12 位精度 SAR-ADC, 转换速度最高达 1MHz
 - 内置 PGA, 支持放大 1/2/4/6/8/10/12/15/20 倍, 支持缩小 1/4、1/3 和 1/2 倍
 - 内置 1/4 * VDD5 通道和 VSS 通道
 - 支持比较器功能
- **芯片复位**
 - 支持硬复位、软复位、看门狗复位、LVD 复位和上电/掉电复位
- **程序加密及保护**
 - 内置程序读保护
 - 内置程序 ID 加密保护功能
- **程序下载和仿真**
 - 支持 ISP 和 IAP, IAP 可配置大小
 - 支持在线仿真功能
- **低功耗**
 - IDLE 模式最低电流 4.5uA
 - STOP 模式最低电流 1.8uA
 - 内部 LRC 运行功耗 6uA
 - 16Mhz@5V 运行典型功耗 1.5mA
- **抗干扰特性**
 - EFT > ±4KV
 - ESD HBM > ±8KV
 - Latch up > 200mA

2 概述

WS51F0030 系列芯片是基于增强型 1T 8051 内核的 8 位微控制器，指令完全兼容传统 8051，而运行速度比传统 8051 快 10 倍。WS51F0030 集成 16KB Flash、2KB 可编程 Boot Loader、1KB SRAM、128B 独立 EEPROM、1 个高精度 OP、12 通道 12 位精度带 PGA 的 SAR-ADC、3 对 6 通道 16 位互补输出支持电机驱动的 PWM、1 对 2 通道支持互补输出和灯带功能 PWM、4 个通用定时器、1 路蜂鸣器输出、2 个 UART、1 个 I2C、1 个 SPI、16MHz 内部 RC 振荡器、32.768KHz 外部晶振、18 个 GPIO 等资源。为了提高芯片可靠性，WS51F0030 还集成了上电掉电复位，8 级可选电压低电压检测（LVD），低功耗独立看门狗计数器（WDT）、自唤醒定时器（WKT）等模块。WS51F0030 具有非常优异的抗干扰能力和低功耗特性，非常适合用在玩具、小电机、家用照明、无线通讯等物联网工业控制及消费电子领域。

3 命名规则

名称	WS	51	F	0	0	3	0	X	T	20	U
序号	①	②	③	④	⑤	⑥	⑦	⑧	⑨	⑩	⑪

序号	含义
⑩	WISESUN 的简称
②	51: 8051; 8: PIC16; 32: ARM Cortex-M/RISC-V
③	产品类型 (F: Flash; M: MTP; P: OTP; V: RISC-V)
④⑤⑥	兼容传统 003 芯片
⑦	芯片功能类别编号 (0、1、2、3...)
⑧	芯片版本号 (缺省、B、C、D...)
⑨	封装形式 (R: SOT23-6; D: DIP; I: SDIP; K: SKDIP; S: SOP; P: SSOP; T: TSSOP; M: MSOP; F: QFP; L: LQFP; Q: QFN; N: DFN;)
⑩	引脚数
⑪	包装方式 (R: 盘装; U: 管装; T: 编带)

4 订购信息

产品编号	封装	包装
WS51F0030T20U	TSSOP20	管装
WS51F0030Q20T	QFN20(3mm*3mm)	编带

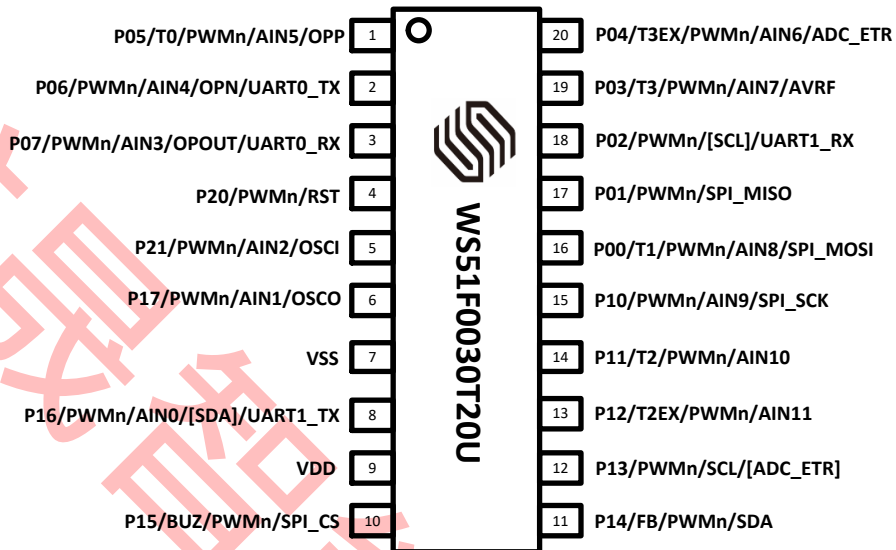
5 产品信息

5.1 产品资源

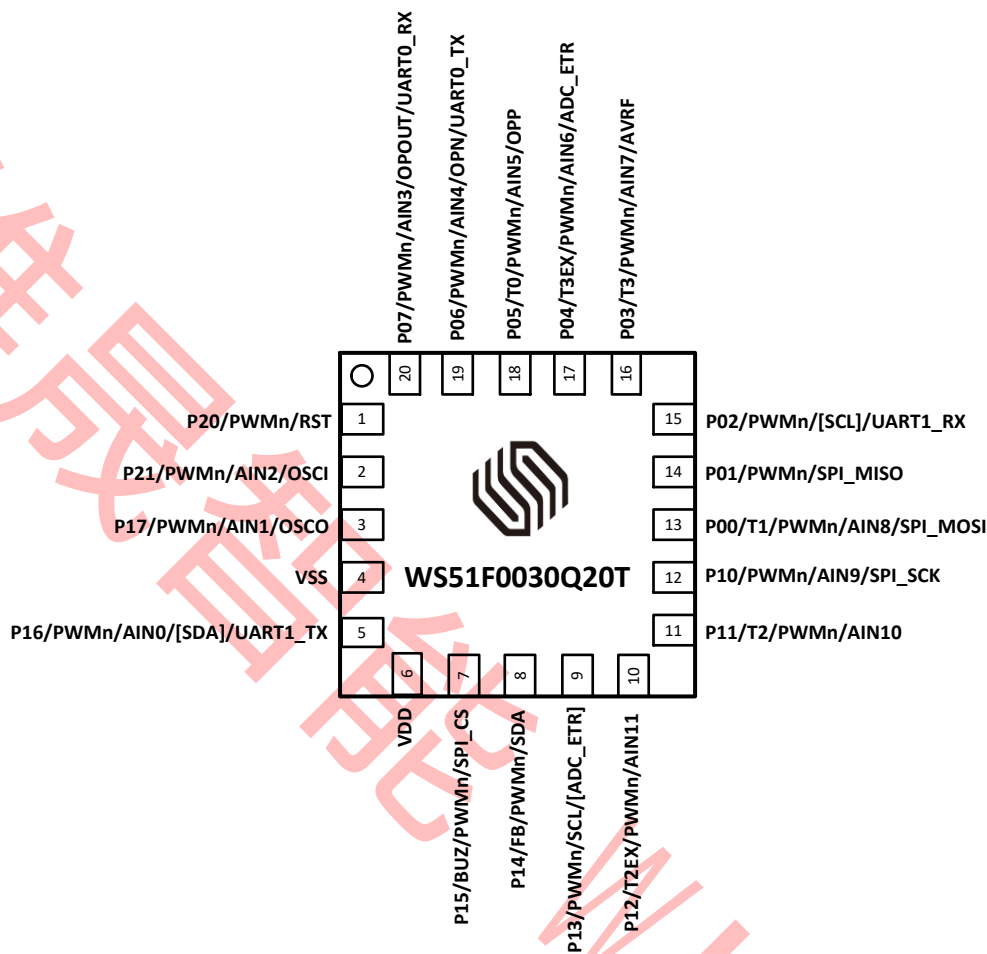
资源	型号	WS51F0030T20U WS51F0030Q20T
Flash 存储器 (Bytes)		16K
可编程 Boot Loader (Bytes)		2K
EEPROM (Bytes)		128
XDATA RAM (Bytes)		1K
GPIO		18
UART		2
I2C		1
SPI		1
BUZZER		1
OP		1
16bit-PWM (channels)		8
12bit SAR-ADC (channels)		12
WDT		√
8 级电压 LVD		√
HRC (16MHz)		√
LRC (32KHz)		√
LOSC (32.768KHz)		√
ISP/IAP		√
在线仿真		√
工作电压		2.0V-5.5V
封装形式		TSSOP20 QFN20(3mm*3mm)

5.2 管脚定义

5.2.1 封装类型：TSSOP20



5.2.2 封装类型：QFN20(3mm*3mm)



5.3 管脚说明

端口序号		管脚名称	功能说明	默认状态
TSSOP20	QFN20			
1	18	P05/T0/PWMn/AIN5/OPP	P05: 通用双向 GPIO 口 T0: Timer 0 端口 PWMn: PWM 输出端口 AIN5: ADC 输入通道 OPP: OP 的正端输入	高阻
2	19	P06/PWMn/AIN4/OPN/UART0_TX	P06: 通用双向 GPIO 口 PWMn: PWM 输出端口 AIN4: ADC 输入通道 OPN: OP 的负端输入 UART0_TX: UART0 的 TX 端口	高阻
3	20	P07/PWMn/AIN3/OPOUT/UART0_RX	P07: 通用双向 GPIO 口 PWMn: PWM 输出端口	高阻

			AIN3: ADC 输入通道 OPOUT: OP 的输出 UART0_RX: UART0 的 RX 端口	
4	1	P20/PWMn/RST	P20: 通用双向 GPIO 口 PWMn: PWM 输出端口 RST: 外部硬复位输入	可选 高阻/RST
5	2	P21/PWMn/AIN2/OSCI	P21: 通用双向 GPIO 口 PWMn: PWM 输出端口 AIN2: ADC 输入通道 OSCI: 外部晶振 LOSC 的输入端口	高阻
6	3	P17/PWMn/AIN1/OSCO	P17: 通用双向 GPIO 口 PWMn: PWM 输出端口 AIN1: ADC 输入通道 AIN1 OSCO: 外部晶振 LOSC 的输出端口	高阻
7	4	VSS	地线 VSS	VSS
8	5	P16/PWMn/AIN0/[SDA]/UART1_TX	P16: 通用双向 GPIO 口 PWM: PWM 输出端口 AIN0: ADC 输入通道 [SDA]: I2C 的备选数据端口 UART1_TX: UART1 的 TX 端口	高阻
9	6	VDD	电源 VDD	VDD
10	7	P15/BUZ/PWMn/SPI_CS	P15: 通用双向 GPIO 口 BUZ: 蜂鸣器输出端口 PWMn: PWM 输出端口 SPI_CS: SPI 的 CS 端口	高阻
11	8	P14/FB/PWMn/SDA	P14: 通用双向 GPIO 口 FB: PWM 的刹车输入 PWMn: PWM 输出端口 SDA: I2C 的数据端口	高阻
12	9	P13/PWMn/SCL/[ADC_ETR]	P13: 通用双向 GPIO 口 PWMn: PWM 输出端口 SCL: I2C 的时钟端口 [ADC_ETR]: ADC 备选外部触发端口	高阻
13	10	P12/T2EX/PWMn/AIN11	P12: 通用双向 GPIO 口 T2EX: Timer 2 端口 PWMn: PWM 输出端口 AIN11: ADC 输入通道	高阻
14	11	P11/T2/PWMn/AIN10	P11: 通用双向 GPIO 口 T2: Timer 2 端口 PWMn: PWM 输出端口 AIN10: ADC 输入通道	高阻
15	12	P10/PWMn/AIN9/SPI_SCK	P10: 通用双向 GPIO 口 PWMn: PWM 输出端口	高阻

			AIN9: ADC 输入通道 SPI_SCK: SPI 的 SCK 端口	
16	13	P00/T1/PWMn/AIN8/SPI_MOSI	P00: 通用双向 GPIO 口 T1: Timer 1 端口 PWMn: PWM 输出端口 AIN8: ADC 输入通道 SPI_MOSI: SPI 的 MOSI 端口	高阻
17	14	P01/PWMn/SPI_MISO	P01: 通用双向 GPIO 口 PWMn: PWM 输出端口 SPI_MISO: SPI 的 MISO 端口	高阻
18	15	P02/PWMn/[SCL]/UART1_RX	P02: 通用双向 GPIO 口 PWMn: PWM 输出端口 [SCL]: I2C 的备选时钟端口 UART1_RX: UART1 的 RX 端口	高阻
19	16	P03/T3/PWMn/AIN7/AVRF	P03: 通用双向 GPIO 口 T3: Timer 3 端口 PWMn: PWM 输出端口 AIN7: ADC 输入通道 AVRF: ADC 外部参考电压	高阻
20	17	P04/T3EX/PWMn/AIN6/ADC_ETR	P04: 通用双向 GPIO 口 T3EX: Timer 3 端口 PWMn: PWM 输出端口 AIN6: ADC 输入通道 ADC_ETR: ADC 外部触发端口	高阻

备注:

1. 信号端口复用功能设置方法详见表 [7.4.2-1](#) 和表 [7.4.3-2](#)

6 总体架构

6.1 8051 内核

6.1.1 简介

标准 8051 即 MCS-51 为 12 周期的 8051 CPU，而 WS51F0030 系列芯片采用的是单周期 8051 CPU，完全兼容 MCS-51 指令集。

6.1.2 寻址方式

8051 的内核寻址方式有：立即寻址、直接寻址、间接寻址、寄存器寻址、相对寻址、变址寻址和位寻址。

立即寻址

立即寻址是在指令操作数中直接给出参与运算的操作数，指令举例如下：

MOV A, #60H (这条指令把 60H 直接送到累加器 A)

直接寻址

直接寻址指令操作数给出的是参与运算操作数的地址。直接寻址方式只能用于特殊功能寄存器、内部数据区和位地址空间，而特殊功能寄存器和位地址空间只能用直接寻址方式访问。指令举例如下：

ANL 50H, #91H (把 50H 单元中的数与 91H 相“与”，结果存放在 50H 单元中，其中 50H 为内部 RAM 的地址)

间接寻址

间接寻址采用 R0 或 R1 前添加“@”符号来表示。假设 R1 中的数据是 40H，内部数据存储器 40H 单元的数据为 55H，则指令为

MOV A, @R1 (把数据 55H 传送至累加器 A)

寄存器寻址

寄存器寻址对选定的工作寄存器 R7-R0、累加器 A、通用寄存器 B、地址寄存器和进位 C 中的数进行操作，其中寄存器 R7-R0 由指令码的低 3 位表示，ACC、B、DPTR 及进位 C 隐含在指令码中。因此，寄存器寻址也包含一种隐含寻址方式。工作寄存器工作区由状态寄存器 PSW 的 RS1、RS0 决定。指令操作数指定的寄存器均指当前工作区的寄存器。

INC R0 (R0 中的数据+1 写回 R0)

相对寻址

相对寻址是将程序计数器 PC 中的当前值与指令第二字节给出的数相加，其结果作为转移指令的转移地址。转移地址也成为转移目的地址，PC 中的当前值成为基地址，指令第二字节给出的数成为偏移量。由于目的地址是相对于 PC 中的基地址而言，所以这种寻址方式成为相对寻址。偏移量为带符号的数，所能表示的范围为 +127--128。这种寻址方式主要用于转移指令。

JC \$+50H (表示若进位位 C 为 0，则程序计数器 PC 中的内容不改变，即不转移。若进位位 C 为 1，则以 PC 中的当前值及基地址，加上偏移量 50H 后得到的结果作为该转移指令的目的地址)

变址寻址

在变址寻址方式中,指令操作数制定一个存放变址基址的变址寄存器。变址寻址时,偏移量与变址基值相加,其结果作为操作数的地址。变址寄存器有程序计数器 PC 和地址寄存器 DPTR。

MOVC A, @A+DPTR (表示累加器 A 为偏移量寄存器,其内容与地址寄存器 DPTR 中的内容相加,其结果作为操作数的地址,取出该单元中的数送入累加器 A 中)

位寻址

位寻址是指对一些可进行位操作的内部 RAM 和特殊功能寄存器进行位操作时的寻址方式。在进行位操作时,借助于进位位 C 作为位操作累加器,指令操作数直接给出该位的地址,然后根据操作码对该位进行位操作。

MOV C, 20H (将地址为 20H 的位操作寄存器值送入进位位 C 中)

6.1.3 寄存器描述

程序计数器 PC

程序计数器 PC 寄存器为 16 位,是专门用来控制指令执行顺序的寄存器,它没有寄存器地址。单片机上电或复位后,PC 值为 0,单片机从零地址开始执行程序。

累加器 ACC

累加器 ACC 是一个常用的专用寄存器,指令系统中采用 A 作为累加器的助记符,常用于存放算术或逻辑运算的操作数及运算结果。

表 6.1.3-1 累加器 ACC

E0H	7	6	5	4	3	2	1	0
ACC	ACC[7:0]							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0

通用寄存器 B

B 在乘除法运算中需要和 ACC 配合使用。MUL AB 指令把 ACC 和 B 中 8 位无符号数相乘,所得的 16 位乘积的低字节存放在 A 中,高字节存放在 B 中。DIV AB 指令用 B 除以 A,整数商存放在 A 中,余数存放在 B 中。寄存器 B 还可以用作通用暂存寄存器。

表 6.1.3-2 通用寄存器 B

F0H	7	6	5	4	3	2	1	0
B	B							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0

堆栈指针 SP

堆栈指针 SP 是一个 8 位专用寄存器。它指示出堆栈顶部在内部 RAM 块中的位置。系统复位后,SP 初始化为 07H,使得堆栈事实上由 08H 单元开始,考虑 08H-1FH 单元分别属于工作寄存器组 1-3,若在程序设计中用到这些区,则最好 SP 改变为 80H 或更大的为宜。

在程序调试中,经常出现堆栈溢出的情况,为了方便找到程序故障,设置了一个记录最大堆栈的寄存器 SPMAX,

可以通过 Debug 接口读出，地址 0x1A。

表 6.1.3-3 堆栈指针 SP

81H	7	6	5	4	3	2	1	0
SP	SP							
R/W	R/W							
初始值	0	0	0	0	0	1	1	1

表 6.1.3-4 堆栈最大值 SPMAX

8407H	7	6	5	4	3	2	1	0
SP	SPMAX							
R/W	R/W							
初始值	0	0	0	0	0	1	1	1

数据指针 DPTR

数据指针 DPTR0/DPTR1 是两个 16 位专用寄存器，它们的高位字节寄存器用 DPOH/DP1H 表示，低位字节寄存器用 DPOL/DP1L 表示，通过 DPS(PSW.1) 可选择使用 DPTR0/DPTR1。每个 DPTR 既可以作为一个 16 位寄存器来处理，也可以作为 2 个独立的 8 位寄存器 DPOH/DP1H 和 DPOL/DP1L 来处理。

表 6.1.3-5 数据指针 DP0L

82H	7	6	5	4	3	2	1	0
DP0L	DP0L							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0

表 6.1.3-6 数据指针 DP0H

83H	7	6	5	4	3	2	1	0
DP0H	DP0H							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0

表 6.1.3-7 数据指针 DP1L

84H	7	6	5	4	3	2	1	0
DP1L	DP1L							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0

表 6.1.3-8 数据指针 DP1H

85H	7	6	5	4	3	2	1	0
DP1H	DP1H							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0

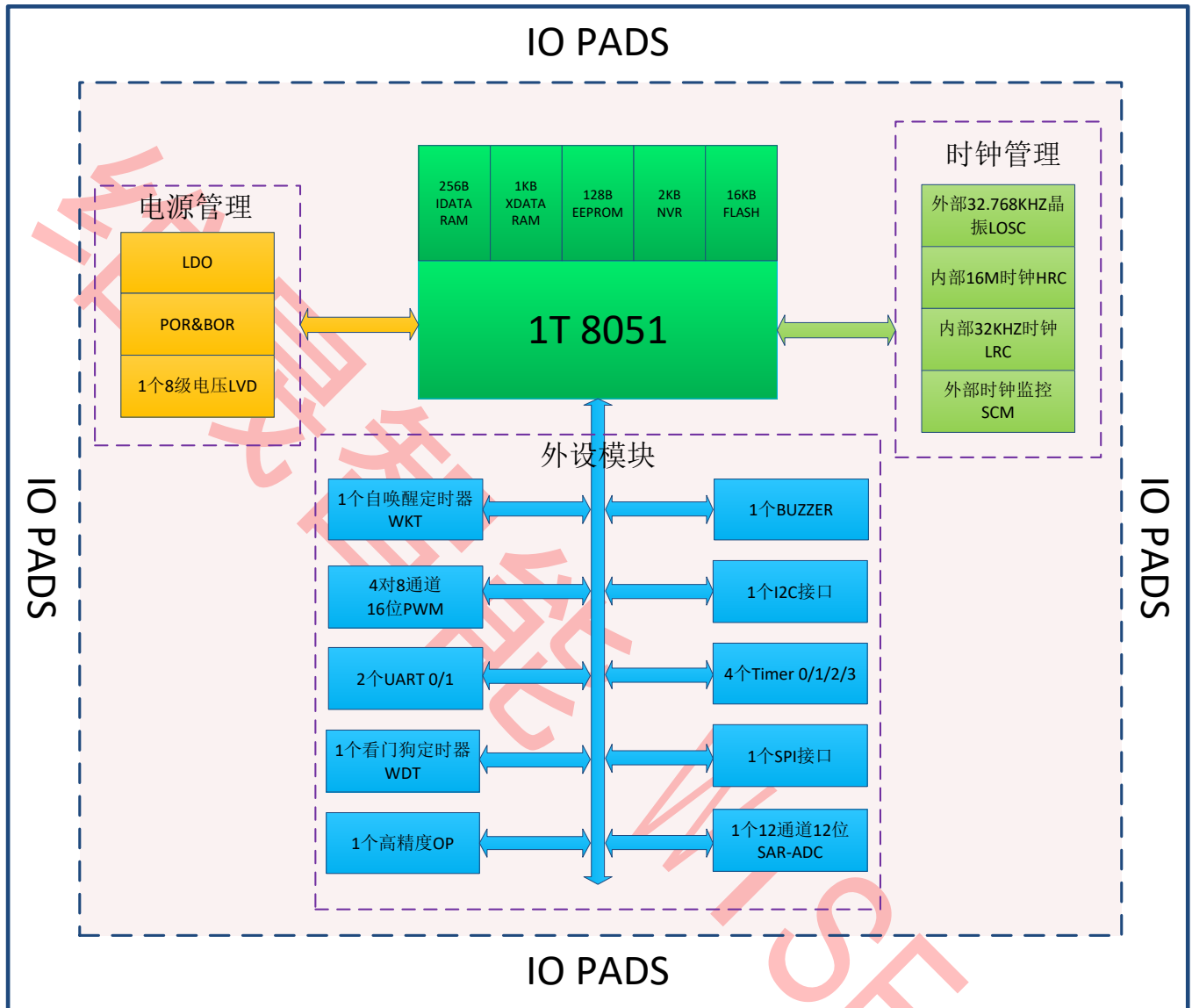
状态寄存器 PSW

状态寄存器 PSW 是 CPU 的状态寄存器。在 CPU 做算术运算或者逻辑运算时，对应的 PSW 状态位会发生改变。

表 6.1.3-9 状态寄存器 PSW

D0H	7	6	5	4	3	2	1	0
PSW	CY	AC	F0	RS		OV	DPS	P
R/W	R/W	R/W	R/W	R/W		R/W	R	R
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7	CY	进位标志位 0: 算术或逻辑运算中，没有进位或借位发生 1: 算术或逻辑运算中，有进位或借位发生						
6	AC	辅助进位标志位 0: 算术或逻辑运算中，没有辅助进位或借位发生 1: 算术或逻辑运算中，有辅助进位或借位发生						
5	F0	F0 标志位 用户自定义标志位						
4-3	RS	R0-R7 寄存器页选择位 00: 页 0 (映射到 00H-07H) 01: 页 1 (映射到 08H-0FH) 10: 页 2 (映射到 10H-17H) 11: 页 3 (映射到 18H-1FH)						
2	OV	溢出标志位 0: 没有溢出发生 1: 有溢出发生						
1	DPS	DPTR 选择寄存器，0 为选择 DPTR0，1 为选择 DPTR1						
0	P	奇偶校验位 0: 累加器 A 值为 1 的位数为偶数 1: 累加器 A 值为 1 的位数为奇数						

6.2 芯片结构框图

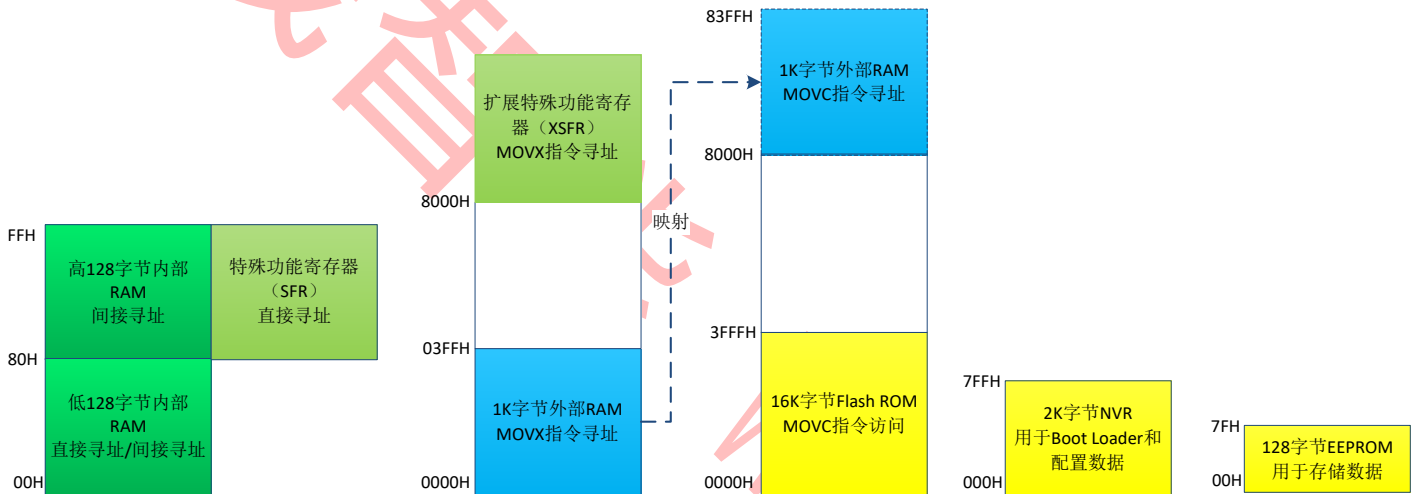


6.3 存储器分布

WS51F0030 系列芯片内含 256B 内部 RAM、1KB 外部 RAM、特殊功能寄存器(SFR)、128B EEPROM、2KB NVR 和 16KB Flash ROM，存储器地址分配如下：

- 低 128B 的内部 RAM（地址：00H - 7FH）可直接寻址或间接寻址
- 高 128B 的内部 RAM（地址：80H - FFH）只能间接寻址
- 1KB 的外部 RAM(地址：0000H - 03FFFH)可通过 MOVX 指令间接寻址，可映射到程序地址空间 8000H-83FFFH，也可直接作为程序空间 0000H-03FFFH
- 特殊功能寄存器(SFR)（地址：80H - FFH）可直接寻址
- 扩展特殊功能寄存器(XSFR)（从 8000H 开始），通过 MOVX 指令寻址
- 128B EEPROM 用于存储数据，不需要擦除操作，直接改写即可
- 2KB NVR 包含 16 个扇区，主要用于系统配置数据
- 16KB Flash ROM（地址：0000H-3FFFH），通过 MOVX 指令可访问

图 4.3-1 存储器分布图



6.4 SFR 映像

WS51F0030 系列芯片提供了兼容传统 8051 的 SFR 分布，SFR 和高 128 字节内部 RAM 共用地址 80H - FFH，只能直接寻址，SFR 映射如下表所示。

表 4.4-1 特殊功能寄存器 (SFR) 映射表

地址	可位寻址		不可位寻址					
	0/8	1/9	2/A	3/B	4/C	5/D	6/E	7/F
F8H	EXIP	PWCON	IT0CON	IT1CON	IDLFL	IDLFH	STPF	-
F0H	B	-	-	-	-	-	-	-
E8H	EXIE	-	-	-	-	-	-	-
E0H	ACC	SPCON	SPDAT	SPFLG	-	-	-	-
D8H	EPIE	EPIF	EP0CON	EP1CON	EP2CON	EP3CON	-	-
D0H	PSW	WKTCON	WKTSS	OPCON	OPCFG	-	-	-
C8H	T2CON	T2MOD	T2CL	T2CH	TL2	TH2	SCMCON	SCMFLG
C0H	ADCON	ADCFG	ADCHS	ADCDL	ADCDH	ADCPC	ADCPDL	ADCPDH

88H	IP	LVDCON	-	-	-	ATGCON	ATGDLY	ADCBGP
80H	-	-	T3CON	T3MOD	T3RL	T3RH	T3CL	T3CH
A8H	IE	WDTCON	WDTFLG	-	-	-	TL3	TH3
A0H	P2	I2CCON	I2CADR	I2CCFG0	I2CFG1	I2CTXD	I2CRXD	I2CFLG
98H	S0CON	S0BUF	S0CFG	S1CON	S1BUF	S1RELL	S1RELH	RSTFLG
90H	P1	-	-	-	-	XSCON	HRCON	LRCON
88H	TCON	TMOD	TL0	TL1	TH0	TH1	-	-
80H	P0	SP	DP0L	DP0H	DP1L	DP1H	SCCON	PCON

由于 SFR 地址空间有限, WS51F0030 系列芯片在外部 RAM 地址空间增加了扩展特殊功能寄存器(XSFR), XSFR 映射如下表所示。

表 4.4-2 扩展特殊功能寄存器 (XSFR) 映射表

地址	0/8	1/9	2/A	3/B	4/C	5/D	6/E	7/F
8000H	P00F	P01F	P02F	P03F	P04F	P05F	P06F	P07F
8008H	P10F	P11F	P12F	P13F	P14F	P15F	P16F	P17F
8010H	P20F	P21F	-	-	-	-	-	-
---	-	-	-	-	-	-	-	-
8040H	PWMRUN	PWMCLR	-	PWMUPD	PWMFLG0	PWMFLG1	-	-
8048H	PMEN	PMDAT	PMSCON	PMSDL	PMSDH	PMSML	PMSMH	-
8050H	PWM0CFG	PWM0PS	-	-	PWM0DUTL	PWM0DUTH	PWM0DIVL	PWM0DIVH
8058H	PWM1CFG	PWM1PS	-	-	PWM1DUTL	PWM1DUTH	PWM1DIVL	PWM1DIVH
8060H	PWM2CFG	PWM2PS	-	-	PWM2DUTL	PWM2DUTH	PWM2DIVL	PWM2DIVH
8068H	PWM3CFG	PWM3PS	-	-	PWM3DUTL	PWM3DUTH	PWM3DIVL	PWM3DIVH
8070H	PWM4CFG	PWM4PS	-	-	PWM4DUTL	PWM4DUTH	PWM4DIVL	PWM4DIVH
8078H	PWM5CFG	PWM5PS	-	-	PWM5DUTL	PWM5DUTH	PWM5DIVL	PWM5DIVH
8080H	PWM6CFG	PWM6PS	-	-	PWM6DUTL	PWM6DUTH	PWM6DIVL	PWM6DIVH
8088H	PWM7CFG	PWM7PS	-	-	PWM7DUTL	PWM7DUTH	PWM7DIVL	PWM7DIVH
---	-	-	-	-	-	-	-	-
80D0H	LEDCFG	-	LED0D0	LED0D1	LED0D2	-	-	-
80D8H	-	-	LED1D0	LED1D1	LED1D2	-	-	-
80E0H	FBCON	FBDAT	FBFLG	-	-	-	-	-
---	-	-	-	-	-	-	-	-
80E8H	PIMOD	POIMSK	P1IMSK	P2IMSK	-	-	-	-
80F0H	BZCON	BZPSC	BZDUT	BDDIV	-	-	-	-
---	-	-	-	-	-	-	-	-
82B0H	ACBCON	-	AKDAT	-	AMDAT	-	-	-
---	-	-	-	-	-	-	-	-
8300H	MECON	FSCMD	BTMSK	FSDAT	FSFLG	FSMSK	FSADRL	FSADRH
8308H	CKSUML	CKSUMH	IDCODE0	IDCODE1	IDCODE2	-	-	-
8400H	-	-	-	-	-	-	-	SPMAX

7 基本功能

7.1 外部 RAM

1KB 的外部 RAM 主要用于数据暂存，但也可映射为程序空间使用，其默认映射地址为 8000H-83FFH。用户可以下载程序到外部 RAM，然后直接执行跳转指令跳到该映射区执行程序。同样效果，用户也可把 BOOT（详见寄存器 MECON）的值设置为 1，然后执行软复位，此时外部 RAM 映射到地址 0000H-03FFH，复位后程序从外部 RAM 空间开始执行。外部 RAM 映射功能可用来实现 IAP/ISP 等功能。

7.2 Flash 存储器

7.2.1 简介

Flash 存储器包含 16KB Flash 数据区、2KB NVR 数据区及 128B EEPROM 数据区。其中 Flash 及 NVR 数据区需要先擦才可以再写，EEPROM 数据区不需要擦可直接改写。Flash 存储器的擦写次数在 10 万次以上，支持单比特改写。

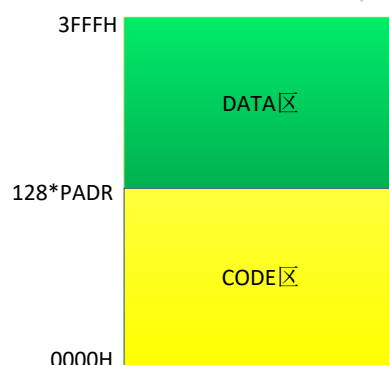
7.2.2 Flash 数据区

Flash 数据区逻辑划分

Flash 数据区的逻辑划分见图，主要特点如下：

- Flash 数据区由若干个扇区组成，扇区是进行擦除操作的最小单位，每个扇区大小为 128 字节。
- Flash 可以通过寄存器 PADR 按功能划分为 CODE 区和 DATA 区，划分单位为 1 个逻辑扇区。
- CODE 区用于存储用户的程序，DATA 区是用于存储一些掉电需要保存的数据。

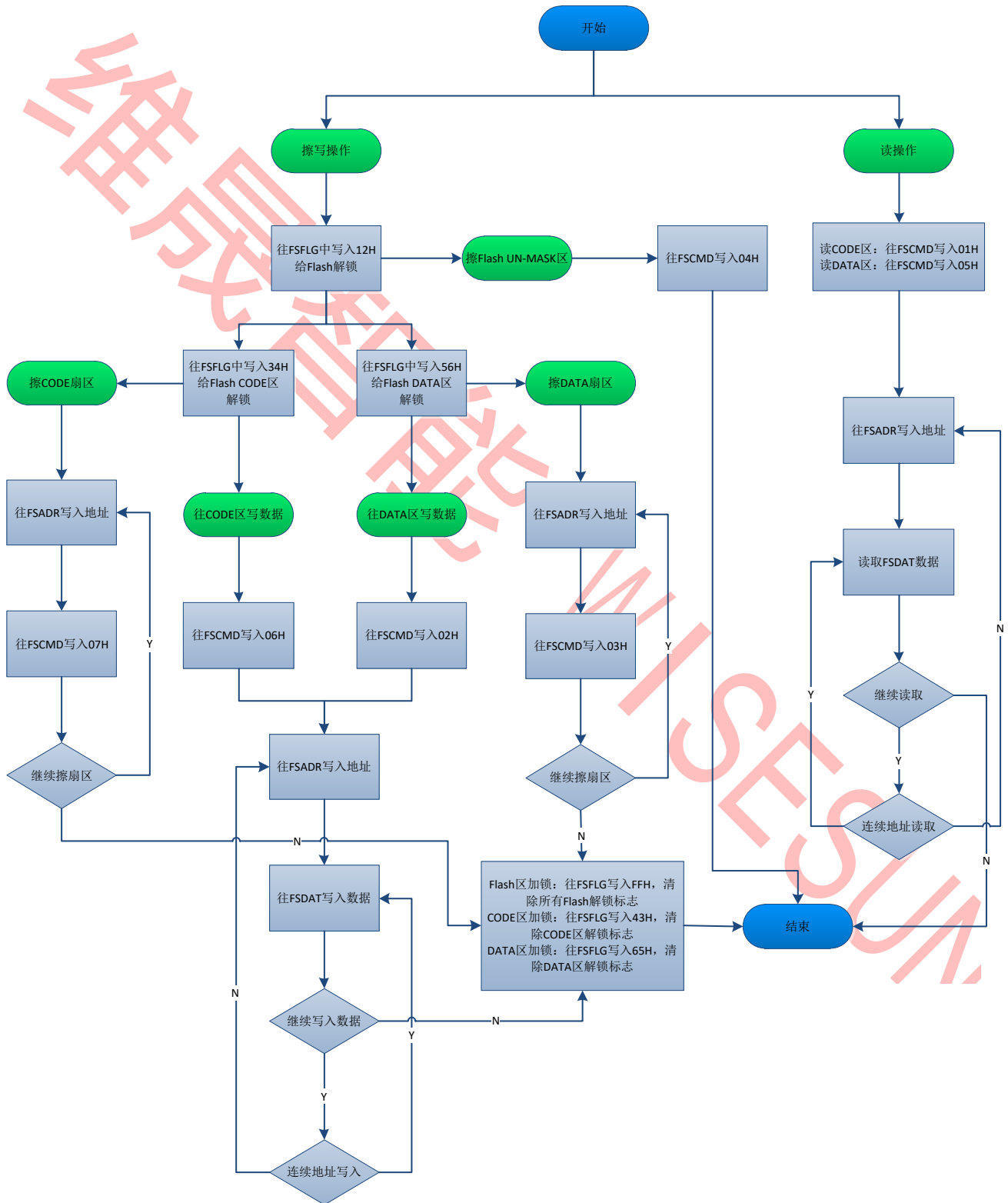
图 7.2.2-1 Flash 数据区结构



访问 Flash 数据区

如下图所示为访问 Flash 数据区流程图，相关示例程序请参考 WS51F0030 应用手册。需要说明的是，在擦操作时往 FSCMD 写入擦命令或在写操作时往 FSDAT 写入数据时，CPU 会自动暂停，以避免因为中断等原因导致擦写操作中止。

图 7.2.2-2 访问 Flash 数据区流程图



7.2.3 NVR 数据区

NVR 数据区功能划分

芯片内置了 2KB 的 NVR 数据区，该区共 16 个扇区，每个扇区 128 字节。

- NVR1-NVR12 用于存放 Boot Loader 程序或用于存储用户数据
- NVR13 部分用于保存芯片相关配置
- NVR14 可用于实现用户 ID 功能，**设置保护后不可访问**
- NVR15 用于保存原厂数据，一般情况不开放给用户使用，**设置保护后不可擦写**
- NVR16 用于保存 Flash 配置数据

其中 NVR13 和 NVR14 在不使用上述功能时，可直接给用户使用。

表 7.2.3-1 NVR 数据功能表

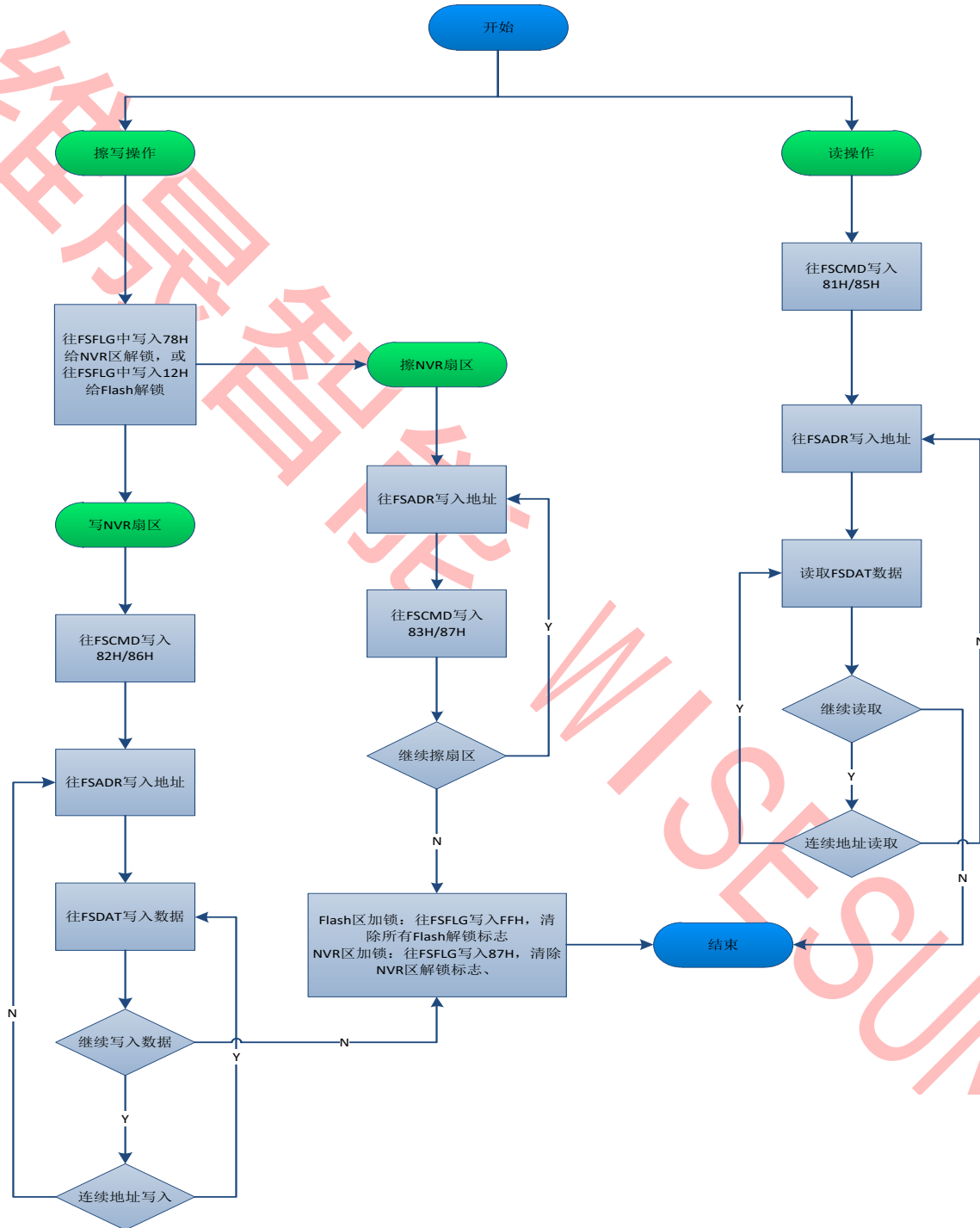
扇区	地址	功能描述
NVR1-NVR12	0x000-0x5FF	用于存放 Boot Loader 程序或用于储存用户数据
NVR13	---	-
NVR14	0x680-0x68F	该 16 个字节写入 0xaa 后 ID 功能开启
	0x690	ID 错误计数字节。当用户写入 IDCODE 寄存器的值与目标值不一致错误次数 4 次就会擦掉一个比特，总共错误次数超过 32 次，寄存器 IDERR 会保持为 1，则不能再使用 ID 功能。开启 ID 功能后出厂时需要烧写为 0xFF。
	0x691	保存用户 ID 目标值，上电时自动加载到内部寄存器。
	0x692	
	0x693	
	---	-
	0x6a0-0x6af	该 16 个字节写入 0xaa 后开启程序读保护功能
	---	-
	0x6d0	配置 P20 引脚复位后功能。复位后默认情况下为复位功能，设置为 0x5A 后，默认功能为高阻状态。
	0x6d1	默认上电后会延迟 64ms，以便可上电进入 debug 模式。设置为 0x5A 后，上电后不延迟 64ms，直接运行程序。
	0x6d2	配置上电后是从 boot loader 启动还是从 flash 启动。默认为从 flash 启动，设置为 0x5A 从 boot loader 启动，boot loader 运行到 0x5FF 不会继续读取 NVR 数据
	---	-
	0x6e0-0x6ff	该 32 个字节写入 0xaa，重新上电后 NVR14 不可访问
NVR15	0x700	该字节为 0xaa 时 bandgap trimming 值有效
	0x701	Bandgap trimming 值，上电后自动加载
	0x702	该字节为 0xaa 时 LDO trimming 值有效
	0x703	LDO trimming 值，上电后自动加载
	0x704	该字节为 0xaa 时 ADC bandgap trimming 值有效
	0x705	ADC bandgap trimming 值，上电后自动加载
	0x706	该字节为 0xaa 时 LRC 时钟配置值有效
	0x707	LRC 时钟配置值，上电后自动加载

	0x708	-
	0x709	该字节为 0xaa 时 HRC 时钟配置值有效
	0x70a	HRC 时钟配置值，上电后自动加载
	---	-
	0x730	该字节为 0xaa 时 ADC 校正配置数据有效
	0x731	外部基准符号位，第 1 位为 K 参数符号位，第 0 位为 M 参数符号位
	0x732	外部基准 K 参数
	0x733	外部基准 M 参数
	0x734	内部基准符号位，第 1 位为 K 参数符号位，第 0 位为 M 参数符号位
	0x735	内部基准 K 参数
	0x736	内部基准 M 参数
	---	-
	0x740	CHIPID 低八位
	0x741	CHIPID 低高位
	0x742-0x74f	滚码区，编码方式：年月日+编码数字
	---	-
	0x760-0x77f	该 32 个字节写入 0xaa，重新上电后 NVR15 不可擦写
NVR16	0x780-0x7ff	Flash 配置数据，不可访问

访问 NVR 数据区

如下图所示为访问 NVR 数据区流程图，相关示例程序请参考 WS51F0030 应用手册。需要说明的是，在擦操作时往 FSCMD 写入擦命令或在写操作时往 FSDAT 写入数据时，CPU 会自动暂停，以避免因为中断等原因导致擦写操作中止。

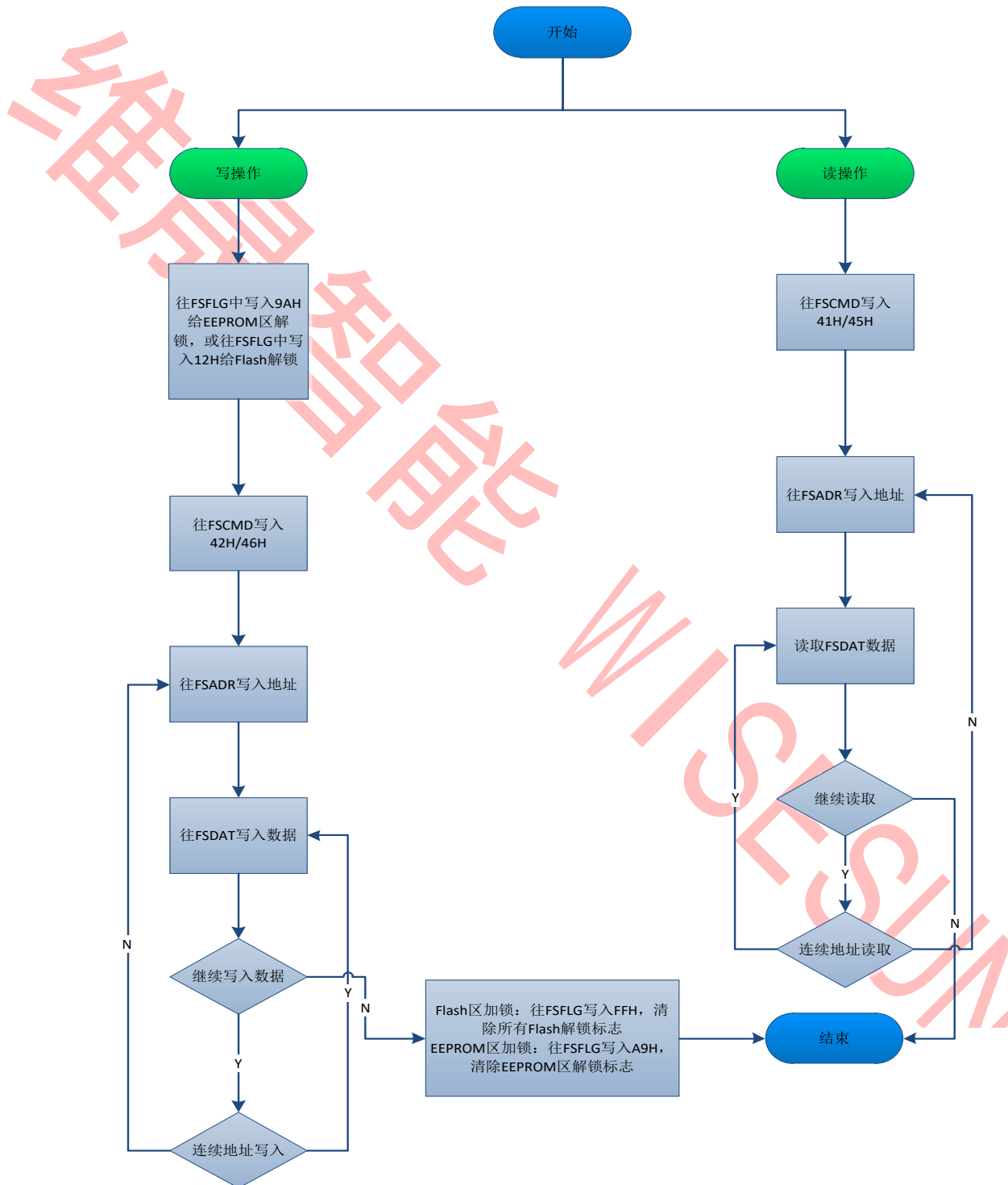
图 7.2.3-2 访问 NVR 数据区流程图



7.2.4 EEPROM 数据区

芯片内置了 128B 的 EEPROM 数据区，读写该区不需要擦可直接改写，主要用于存储需要掉电保留的数据。EEPROM 数据区操作流程如下图所示。

图 7.2.4-1 访问用户数据区流程图



7.2.5 寄存器描述
表 7.2.5-1 寄存器 MECON

8300H	7	6	5	4	3	2	1	0
MECON	DPSTB	-	-	-	-	IDERR	BOOT	
R/W	R/W	-	-	-	-	R	R/W	
初始值	0	-	-	-	-	0	0	0
位编号	位符号	说明						
7	DPSTB	IDLE/STOP 模式下 Flash 进入睡眠模式控制位 0: IDLE/STOP 模式下, Flash 处于正常工作模式 1: IDLE/STOP 模式下, Flash 进入睡眠模式 备注: 如果 DPSTB=1, 当芯片进入 IDLE/STOP 模式, Flash 也同时进入睡眠模式, Flash 在睡眠模式的功耗为 50nA, 当芯片退出 IDLE/STOP 模式, Flash 也同时退出睡眠模式。						
6-3	-	-						
2	IDERR	用户 IDCODE 寄存器配置错误						
1-0	BOOT	设置软复位后程序启动空间选择位域 00: 复位后程序从 Flash 启动运行 01: 软复位后程序从外部 RAM 启动运行 10/11: 软复位后程序从 Boot Loader 启动运行						

表 7.2.5-2 寄存器 FSCMD

8301H	7	6	5	4	3	2	1	0
FSCMD	NVRE	EEPE	-	-	CMD			
R/W	NVRE	EEPE	-	-	R/W			
初始值	0	0	-	-	0	0	0	0
位编号	位符号	说明						
7	NVRE	NVR 区选择信号						
6	EEPE	EEPROM 区选择信号						
5-4	-	-						
3-0	CMD	命令寄存器 读写主数据区时 0000: 无操作 0001: 读 Flash DATA 区 0010: 写 Flash DATA 区 0011: 擦除 Flash DATA 区一个扇区 0100: Flash 整片擦除 0101: 读 Flash CODE 区 0110: 写 Flash CODE 区 0111: 擦除 Flash CODE 区一个扇区 1xxx: CKSUM 当前 Flash 扇区						

	读写 NVR/EEPROM 区时 0000: 无操作 0001/0101: 读数据区 0010/0110: 写数据区 0011/0111: 擦除数据区 1xxx: CKSUM 当前 Flash 扇区 备注: 1. 擦除命令执行后 CMD 自动清零。 2. 读和写命令写入后 CMD 保持不变然后通过读写 FSDAT 完成。
--	--

表 7.2.5-3 寄存器 BTMSK

8302H	7	6	5	4	3	2	1	0
BTMSK	BTMSK							
R/W	R/W							
初始值	1	1	1	1	1	1	1	1
位编号	位符号	说明						
7-0	BTMSK	位掩膜寄存器，分别对应操作寄存器的第 7-0 位						

表 7.2.5-4 寄存器 FSDAT

8303H	7	6	5	4	3	2	1	0
FSDAT	FSDAT[7:0]							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7-0	FSDAT	Flash 数据寄存器						

表 7.2.5-5 寄存器 FSFLG

8304H	7	6	5	4	3	2	1	0
FSFLG	-	-	-	FFLG	CFLG	DFLG	NFLG	EFLG
R/W	-	-	-	R	R	R	R	R
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7-5	-	-						
4	FFLG	Flash 解锁标志, 往 FSFLG 寄存器写入 0x12 解锁 Flash 区, 写入 0x21 锁定 Flash 区						
3	CFLG	CODE 区解锁标志, 往 FSFLG 寄存器写入 0x34 解锁 CODE 区, 写入 0x43 锁定 CODE 区						
2	DFLG	DATA 区解锁标志, 往 FSFLG 寄存器写入 0x56 解锁 DATA 区, 写入 0x65 锁定 DATA 区						
1	NFLG	NVR 区解锁标志, 往 FSFLG 寄存器写入 0x78 解锁 DATA 区, 写入 0x87 锁定 DATA 区						

0	EFLG	EEPROM 区解锁标志, 往 FSFLG 寄存器写入 0x9A 解锁 DATA 区, 写入 0xA9 锁定 DATA 区
---	------	---

表 7.2.5-6 寄存器 PADR

8305H	7	6	5	4	3	2	1	0
PADR	PADR							
R/W	R/W							
初始值	0	1	0	0	0	0	0	0
位编号	位符号	说明						
7-0	PADR	CODE 区和 DATA 区划分配置寄存器, 程序区和数据区以 128 字节为单位进行划分: 程序区的地址空间为: 0 ~ (PADR ×128 - 1) 数据区的地址空间为: (PADR ×128) ~最大 Flash 地址						

表 7.2.5-7 寄存器 FSADR

8306H	7	6	5	4	3	2	1	0
FSADRL	FSADR[7:0]							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0
8307H	7	6	5	4	3	2	1	0
FSADRH	-	FSADR[14:8]						
R/W	-	R/W						
初始值	-	0	0	0	0	0	0	0
位编号	位符号	说明						
15	-	-						
14-0	FSADR	目标地址指针寄存器						

表 7.2.5-8 寄存器 CKSUM

8308H	7	6	5	4	3	2	1	0
CKSUML	CKSUM[7:0]							
R/W	R							
初始值	0	0	0	0	0	0	0	0
8309H	7	6	5	4	3	2	1	0
CKSUMH	CKSUM[15:8]							
R/W	R							
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
15-0	CKSUM	Check Sum 累加计数结果						

表 7.2.5-9 寄存器 IDCODE

830AH	7	6	5	4	3	2	1	0
IDCODE0	IDCODE[7:0]							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0
830BH	7	6	5	4	3	2	1	0
IDCODE1	IDCODE[15:8]							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0
830CH	7	6	5	4	3	2	1	0
IDCODE2	IDCODE[23:16]							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
23-0	IDCODE	用户 ID 寄存器。开启用户 ID 功能后，如果 ID 寄存器内容如果和 NVR1 区的 ID 数据不一致，IDERR 寄存器会拉高。在写 IDCODE2 寄存器时芯片会产生一次判断。						

7.3 定时器 0/1/2/3

7.3.1 定时器 0

定时器或计数器功能通过控制位 CT0 来选择，CT0=0 选择为定时器，CT0=1 选择为计数器。作为定时器时，时钟是系统时钟的 12 分频。作为计数器时，时钟是 T0 端口的输入。由于检测 T0 输入边沿变化需要 2 个时钟周期，所以作为计数器时最大的输入波特率是内部系统时钟频率的 1/2。T0 输入信号在占空比上没有限制，为了完全识别 0 或 1 的状态，信号至少需要保持 1 个内部系统时钟周期时间。定时器 0 有 4 个工作模式，通过模式选择位 TOM0 和 TOM1 来选择。

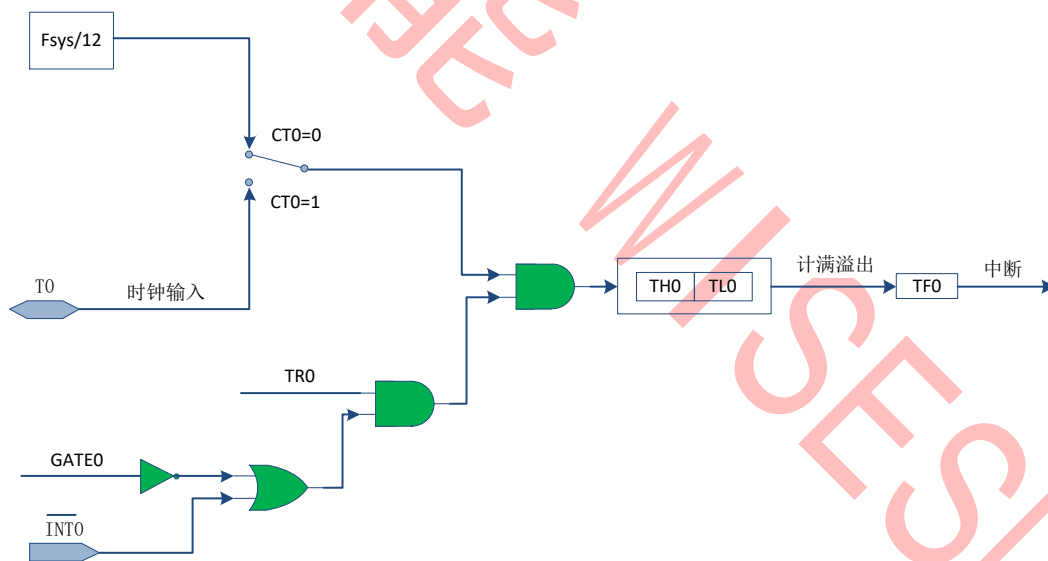
7.3.1.1 模式 0

在此模式下，定时器 0 作为 13 位定时器/计数器，寄存器 TH0 存放 13 位定时器/计数器的高 8 位，寄存器 TLO 的低 5 位存放定时器/计数器低 5 位，TLO 的高 3 位是无效的，在读取时应被忽略。当定时器 0 溢出，中断标志位 TF0 会被置 1。中断响应后，TF0 位会自动清 0。当 GATE0=0 时，定时器/计数器由 TR0 位使能计数，当 GATE0=1 时，定时器/计数器由端口 INTO 控制使能，INTO 为高电平时计数，INTO 为低电平时则停止计数。

7.3.1.2 模式 1

此模式下，定时器 0 作为 16 位定时器/计数器，除此之外，功能与模式 0 完全相同。

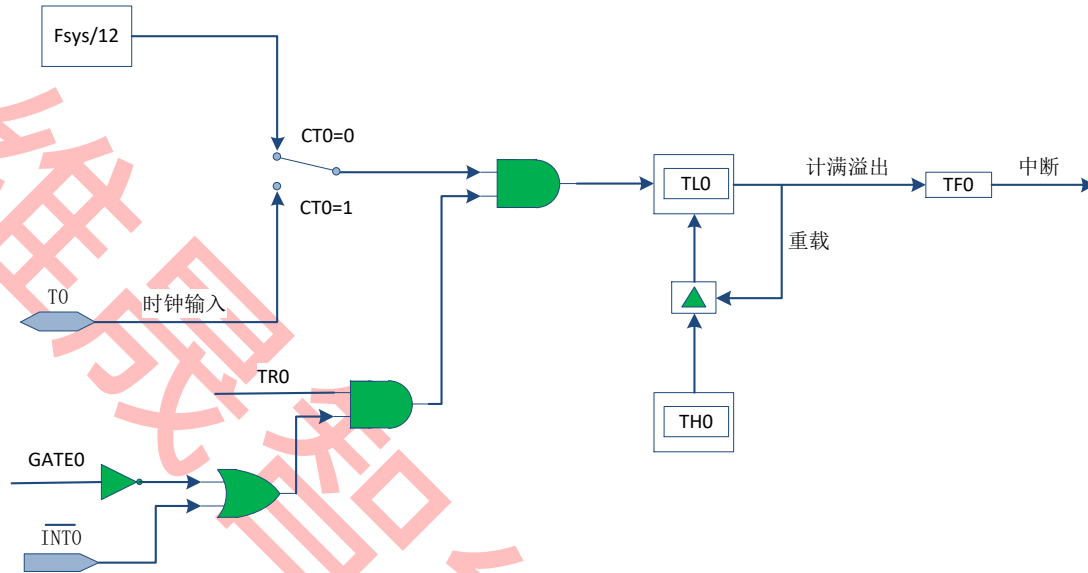
图 7.3.1-1 定时器 0 的模式 0 与 1



7.3.1.3 模式 2

在此模式中，定时器 0 作为 8 位自动重载定时器/计数器，只有 TLO 自动累加。当 TLO 计数溢出时，不但产生中断标志 TF0，而且从 TH0 中自动装载计数初始值到 TLO。其他设置方法和模式 0、1 相同。

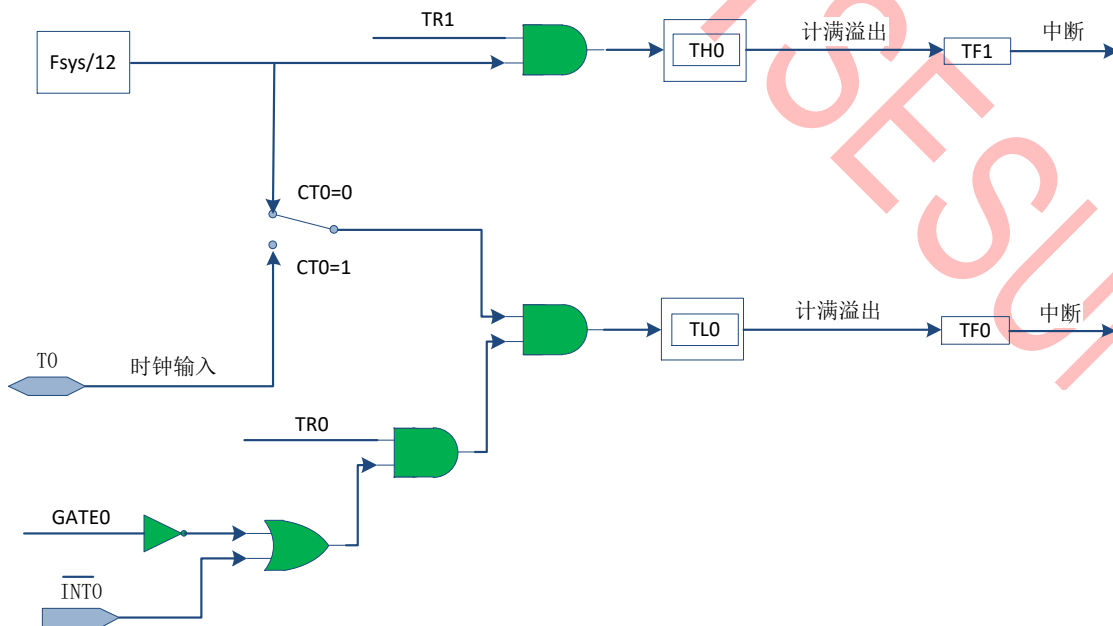
图 7.3.1-2 定时器 0 的模式 2



7.3.1.4 模式 3

在此模式中，TLO 和 TH0 作为两个独立的 8 位定时器/计数器。TLO 可以作为定时器或计数器，而 TH0 只能作为定时器。其中 TLO 占用定时器 0 的控制位 CT0、GATE0、TR0、TF0、INT0，而 TH0 占用定时器 1 的控制位 TR1、TF1。其他控制方法和模式 0、1 相同。当定时器 0 工作于模式 3 时，定时器 1 和 TH0 共用控制位 TR1，但定时器 1 由于 TF1 已被 TH0 占用，所以只能工作于不需要产生中断的场合，例如作为 UART0 的波特率产生器。

图 7.3.1-3 定时器 0 的模式 3



7.3.2 定时器 1

定时器或计数器功能通过 CT1 来选择，CT1=0 选择为定时器，CT1=1 选择为计数器。作为定时器时，时钟是系统时钟的 12 分频。作为计数器时，时钟是 T1 的输入时钟。由于检测 T1 输入边沿变化需要 2 个时钟周期，所以作为计数器时最大的输入波特率是内部系统时钟频率的 1/2。T1 输入信号在占空比上没有限制，然而为了完全识别 0 或 1 的状态，信号至少需要保持 1 个内部系统时钟周期时间。定时器 1 有 4 个工作模式，通过 T1M0 和 T1M1 来选择。

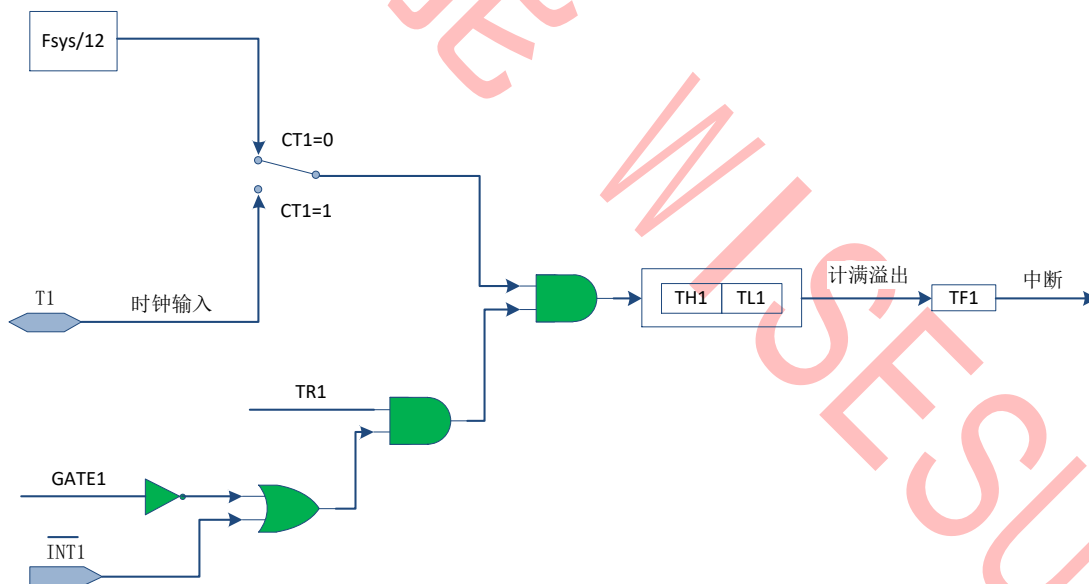
7.3.2.1 模式 0

在此模式下，定时器 1 作为 13 位定时器/计数器，TH1 存放 13 位定时器/计数器的高 8 位，TL1[4:0]存放低 5 位，而 TL1[7:5]是无效的，在读取时应被忽略。当定时器 1 溢出，中断标志位 TF1 会被置 1。中断响应后，TF1 位会自动清 0。当 GATE1=0 时，定时器/计数器由 TR1 位使能计数，当 GATE1=1 时，定时器/计数器由端口 INT1 控制使能，INT1 为高电平时计数，INT1 为低电平则停止计数。

7.3.2.2 模式 1

在此模式下，定时器 1 作为 16 位定时器/计数器，TH1 存放 16 位定时器/计数器的高 8 位，TL1 存放低 8 位。当定时器 1 溢出，中断标志位 TF1 会被置 1。中断被响应后，TF1 位会自动清 0。当 GATE1=0 时，定时器/计数器由 TR1 位使能计数，当 GATE1=1 时，定时器/计数器由端口 INT1 控制使能，INT1 为高电平时计数，INT1 为低电平则停止计数。

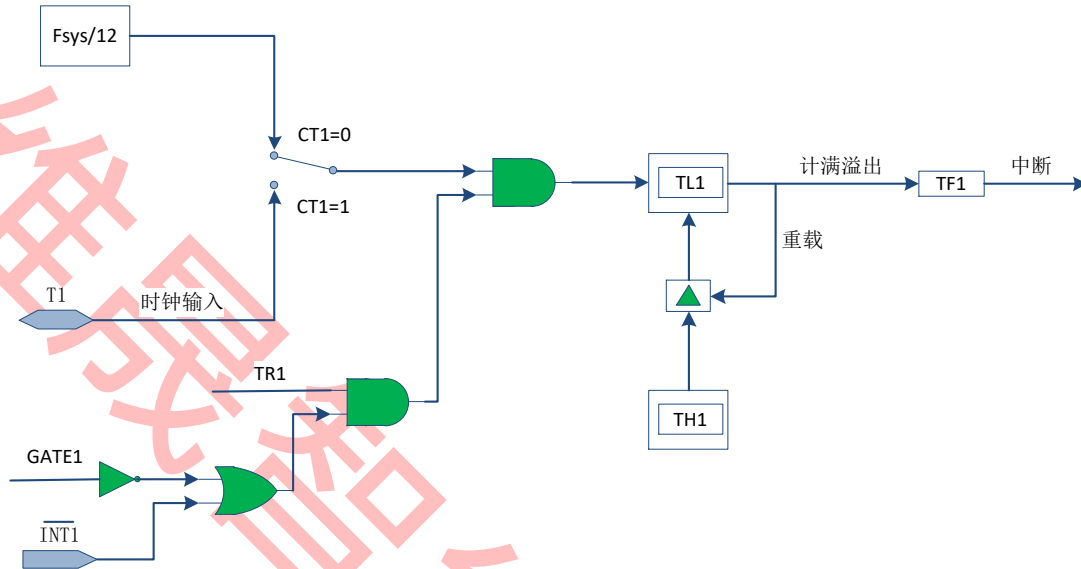
图 7.3.2-1 定时器 1 的模式 0 和 1



7.3.2.3 模式 2

在此模式中，定时器 1 作为 8 位自动重载定时器/计数器，只有 TL1 自动累加。当 TL1 计数溢出时，不但产生中断标志 TF1，而且从 TH1 中自动装载计数初始值到 TL1。其他设置方法和模式 0、1 相同。

图 7.3.2-2 定时器 1 的模式 2



7.3.2.4 模式 3

此模式下，TH1、TL1 会被锁住，等效于 TR1=0。

7.3.3 定时器 2

定时器 2 是一个 16 位 (TH2、TL2) 的定时器或计数器，其定时或计数功能通过 CT2 来选择，CT2=0 选择为定时功能，CT2=1 选择为计数功能。作为计数器时，其输入时钟为 T2 引脚。

定时器 2 有 4 种工作模式：重载模式、抓取模式、波特率产生器模式和时钟输出模式。

T2 引脚为定时器 2 的时钟输入输出引脚，在时钟输出模式，该引脚输出可编程时钟，而在其他模式，T2 为时钟输入引脚。T2EX 引脚为定时器 2 的门控信号，在使用 T2EX 边沿时，可通过 T2XPS 选择是上升沿还是下降沿。

定时器 2 的计数溢出标志为 TF2，T2EX 的边沿触发标志为 EXF2，而在波特率产生器模式和时钟输出模式，定时器不会产生任何标志。

7.3.3.1 重载模式

重载模式有两种工作方式：模式 0 和模式 1。

当 DCEN 为 0 时，设置 CPRL2 为 0 则进入重载模式 0，如图 7.3.3-1 所示。此时如果 EXEN2 也为 1，则 T2EX 边沿和计数溢出时将触发重载，否则只有计数溢出才能触发重载。

当 DCEN 为 1 时则进入重载模式 1，如图 7.3.3-2 所示。此时 T2EX 为低时定时器递减计数，T2EX 为高时定时器递增计数。EXF2 标志不再产生中断，而是作为计数器得第 17 位翻转。

图 7.3.3-1 定时器 2 的重载模式 0

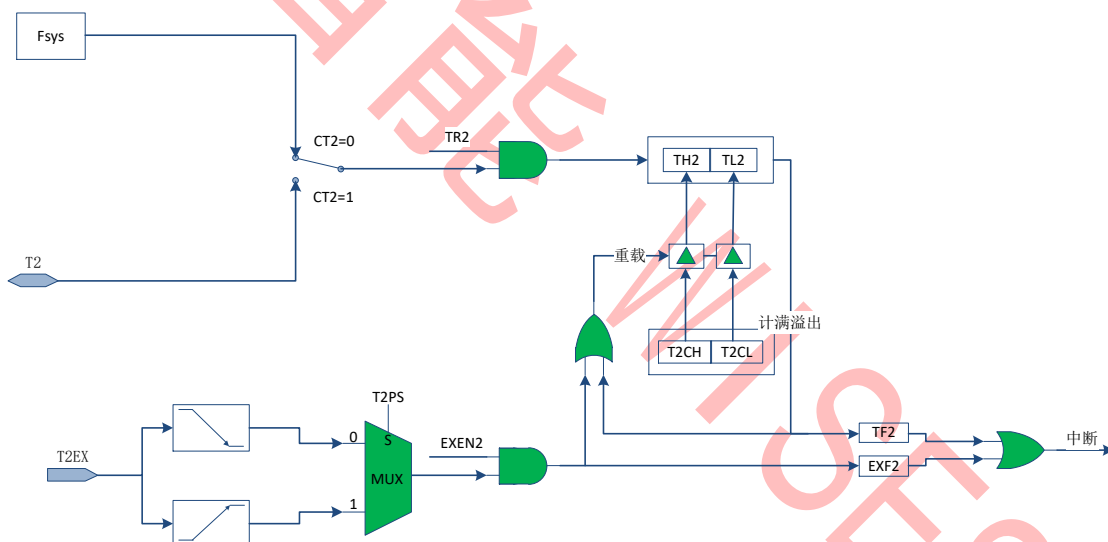
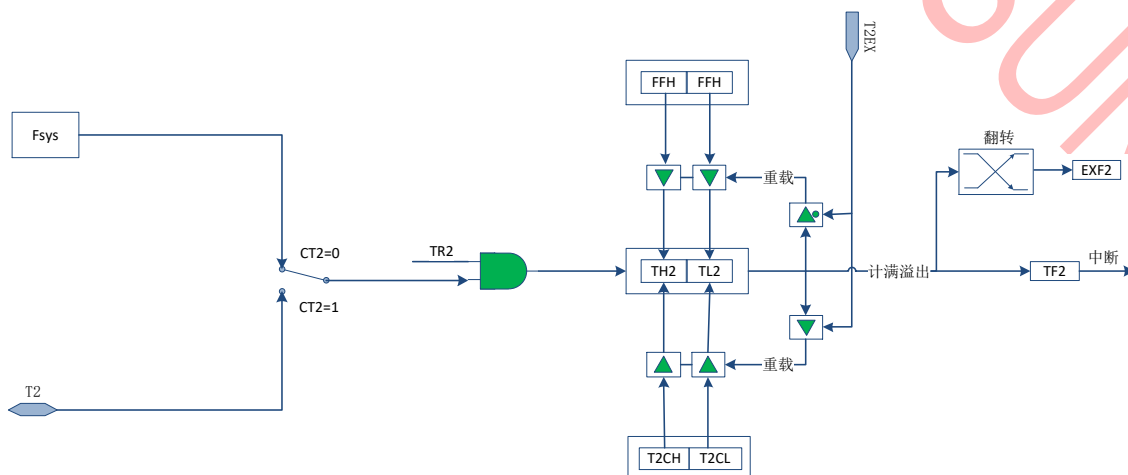


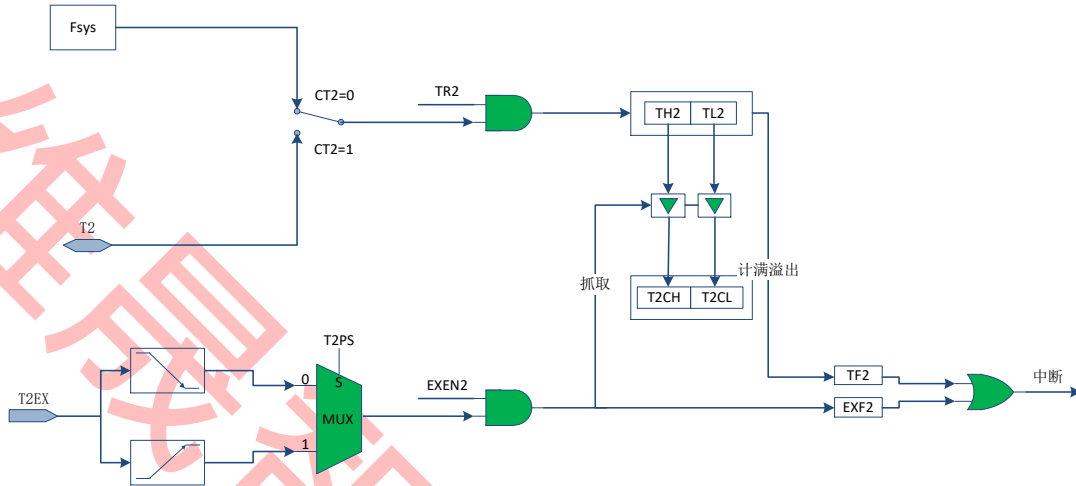
图 7.3.3-2 定时器 2 的重载模式 1



7.3.3.2 抓取模式

设置 CPRL2 为 1 则进入抓取模式。如果设置 T2CM 为 0，且 EXEN2 为 1，则由 T2PS 选择 T2EX 上沿或下沿触发抓取操作。如果设置 T2CM 为 1，则软件写入寄存器 T2CL 将触发一次抓取操作。

图 7.3.3-3 定时器 2 的抓取模式



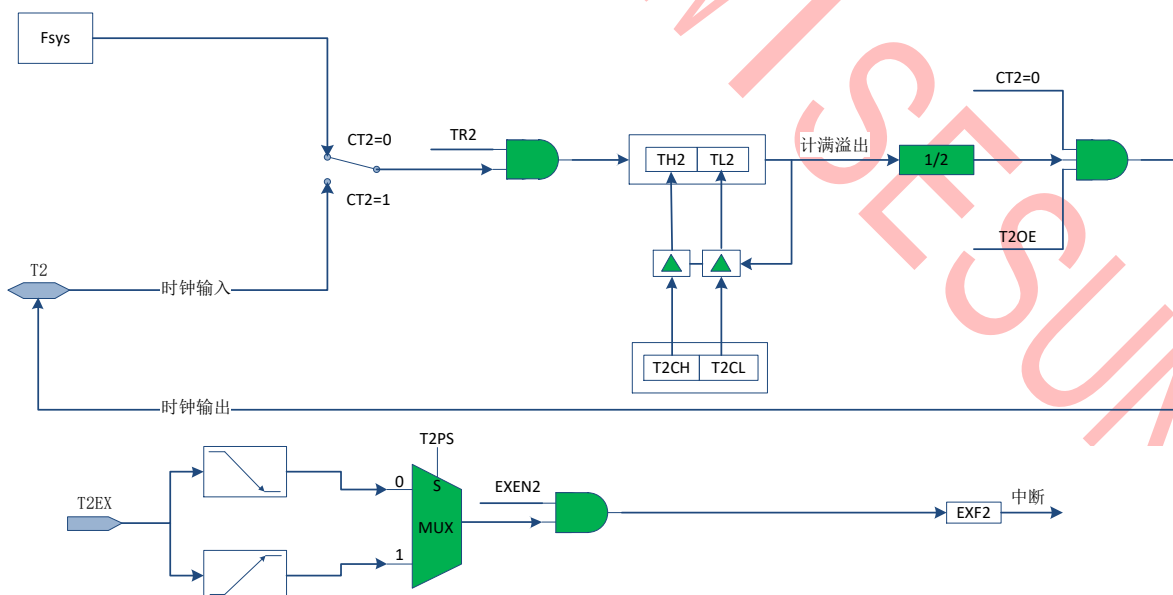
7.3.3.3 波特率产生器模式

设置 RCLK 或 TCLK 为 1 则进入波特率产生器模式，此时定时器自动进入计数溢出重载模式，相关波特率产生参考 8.3.2 UART0 章节。

7.3.3.4 时钟输出模式

设置 T2OE 为 1 则进入时钟输出模式，此时定时器自动进入计数溢出重载模式，T2 引脚输出频率为 2 倍溢出周期的时钟。此模式不能使用 T2 作为时钟输入。

图 7.3.3-4 定时器 2 的时钟输出模式



7.3.4 定时器 3

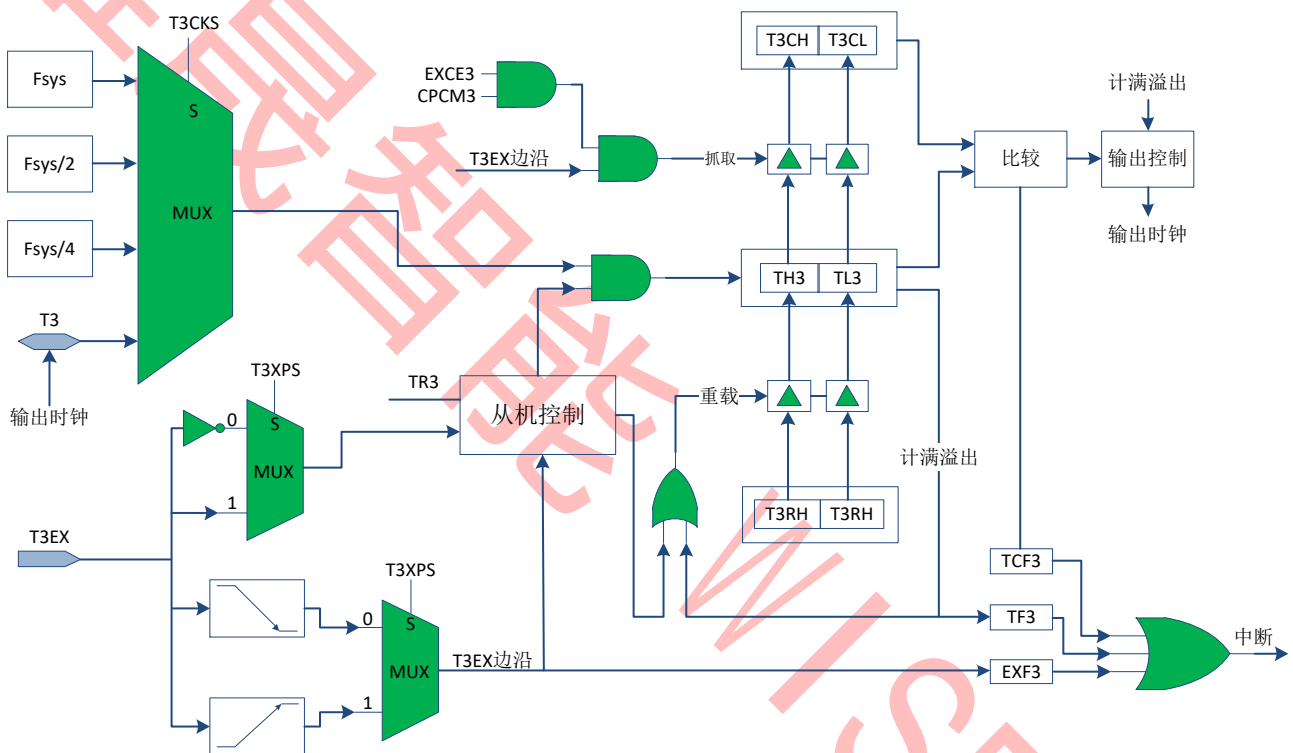
定时器 3 是一个 16 位 (TH2、TL2) 向上自动重载计数的定时器或计数器，其时钟可由 T3CKS 选择系统时钟、系统时钟/2、系统时钟/4 或外部输入时钟 T3 (此时定时器 3 用作计数器)。

定时器 3 具有从机功能，可由 T3EX 对定时器 3 的计数行为进行控制，有门控模式、重载模式，触发模式三种控制模式。

定时器 3 具有抓取功能，可随时抓取计数值 TL3 和 TH3 的值到寄存器 T3CL 和 T3CH；还具有比较功能，可以将计数值 TL3 和 TH3 的值和寄存器 T3CL 和 T3CH 的值进行比较，产生中断或波形输出。

定时器 3 具有时钟输出功能，配合比较功能，可以输出占空比可配的时钟。

图 7.3.4-1 定时器 3 结构图



从机功能

从机模式选择:

配置 T3XM 为 00: T3EX 不控制定时器 3 计数，自动重载计数；

配置 T3XM 为 01: 门控模式: T3EX 为有效电平时，定时器 3 进行计数，否则计数暂停；

配置 T3XM 为 10: 重载模式: T3EX 有效沿触发定时器 3 计数重载；

配置 T3XM 为 11: TR3 置 1 后，需等一次 T3EX 有效沿才开始计数；

自动重载

定时器 3 是自动重载向上计数的，在计数溢出或从机功能中选择重载模式由 T3EX 触发时，进行硬件自动重载，软件可直接改写 T3L 和 T3H 为重载值进行软件重载。

抓取功能

设置 EXCE3 和 CPCM3 为 1 选择抓取功能。由 T3XPS 选择 T3EX 上沿或下沿触发抓取操作。软件写入寄存器 T2CL 也可以触发一次抓取操作。

比较功能和时钟输出

设置 CPCM3 为 0 选择比较功能。当计数值 TL3 和 TH3 的值和寄存器 T3CL 和 T3CH 的值相等时,产生中断 TCF3。
 T3OE 置 1 选择 T3I 输出时钟后:

如果 CPCM3 为 1, 则输出波形计数值等于比较值时置 1, 在计数溢出时清零;

如果 CPCM3 为 0, 则输出波形只在计数溢出时翻转

7.3.5 寄存器描述
表 7.3.5-1 寄存器 TCON

88H	7	6	5	4	3	2	1	0
TCON	TF1	TR1	TF0	TR0	IE1	IT1	IE0	IT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7	TF1	定时器 0 模式 3 的 TH0 溢出/定时器 1 溢出标志位, 中断响应后自动清 0.						
6	TR1	定时器 1 运行控制位, 1 有效						
5	TF0	定时器 0 溢出标志位, 中断响应后自动清 0.						
4	TR0	定时器 0 运行控制位, 1 有效						
3	IE1	外部中断 1 使能位, 1 有效						
2	IT1	外部中断 1 触发类型控制位 0: 外部中断 1 在输入管脚低电平时触发 1: 外部中断 1 在输入管脚下降沿时触发						
1	IE0	外部中断 0 使能位, 1 有效						
0	IT0	外部中断 0 触发类型控制位 0: 外部中断 0 在输入管脚低电平时触发 1: 外部中断 0 在输入管脚下降沿时触发						

表 7.3.5-2 寄存器 TMOD

89H	7	6	5	4	3	2	1	0
TMOD	GATE1	CT1	T1M1	T1M0	GATE0	CT0	T0M1	T0M0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7	GATE1	定时器 1 门控控制位, 1 有效。有效时定时器 1 由 INT1 控制开关						
6	CT1	定时器 1 计数器/定时器选择位 0: 定时器, 时钟为系统时钟 12 分频 1: 计数器, 时钟为 T1 输入时钟						
5	T1M1	[T1M1,T1M0]为定时器 1 模式选择位 00: 模式 0, TL1 和 TH1 组成 13 位定时器/计数器 01: 模式 1, TL1 和 TH1 组成 16 位定时器/计数器 10: 模式 2, TL1 作为 8 位定时器/计数器, TH1 作为自动重载寄存器						
4	T1M0							

		11: 模式 3, 此模式会锁住 TH1/TL1, 等效于 TR1=0
3	GATE0	定时器 0 门控控制位, 1 有效。有效时定时器 0 由 INTO 控制开关
2	CT0	定时器 0 计数器/定时器选择位 0: 定时器, 时钟为系统时钟 12 分频 1: 计数器, 时钟为 T0 输入时钟
1	TOM1	[TOM1,TOM0]为定时器 0 模式选择位 00: 模式 0, TLO 和 TH0 组成 13 位定时器/计数器 01: 模式 1, TLO 和 TH0 组成 16 位定时器/计数器
0	TOM0	10: 模式 2, TLO 作为 8 位定时器/计数器, TH0 作为自动重载寄存器 11: 模式 3, TLO 和 TH0 作为两个完全独立的 8 位定时器/计数器

表 7.3.5-3 寄存器 TLO

8AH	7	6	5	4	3	2	1	0
TLO	TLO							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7-0	TLO	定时器 0 模式 0/1 计数值的低字节, 模式 2/3 计数值						

表 7.3.5-4 寄存器 TH0

8CH	7	6	5	4	3	2	1	0
TH0	TH0							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7-0	TH0	定时器 0 模式 0/1 计数值的高字节, 模式 2 重载值, 模式 3 计数值						

表 7.3.5-5 寄存器 TL1

8BH	7	6	5	4	3	2	1	0
TL1	TL1							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7-0	TL1	定时器 1 模式 0/1 计数值的低字节, 模式 2/3 计数值						

表 7.3.5-6 寄存器 TH1

8DH	7	6	5	4	3	2	1	0
TH1	TH1							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0

位编号	位符号	说明
7-0	TH1	定时器 1 模式 0/1 计数值的高字节, 模式 2 重载值, 模式 3 计数值

表 7.3.5-7 寄存器 T2CON

C8H	7	6	5	4	3	2	1	0
T2CON	TF2	EXF2	RCLK	TCLK	EXEN2	TR2	CT2	CPRL2
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

位编号	位符号	说明
7	TF2	定时器 2 溢出标志位。当 RCLK 或 TCLK 为 1, TF2 不会被置 1
6	EXF2	T2EX 触发标志。在 EXEN2=1 时, T2EX 边沿将触发 EXF2 并产生中断。当 DCEN=1 时, EXF2 标志不产生中断, 此时 EXF2 作为计数器得第 17 位。
5	RCLK	UART0 在模式 1 和 3 时使用定时器 1/2 作为接收波特率时钟 0: 定时器 1 1: 定时器 2
4	TCLK	UART0 在模式 1 和 3 时使用定时器 1/2 作为发送波特率时钟 0: 定时器 1 1: 定时器 2
3	EXEN2	T2EX 使能信号, 在定时器没有作为 UART0 波特率时钟时 T2EX 有效
2	TR2	定时器 2 启动信号, 1 有效
1	CT2	定时功能或计数功能选择信号 0: 定时功能 1: 计数功能
0	CPRL2	抓取或重载功能选择信号。当 RCLK 或 TCLK 为 1 时, 定时器强制进入 Timer 2 重载模式 0: 重载功能 1: 抓取功能

表 7.3.5-8 寄存器 T2MOD

C9H	7	6	5	4	3	2	1	0
T2MOD	T2IE	-	-	T2CM	T2XPS	T2PS	T2OE	DCEN
R/W	R/W	-	-	R/W	R/W	R/W	R/W	R/W
初始值	0	-	-	0	0	0	0	0

位编号	位符号	说明
7	T2IE	定时器 2 中断使能
6-5	-	-
4	T2CM	定时器 2 抓取模式选择 0: T2EX 触发抓取 1: 软件写 T2CL 抓取
3	T2XPS	T2EX 有效边沿选择 0: 下降沿 1: 上升沿

2	T2PS	T2I 边沿选择 0: 下降沿 1: 上升沿
1	T2OE	定时器 2 时钟输出模式使能
0	DCEN	重载模式 B 的使能位, 1 有效

表 7.3.5-9 寄存器 T2CL

CAH	7	6	5	4	3	2	1	0
T2CL	T2CL							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7-0	T2CL	在重载模式, T2CL 是重载值的低字节 在比较模式, T2CL 是比较值的低字节 在抓取模式, T2CL 保存捕获值的低字节						

表 7.3.5-10 寄存器 T2CH

CBH	7	6	5	4	3	2	1	0
T2CH	T2CH							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7-0	T2CH	在重载模式, T2CH 是重载值的高字节 在比较模式, T2CH 是比较值的高字节 在捕获模式, T2CH 保存捕获值的高字节						

表 7.3.5-11 寄存器 TL2

CCH	7	6	5	4	3	2	1	0
TL2	TL2							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7-0	TL2	定时器 2 计数值的低字节						

表 7.3.5-12 寄存器 TH2

CDH	7	6	5	4	3	2	1	0
TH2	TH2							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						

7-0	TH2	定时器 2 计数值的高字节
-----	-----	---------------

表 7.3.5-13 寄存器 T3CON

B2H	7	6	5	4	3	2	1	0
T3CON	TF3	EXF3	TCF3	T3CKS		TR3	EXCE3	CPCM3
R/W	WOC/R	WOC/R	WOC/R	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7	TF3	定时器 3 溢出标志位。						
6	EXF3	定时器 3 从机模式下, T3EX 触发标志。						
5	TCF3	抓取/比较中断标志位。						
4-3	T3CKS	定时器 3 时钟源选择: 00: 系统时钟 01: 系统时钟/2 10: 系统时钟/4 11: 外部时钟 TI3						
2	TR3	定时器 3 启动信号, 1 有效						
1	EXCE3	T3EX 抓取功能使能信号 0: T3EX 不能触发抓取 1: T3EX 有效边沿触发抓取						
0	CPCM3	抓取/比较功能选择信号。 0: 抓取功能 1: 比较功能						

表 7.3.5-14 寄存器 T3MOD

B3H	7	6	5	4	3	2	1	0
T3MOD	T3IE	T3EIE	T3CIE	T3EM		T3XPS	T3PS	T3OE
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7	T3IE	定时器 3 中断使能						
6	T3EIE	定时器 3 从机模式下, T3EX 有效边沿触发中断使能。						
5	T3CIE	抓取/比较中断使能。						
4-3	T3XM	T3EX 从机模式选择: 00: T3EX 不控制定时器 3 计数, 自动重载计数 01: 门控模式: T3EX 为有效电平时, 定时器 3 进行计数, 否则计数暂停 10: 重载模式: T3EX 有效沿触发定时器 3 计数重载 11: TR3 置 1 后, 需等一次 T3EX 有效沿才开始计数						
2	T3XPS	T3EX 有效边沿/电平选择 0: 下降沿/低电平 1: 上升沿/高电平						
1	T3PS	T3I 边沿选择						

		0: 下降沿 1: 上升沿
0	T3OE	定时器 3 时钟输出使能, 1 有效。 T3OE 置 1 后: 如果 CPCM3 为 1, 则输出波形计数值等于比较值时置 1, 在计数溢出时清零; 如果 CPCM3 为 0, 则输出波形只在计数溢出时翻转;

表 7.3.5-15 寄存器 T3RL

B4H	7	6	5	4	3	2	1	0
T3RL	T3RL							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7-0	T3RL	定时器 3 重载值的低字节						

表 7.3.5-16 寄存器 T3RH

B5H	7	6	5	4	3	2	1	0
T3RH	T3RH							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7-0	T3RH	定时器 3 重载值的高字节						

表 7.3.5-17 寄存器 T3CL

B6H	7	6	5	4	3	2	1	0
T3CL	T3CL							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7-0	T3CL	T3CL 保存抓取值/比较值的低字节						

表 7.3.5-18 寄存器 T3CH

B7H	7	6	5	4	3	2	1	0
T3CH	T3CH							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7-0	T3CH	T3CH 保存抓取值/比较值的高字节						

表 7.3.5-19 寄存器 TL3

AEH	7	6	5	4	3	2	1	0
TL3	TL3							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7-0	TL2	定时器 3 计数值的低字节						

表 7.3.5-20 寄存器 TH3

AFH	7	6	5	4	3	2	1	0
TH3	TH3							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7-0	TH3	定时器 3 计数值的高字节						

7.4 IO 端口

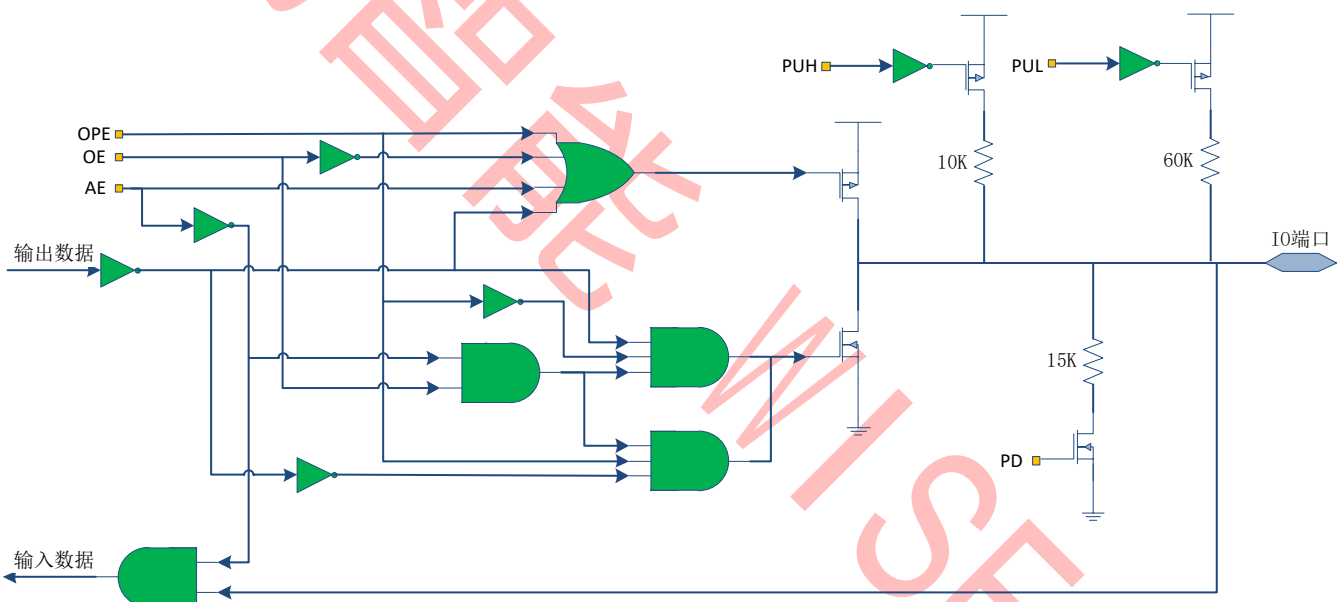
7.4.1 简介

WS51F0030 系列芯片除电源和地端口外，还有 26 个可编程多功能 I/O 端口，其主要特点如下。

- 可配置为高阻模式
- I/O 结构可独立设置强上拉（10KΩ）、弱上拉（60KΩ）和强下拉（15KΩ）
- 输出模式可选开漏输出或推挽输出
- 数据输出锁存支持读-修改-写
- 支持 1.7-5.5V 宽电压范围
- 设为推挽输出时，推电流大于 25mA，灌电流大于 50mA

IO 端口结构图如下图所示。

图 7.4.1-1 I/O 端口结构示意图



备注：

- OPE: IO 端口开漏使能信号
- OE: IO 端口输出使能信号
- AE: IO 端口模拟功能使能信号
- PUH: IO 端口强上拉使能信号
- PUL: IO 端口弱上拉使能信号
- PD: IO 端口下拉使能信号

7.4.2 IO 端口功能复用

芯片的 18 个 IO 端口在功能上被不同的外设功能端口复用。每个端口都分配了一个功能设置寄存器 PnxF（分别对应端口 Pnx，其中 n=0-3，代表 P0/P1/P2/P3，x=0-7，代表 Pn.0-Pn.7），用户可通过寄存器 PnxF 配置端口的主功能和其他选项功能。

表 7.4.2-1 IO 端口复用功能映射表

取值 寄存器	0	1	2	3	4	5	6
P00S	高阻	GPIO 输入/T1	GPIO 输出	PWMn	AIN8	SPI_MOSI	高阻
P01S	高阻	GPIO 输入	GPIO 输出	PWMn	高阻	SPI_MISO	高阻
P02S	高阻	GPIO 输入	GPIO 输出	PWMn	高阻	[SCL]	UART1_RX
P03S	高阻	GPIO 输入/T3	GPIO 输出	PWMn	AIN7/AVRF	高阻	高阻
P04S	高阻	GPIO 输入 /T3EX	GPIO 输出	PWMn	AIN6	高阻	ADC_ETR
P05S	高阻	GPIO 输入 /T0	GPIO 输出	PWMn	AIN5	OPP	高阻
P06S	高阻	GPIO 输入	GPIO 输出	PWMn	AIN4	OPN	UART0_TX
P07S	高阻	GPIO 输入	GPIO 输出	PWMn	AIN3	OPOUT	UART0_RX
P10S	高阻	GPIO 输入	GPIO 输出	PWMn	AIN9	SPI_SCK	高阻
P11S	高阻	GPIO 输入 /T2	GPIO 输出	PWMn	AIN10	高阻	高阻
P12S	高阻	GPIO 输入 /T2EX	GPIO 输出	PWMn	AIN11	高阻	高阻
P13S	高阻	GPIO 输入	GPIO 输出	PWMn	高阻	SCL	[ADC_ETR]
P14S	高阻	GPIO 输入	GPIO 输出	PWMn	高阻	SDA	FB
P15S	高阻	GPIO 输入	GPIO 输出 / BUZZER	PWMn	高阻	SPI_CS	高阻
P16S	高阻	GPIO 输入	GPIO 输出	PWMn	AIN0	[SDA]	UART1_TX
P17S	高阻	GPIO 输入	GPIO 输出	PWMn	AIN1	OSCO	高阻
P20S	高阻	GPIO 输入	GPIO 输出	PWMn	高阻	RST	高阻
P21S	高阻	GPIO 输入	GPIO 输出	PWMn	AIN2	OSCI	高阻

备注:

1. 带[]的通道为备选通道, 具有较低优先级。I2C 端口如果同时打开首选和备选通道, 信号会从首选通道输出, 备选通道此时为高阻。
2. GPIO 输入和 T0/T1 共用引脚, 其中 T0/T1 有更高优先级。

7.4.3 寄存器描述
表 7.4.3-1 IO 端口寄存器 Pn

	7	6	5	4	3	2	1	0
Pn	Pn7	Pn6	Pn5	Pn4	Pn3	Pn2	Pn1	Pn0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0
n=0-3, 代表 P0/P1/P2/P3 寄存器地址 P0: 80H P1: 90H P3: B0H								

位编号	位符号	说明
7-0	Pn	端口 Pn 的数据寄存器，IO 端口功能设置为 GPIO 输出时输出该值

表 7.4.3-2 IO 端口功能寄存器 PnxF

	7	6	5	4	3	2	1	0
PnxF	PnxPUS		PnxOPR	-	-	PnxS		
R/W	R/W		R/W	-	-	R/W		
初始值	0	0	0	-	-	0	0	0
n=0-3, 代表 P0/P1/P2/P3 x=0-7, 代表 Pn0/Pn1/ Pn2/Pn3/ Pn4/Pn5/ Pn6/Pn7 寄存器地址 P00F-P07F: 8000H-8007H P10F-P17F: 8008H-800FH P30F-P37H: 8018H-801FH								
位编号	位符号	说明						
7-6	PnxPUS	上下拉电阻使能控制位 0: 没有打开上下拉电阻 1: 60K Ω 上拉电阻打开 2: 10K Ω 上拉电阻打开 3: 15K Ω 下拉电阻打开						
5	PnxOPR	开漏使能控制位，端口设为 GPIO 输出时才有效 0: 开漏关闭 1: 开漏打开						
4-3	-	-						
2-0	PnxS	IO 端口复用功能选择寄存器，见表 7.4.2-1 描述						

7.5 中断系统

7.5.1 简介

WS51F0030 系列芯片有一个增强的中断控制系统，共有 9 个中断入口，如下表所示。

每个中断源有独立的中断向量地址、中断使能位和中断标志。CPU 在响应中断后，进入该中断对应的中断服务程序，接到 RETI 指令后将返回中断前状态。

每个中断源有两级中断优先级，如果同时有多个有效中断产生中断请求，CPU 将根据设置的中断优先级依次响应；如果优先级相同，则根据它们的自然优先级（中断向量地址从低到高）依次响应。

寄存器 IE 和 EXIE 为中断使能寄存器，寄存器 IP 和 EXIP 为中断优先级寄存器，详见 7.5.3 寄存器描述。

表 7.5.1-1 中断向量表

中断	中断源	向量地址	默认优先级
INT0	External Interrupt 0	03H	0
TF0	Timer 0	0BH	1
INT1	External Interrupt 1	13H	2
TF1	Timer 1	1BH	3
RI+TI	UART 0	23H	4
INT2	I2C/Timer2/PWM/LED/External Interrupt 2	2BH	5
INT3	WDT/LVD/WKT/External Interrupt 3	33H	6
INT4	UART1/Timer3/PMS/External Interrupt 4	3BH	7
INT5	ADC/SPI/SCM/External Interrupt 5	43H	8

7.5.2 外部中断

除了标准 8051 的 INT0 和 INT1 以外，系统还扩展了 4 个中断入口 INT2/INT3/INT4/INT5 作为外部中断 EP0/EP1/EP2/EP3，即芯片共有 6 个外部中断入口。每个外部中断都有两种工作模式：模式 0 和模式 1，寄存器 PIMOD 为工作模式选择位，每一位对应一个外部中断入口，所有外部中断都可以用于 IDLE/STOP 模式唤醒。为了提高外部中断的抗干扰性能，芯片集成了模拟滤波器，能滤掉外部端口 300ns 左右的干扰毛刺。

模式 0

当外部中断在模式寄存器 PIMOD 中对应的模式控制位为 0 时，该外部中断处于模式 0。在模式 0，外部中断均可任选一个 IO 端口作为中断触发源，并可单独设置上升沿/下降沿/双沿触发。此时，外部中断 INT0 和 INT1 兼容标准 8051，默认对应 P3.2 和 P3.3。

模式 1

当外部中断在模式寄存器 PIMOD 中对应的模式控制位为 1 时，该外部中断处于模式 1。在模式 1，外部中断复用了芯片的端口寄存器 Pn，当外部端口输入与 Pn 不一致时触发外部中断。另外，在此模式外部中断可选择多组 IO 端口同时作为中断触发源，并且每组端口都有单独的掩码寄存器 PnIMSK，因此在模式 1 下用户可任意配置触发端口个数。。每组端口有单独的掩码寄存器 PnIMSK，因此可以任意配置触发端口的个数，详见相关寄存器描述。

7.5.3 寄存器描述
表 7.5.3-1 中断使能寄存器 IE

A8H	7	6	5	4	3	2	1	0
IE	EA	EINT4	EINT3	ES0	ET1	EINT1	ET0	EINT0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7	EA	全局中断使能控制位 0: 关闭 1: 打开						
6	EINT3	INT4 使能控制位，用于 WDT/LVD/WKT/EP1 中断 0: 关闭 1: 打开						
5	EINT2	INT3 使能控制位，用于 I2C/Timer2/PWM/LED/EPO 中断 0: 关闭 1: 打开						
4	ES0	UART0 中断使能控制位 0: 关闭 1: 打开						
3	ET1	定时器 1 中断使能控制位 0: 关闭 1: 打开						
2	EINT1	中断 1 使能控制位（中断 1 用于外部中断 1） 0: 关闭 1: 打开						
1	ET0	定时器 0 中断使能控制位 0: 关闭 1: 打开						
0	EINT0	0 使能控制位（中断 0 用于外部中断 0） 0: 关闭 1: 打开						

表 7.5.3-2 中断使能寄存器 EXIE

E8H	7	6	5	4	3	2	1	0
IE	-	-	-	-	-	-	EINT5	EINT4
R/W	-	-	-	-	-	-	R/W	R/W
初始值	-	-	-	-	-	-	0	0
位编号	位符号	说明						
7-2	-	-						
1	EINT5	INT5 中断使能控制位，用于 ADC/SPI/SCM/EP3 中断						

		0: 关闭 1: 打开
0	EINT4	INT4 使能控制位, 用于 UART1/TIMER3/PMS/EP2 中断 0: 关闭 1: 打开

表 7.5.3-3 中断优先级寄存器 IP

B8H	7	6	5	4	3	2	1	0
IP	-	PX3	PX2	PS0	PT1	PX1	PT0	PX0
R/W	-	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7	-	-						
6	PX3	INT4 优先级控制位, 用于 WDT/LVD/WKT/EP1 中断 0: 低优先级 1: 高优先级						
5	PX2	INT3 优先级控制位, 用于 I2C/Timer2/PWM/LED/EP0 中断 0: 低优先级 1: 高优先级						
4	PS0	INT2 优先级控制位, 用于 UART0 中断 0: 低优先级 1: 高优先级						
3	PT1	Timer 1 优先级控制位 0: 低优先级 1: 高优先级						
2	PX1	INT1 优先级控制位 0: 低优先级 1: 高优先级						
1	PT0	Timer 0 优先级控制位 0: 低优先级 1: 高优先级						
0	PX0	INT0 优先级控制位 0: 低优先级 1: 高优先级						

表 7.5.3-4 中断优先级寄存器 EXIP

F8H	7	6	5	4	3	2	1	0
EXIP	-	-	-	-	-	-	PX5	PX4
R/W	-	-	-	-	-	-	R/W	R/W
初始值	-	-	-	-	-	-	0	0
位编号	位符号	说明						
7-2	-	-						

1	PX5	INT5 优先级控制位，用于 ADC/SPI/SCM/EP3 中断 0: 低优先级 1: 高优先级
0	PX4	INT4 优先级控制位，用于 UART1/TIMER3/PMS/EP2 中断 0: 低优先级 1: 高优先级

表 7.5.3-5 INTO 控制寄存器 ITOCON

FAH	7	6	5	4	3	2	1	0
ITOCN	ITOP		ITOPS					
R/W	R/W		R/W					
初始值	0	0	0	1	1	0	1	0
位编号	位符号	说明						
7-6	ITOP	当 ITO (TCN[0]) 为 0 时，ITOP 为触发电平选择 00: 低电平 01: 高电平 10/11: 保留 当 ITO (TCN[0]) 为 1 时，ITOP 为触发边沿选择 00: 下降沿 01: 上升沿 10/11: 双沿						
5-0	ITOPS	INTO 中断引脚选择 000000: P00 000001: P01 000010: P02 000011: P03 000100: P04 000101: P05 000110: P06 000111: P07 001000: P10 001001: P11 001010: P12 001011: P13 001100: P14 001101: P15 001110: P16 001111: P17 010000: P20 010001: P21						

表 7.5.3-6 INT1 控制寄存器 IT1CON

FBH	7	6	5	4	3	2	1	0
-----	---	---	---	---	---	---	---	---

ITOCON		IT1P		IT1PS					
R/W		R/W		R/W					
初始值		0	0	0	1	1	0	1	0
位编号	位符号	说明							
7-6	IT1P	当 IT1 (TCON[0]) 为 0 时, IT1P 为触发电平选择 00: 低电平 01: 高电平 10/11: 保留 当 IT1 (TCON[2]) 为 1 时, IT1P 为触发边沿选择 00: 下降沿 01: 上升沿 10/11: 双沿							
5-0	IT1PS	INT1 中断引脚选择 000000: P00 000001: P01 000010: P02 000011: P03 000100: P04 000101: P05 000110: P06 000111: P07 001000: P10 001001: P11 001010: P12 001011: P13 001100: P14 001101: P15 001110: P16 001111: P17 010000: P20 010001: P21							

表 7.5.3-7 EPn 控制寄存器 EPnCON

	7	6	5	4	3	2	1	0	
EPnCON	EPnP			EPnPS					
R/W	R/W			R/W					
初始值	0	0	0	0	0	0	0	0	
n=0-3, EPn 代表 EP0/EP1/EP2/EP3 寄存器地址 EP0CON: DAH EP1CON: DBH EP2CON: DCH EP3CON: DDH									

位编号	位符号	说明
7-6	EPnP	EPnP 为触边沿选择 00: 下降沿 01: 上升沿 10/11: 双沿
5-0	EPnPS	EPn 中断引脚选择 000000: P00 000001: P01 000010: P02 000011: P03 000100: P04 000101: P05 000110: P06 000111: P07 001000: P10 001001: P11 001010: P12 001011: P13 001100: P14 001101: P15 001110: P16 001111: P17 010000: P20 010001: P21

表 7.5.3-8 外部中断使能寄存器 EPIE

D8H	7	6	5	4	3	2	1	0
EPIE	-	-	-	-	EP3IE	EP2IE	EP1IE	EPOIE
R/W	-	-	-	-	R/W	R/W	R/W	R/W
初始值	-	-	-	-	0	0	0	0
位编号	位符号	说明						
7-4	-	-						
3	EP3IE	EP3 中断使能信号						
2	EP2IE	EP2 中断使能信号						
1	EP1IE	EP1 中断使能信号						
0	EPOIE	EPO 中断使能信号						

表 7.5.3-9 外部中断标志寄存器 EPIF

D9H	7	6	5	4	3	2	1	0
EPIE	-	-	-	-	EP3IF	EP2IF	EP1IF	EPOIF
R/W	-	-	-	-	R/W	R/W	R/W	R/W
初始值	-	-	-	-	0	0	0	0

位编号	位符号	说明
7-4	-	-
3	EP3IF	EP3 中断标志
2	EP2IF	EP2 中断标志
1	EP1IF	EP1 中断标志
0	EPOIF	EPO 中断标志

表 7.5.3-10 外部中断模式拓展寄存器 PIMOD

80E8H	7	6	5	4	3	2	1	0
PIMOD	-	-	EP3IM	EP2IM	EP1IM	EPOIM	IT1IM	ITOIM
R/W	-	-	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

位编号	位符号	说明
7-6	-	-
5	EP3IM	EP3 中断模式拓展寄存器，参考 ITOIM。
4	EP2IM	EP2 中断模式拓展寄存器，参考 ITOIM。
3	EP1IM	EP1 中断模式拓展寄存器，参考 ITOIM。
2	EPOIM	EPO 中断模式拓展寄存器，参考 ITOIM。
1	IT1IM	INT1 中断模式拓展寄存器，参考 ITOIM。
0	ITOIM	INTO 中断模式拓展寄存器： 0：外部中断 INTO 进入中断模式 0 通过 ITOPS 选择一个引脚（只能选一个，参考 ITOCON）作为 INTO 的中断源； 1：外部中断 INTO 进入中断模式 1 INTO 的中断源需要经过两步选择 第一步，ITOPS 选择中断源来自哪组 IO： ITOPS=000001，选择 P0 ITOPS=000010，选择 P1 ITOPS=000100，选择 P2 ... ITOPS=100000，选择 P5 第二步，PnIMSK 的每一位对应使能所选择那组 IO 的每一个引脚，1 有效， 可以在第一步选择的那组 IO 中，同时使能多个引脚作为 INTO 的中断源。

表 7.5.3-11 Pn 中断源使能寄存器 PnIMSK

	7	6	5	4	3	2	1	0
PnIMSK	PnIMSK							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0

n=0,1,2
 寄存器地址
 POIMSK: 80E9H
 P1IMSK: 80EAH
 P2IMSK: 80EBH

位编号	位符号	说明
7-0	PnIMSK	每组端口的外部中断使能寄存器

维展智能 WISESUN

7.6 时钟系统

7.6.1 时钟源

WS51F0030 系列芯片共支持以下时钟源：

- 内部 16MHz RC 振荡器 HRC
- 内部 32KHz RC 振荡器 LRC
- 外部 32.768KHz 晶体振荡器 LOSC

内部 16MHz RC 振荡器 (HRC)

HRC 是芯片上电后默认的系统时钟，可通过 HRE 位打开或关闭。芯片出厂后，HRC 的频率校正为 16MHz@3.3V/25℃，时钟精度为±1%。

内部 32KHz RC 振荡器 (LRC)

LRC 可通过 LRE 位打开或关闭。LRC 设为系统时钟可实现系统低功耗。芯片出厂后，LRC 的频率校正为 32KHz@3.3V/25℃，时钟精度为±1%。

外部 32.768KHz 晶体振荡器 (LOSC)

LOSC 可通过 XLE 位打开或关闭，打开后需要一定的起振时间，查看 XLSTB (XSCON[0]) 位可知道时钟是否稳定。LOSC 的 IO 口默认为打开，从而减少上电开始到 LOSC 起振的时间。

7.6.2 时钟控制关系

所有源时钟均可作为系统时钟的时钟源，同时它们的 1-16 整数分频时钟也可作为系统时钟的时钟源。寄存器 SCCON 是系统时钟的控制寄存器，通过它们可以设置系统时钟的切换和分频等操作。

每个源时钟都可以单独打开或关闭，当源时钟作为 CPU 时钟或外设时钟时，该时钟自动开启，如下表所示。

表 7.6.2-1 外设时钟映射表

外设模块	使用的时钟	时钟是否自动开启
系统时钟	LRC 时钟	是
	HRC 时钟	是
	LOSC 时钟	需要等 LOSC 时钟稳定才能使用
PWM	系统时钟	是
	LRC 时钟	是
	HRC 时钟	是
	LOSC 时钟	需要等 LOSC 时钟稳定才能使用
I2C	选择 HRC 时钟	是
WDT	LRC 时钟	是
	LOSC 时钟	需要等 LOSC 时钟稳定才能使用
WKT	LRC 时钟	是
	LOSC 时钟	需要等 LOSC 时钟稳定

		定才能使用
其他模块	系统时钟	否

7.6.3 寄存器描述

表 7.6.3-1 寄存器 SCCON

86H	7	6	5	4	3	2	1	0
SCCON	SCKS		-	-	SCKDIV			
R/W	R/W		-	-	R/W			
初始值	0	0	-	-	1	0	0	0
位编号	位符号	说明						
7-6	SCKS	系统时钟选择 00: 选择 HRC 时钟 01: 选择 LRC 时钟 10: 选择 LOSC 时钟 11: 保留						
5-4	-	-						
3-0	SCKDIV	系统时钟分频 0: 不分频 1: 2 分频 2: 3 分频 ... 15: 16 分频						

表 7.6.3-2 寄存器 HRCON

96H	7	6	5	4	3	2	1	0
HRCFG	HRE	-	HRCFG[5:0]					
R/W	R/W	-	R/W					
初始值	0	-	1	0	0	0	0	0
位编号	位符号	说明						
7	HRE	HRC 使能信号, 该位为高则 HRC 打开, 该位为低外设没有使用该时钟则 HRC 关闭						
6	-	-						
5-0	HRCFG	HRC 频率调整寄存器						

表 7.6.3-3 寄存器 LRCON

97H	7	6	5	4	3	2	1	0
LRCFG	LRE	-	LRCFG[5:0]					
R/W	R/W	-	R/W					
初始值	0	-	1	0	0	0	0	0
位编号	位符号	说明						

7	LRE	LRC 使能信号，该位为高则 LRC 打开，该位为低外设没有使用该时钟则 LRC 关闭
6	-	-
5-0	LRCFG	LRC 频率调整寄存器

表 7.6.3-4 寄存器 XSCON

95H	7	6	5	4	3	2	1	0
MRCON	-	-	-	-	XLE	-	-	XLSTB
R/W	-	-	-	-	R/W	-	-	
初始值	-	-	-	-	1	-	-	0
位编号	位符号	说明						
7-4	-	-						
3	XLE	LOSC 使能信号，该位为高则 LOSC 打开，该位为低外设没有使用该时钟则 LOSC 关闭						
2-1	-	-						
0	XLSTB	LOSC 稳定标志，为高时表明 LOSC 时钟有效，系统可切换到该时钟						

7.7 复位系统

芯片内部有 5 种复位源：上电复位（POR）、掉电复位（BOR）、看门狗复位（WDT）、低电压检测复位（LVD）、外部硬复位和内部软复位。

软复位后 CPU 将从 BOOT（MECON[0]）位指定的位置启动，而其他复位后 CPU 将从 Flash 的 CODE 区启动运行。

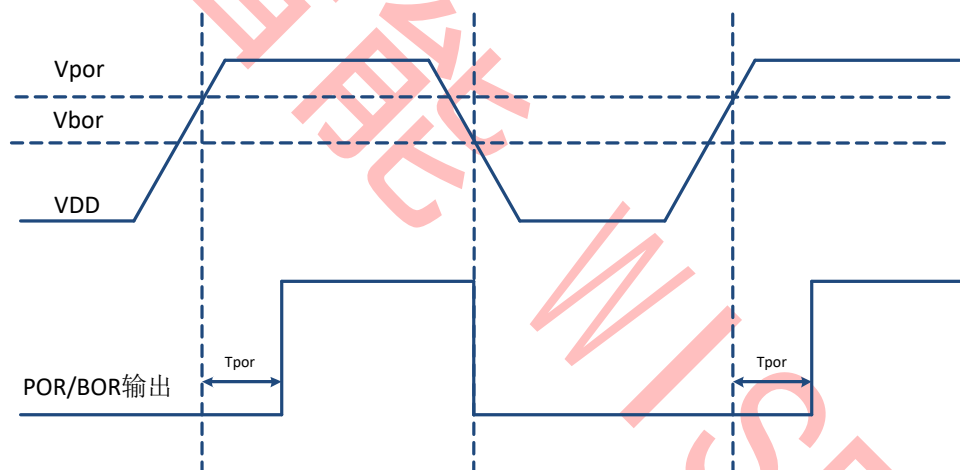
7.7.1 上电复位（POR）和掉电复位（BOR）

芯片上电需要一定时间才能达到正常的工作电压，上电复位电路能够保证芯片上电到正常工作电压前一直处于复位状态，从而保证芯片从初始默认状态开始运行。

芯片掉电是从正常工作电压到不正常工作电压的渐变过程，在这个过程中由于电压的降低芯片内部工作出现异常状态，在这个异常工作状态下芯片可能会执行错误的操作，从而可能导致整个电路系统出错。掉电复位电路强制芯片在电压低于某个电压(Vbor)时持续处于复位状态，直到电压低到所有电路都不能正常工作为止，从而避免芯片在掉电时执行错误操作。

如下图所示为 POR 和 BOR 工作过程，POR 和 BOR 的具体电气参数参照第 10 章电气特性的 POR 电气特性。

图 7.7.1-1 POR 和 BOR 工作过程



备注:

Vpor: 上电复位截止电压值

Vbor: 掉电复位起始电压值

Trpor: 上电复位截止后持续复位时间

7.7.2 看门狗（WDT）复位

WDT 主要用于监控 CPU 执行指令的情况。如果在指定时间内没有刷新 WDT，则系统可能出现死锁或跑飞，此时 WDT 会产生系统复位。详细描述请参照 8.6 看门狗定时器（WDT）章节。

7.7.3 低电压检测（LVD）复位

LVD 的作用类似于掉电复位，不同的是 LVD 工作在芯片正常工作电压区间。开启 LVD 后它将持续监控电源电压 VDD，当 VDD 低于 LVD 设定的域值电压超过 20us 就可以产生触发信号。如果设定 LVD 触发信号产生复位，将复位芯片系统。详细描述请参照 8.10 低电压检测（LVD）章节。

7.7.4 外部硬复位和内部软复位

P32 默认情况可配置为外部硬复位 RST 端口或者高阻（表 7.4.2-1 描述）。如果配置为 RST 端口，拉低 RST 将产生复位信号。RST 复位可以复位整个芯片，在 STOP 状态，RST 复位会唤醒芯片后再复位。一般工作情况下，RST 端口被内部拉高，不会影响内部的复位电路。

通过对 SWRST（PCON[5]）位写 1，CPU 可以发出复位指令。

7.7.5 寄存器描述

表 7.7.5-1 寄存器 RSTFLG

9FH	7	6	5	4	3	2	1	0
RSTFLG	-	-	-	LVDF	WDRF	PDRF	HWRF	SWRF
R/W	-	-	-	R	R	R/WOC	R/WOC	R/WOC
初始值	-	-	-	0	0	0	0	0
备注： WOC：写 0 清除								
位编号	位符号	说明						
7-5	-							
4	LVDF	LVD 复位标志，清除 LVDCON 中相关标志自动清除						
3	WDRF	WDT 复位标志，喂狗刷新 WDT 自动清除						
2	PDRF	上电或掉电复位标志，写 0 清除						
1	HWRF	硬复位标志，写 0 清除						
0	SWRF	软复位标志，写 0 清除						

7.8 电源管理

7.8.1 LDO

WS51F0030 系列芯片有三种低功耗模式: IDLE 模式、STOP 模式和低速运行模式。其中 IDLE 模式时系统典型最小功耗 4.5uA, STOP 模式时系统典型最低功耗 1.8uA, 低速运行模式(运行 LRC 或 LOSC 时钟)典型功耗 7uA。

7.8.2 IDLE 模式

在 IDLE 模式下, CPU 将停止工作。进入 IDLE 模式前, 除了主时钟, 其他的时钟源可根据需要选择关闭, 以便节省功耗。同样进入 IDLE 模式前, 可根据需要设定芯片某些外设的开关, 打开的外设在 IDLE 下仍然可以正常工作。

进入 IDLE 模式前, 需要先查看一下寄存器 IDLF, 如果所有位都为 0, 则 CPU 将正常进入 IDLE 模式。如果 IDLF 的位不全为 0, 即使有设置进入 IDLE 模式的操作, CPU 也不会进入 IDLE 模式, 而是继续停留在正常工作模式。此时用户需先把对应的中断处理完成, 再重新设置进入 IDLE 模式。

所有复位事件和任何中断事件都将唤醒芯片。中断唤醒 CPU 后, 芯片首先恢复时钟, 然后响应中断, 进入该中断的服务程序。退出中断服务程序后, 芯片将执行置位 IDLE 指令后的指令。退出 IDLE 模式时, IDLE 位将自动清零。**需要注意的是, 在置位 IDLE 的指令后面需要紧接两条 nop 指令, 防止程序出错。**

7.8.3 STOP 模式

STOP 模式是比 IDLE 更深层次的低功耗模式。STOP 模式可以停止所有时钟(包括主时钟)和时钟产生电路。如果 WDT 和 WKT 处于打开状态, 则它们使用的时钟模块将处于工作状态, 可以有选择地关闭 WDT 和 WKT 以节省功耗。

类似于 IDLE 模式, 进入 STOP 模式前, 需要先查看 STPF 寄存器, 若有置 1 的位存在, 需要先行处理, 以确保能顺利进入 STOP 模式。

可唤醒的 STOP 模式事件: **外部中断、LVD 中断或复位、外部硬复位、WKT 中断、WDT 中断或复位。**

如果是中断唤醒, 那么唤醒 MCU 后, 芯片首先恢复时钟, 然后响应该中断, 进入该中断的服务程序。退出中断服务程序后, 芯片将执行置位 STOP 指令后的指令。退出 STOP 模式时, STOP 位将自动清零。

在进入 STOP 模式时, 最后一个时钟沿将关闭系统时钟, 然后芯片完全进入 STOP 模式。**需要注意的是, 在置位 STOP 的指令后面需要紧接两条 nop 指令, 防止程序出错。**

7.8.4 寄存器描述

表 7.8.4-1 寄存器 PCON

87H	7	6	5	4	3	2	1	0
PCON	SMOD	-	SWRST	TSMODE	-	-	STOP	IDLE
R/W	R/W	-	W	R	-	-	W	W
初始值	0	-	0	0	-	-	0	0
位编号	位符号	说明						
7	SMOD	UART0 波特率倍频控制位 在 UART0 工作于模式 1,2,3 时, 设置 SMOD=1 会使波特率倍频, 与标准 8051						

		相同。
6	-	-
5	SWRST	软复位控制位，1有效 设置 SWRST=1 产生软复位，复位产生后自动清 0。
4	TSMODE	芯片进入测试模式标志
3-2	-	-
1	STOP	STOP 模式控制位，1有效 当设置 STOP=1 且 STPF 为 0 时，芯片进入 STOP 模式，退出 STOP 模式后自动清 0
0	IDLE	IDLE 模式控制位，1有效 当设置 IDLE=1 且 STPF 为 0 时，芯片进入 IDLE 模式，退出 STOP 模式后自动清 0

表 7.8.4-2 寄存器 IDLF

FCH	7	6	5	4	3	2	1	0
IDLFL	-	IDLF[6:0]						
R/W	-	R						
初始值	-	0	0	0	0	0	0	0
FDH	7	6	5	4	3	2	1	0
IDLFH	-	-	-	-	-	-	IDLF[9:8]	
R/W	-	-	-	-	-	-	R	
初始值	-	-	-	-	-	-	0	0
位编号	位符号	说明						
9	IDLF[9]	ADC/SPI/SCM/EP3 事件						
8	IDLF[8]	UART1/Timer 3/PSM/EP2 事件						
7	-	-						
6	IDLF[6]	WDT/LVD/WKT/EP1 事件						
5	IDLF[5]	I2C/Timer2/PWM/LED/EP0 事件						
4	IDLF[4]	UART 0 事件						
3	IDLF[3]	Timer 1 事件						
2	IDLF[2]	External Interrupt 1 事件						
1	IDLF[1]	Timer 0 事件						
0	IDLF[0]	External Interrupt 0 事件						

表 7.8.4-3 寄存器 STPF

FEH	7	6	5	4	3	2	1	0
STPF	-	-	STPF [5:0]					
R/W	-	-	R					
初始值	-	-	0	0	0	0	0	0
位编号	位符号	说明						
7-6	-	-						
5	STPF [5]	SCM 事件						

4	STPF [4]	WDT 事件
3	STPF [3]	LVD 事件
2	STPF [2]	WKT 事件
1	STPF [1]	外部中断 EPO/EP1/EP2/EP3 事件
0	STPF [0]	外部中断 INTO/INT1 事件

维展智能 WISESUN

8 增强功能

8.1 脉宽调制 (PWM)

8.1.1 简介

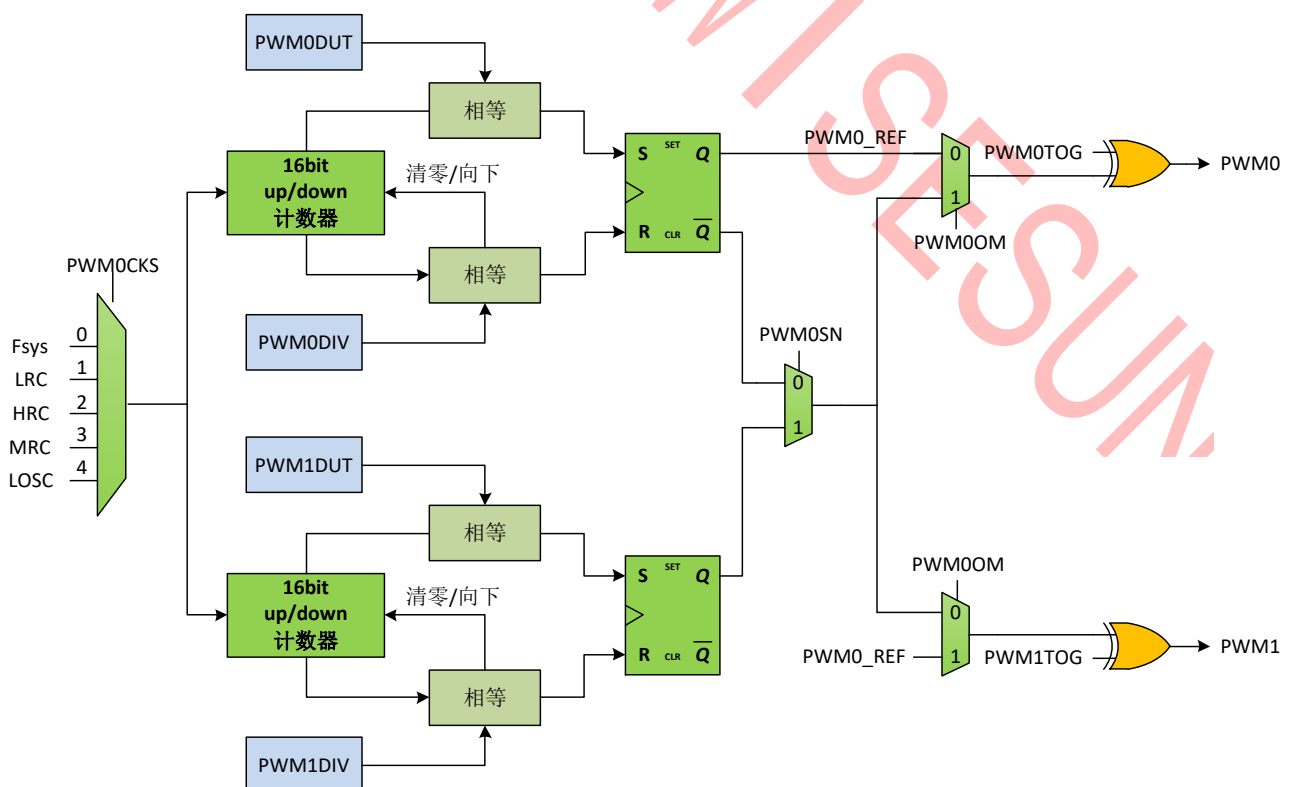
WS51F0030 系列芯片最多可输出 8 路独立的 PWM 波形，每路 PWM 的周期和占空比都可在 16 位范围内任意配置。这 8 路 PWM 又可以两两结合，组成 4 组带 8 位死区控制的互补 PWM 输出。PWM0~PWM5 这 6 通道 PWM 还具有刹车和掩模功能，可用于电机驱动。

8.1.2 PWM 基本功能

以为 PWM0/1 为例子 (PWM2/3、PWM4/5、PWM6/PWM7 与 PWM0/1 原理一致):

1. 它们的时钟相同，均由 PWM0CKS 从选择系统时钟 F_{sys}、LRC、HRC、LOSC 中选择其一。
2. 当 PWM1SN 为 1 时，它们各自独立。这时 PWM0 的周期为 PWM0DIV+1，占空比为 PWM0DUT/(PWM0DIV+1)，输出极性由 PWM0TOG 控制；PWM1 的周期为 PWM1DIV+1，占空比为 PWM1DUT/(PWM1DIV+1)，输出极性由 PWM1TOG 控制。无死区时间。
3. 当 PWMnSN 为 0 时，PWM0 与 PWM1 组成互补 PWM 输出。PWM0 和 PWM1 是在原始参考波形 PWM0_REF 上，通过选择互补模式，配置极性，插入死区时间等操作生成的。其中，原始参考波形的周期为 PWM0DIV+1，占空比为 PWM0DUT/(PWM0DIV+1)；互补模式由 PWM0OM 控制；极性由 PWM0TOG、PWM1TOG 控制；死区时间为 PWM0DTS+1 (PWM1DUTL 在互补输出时复用成 PWM0DTS)。
4. PWM0/1、PWM2/3、PWM4/5 还支持中心对齐计数模式，PWM0 计数器从 0 向上计数到 PWM0DIV 再向下计数到 0，如此循环。PWM0_REF 的周期为 2×PWM0DIV，占空比为(2×PWM0DUT)/(2×PWM0DIV)。

图 8.1.2-1 PWM0/1 原理示意图

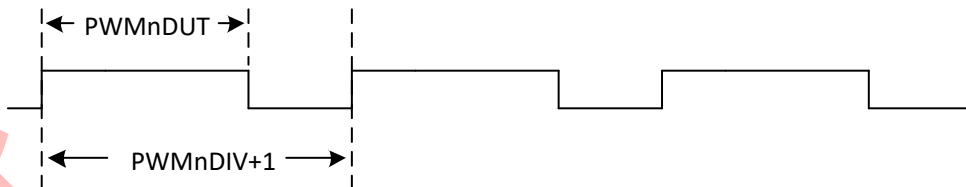


各路 PWM 独立时:

若 $PWMnDIV=0$ 时, $PWMn$ 输出所选的 PWM 时钟源波形。

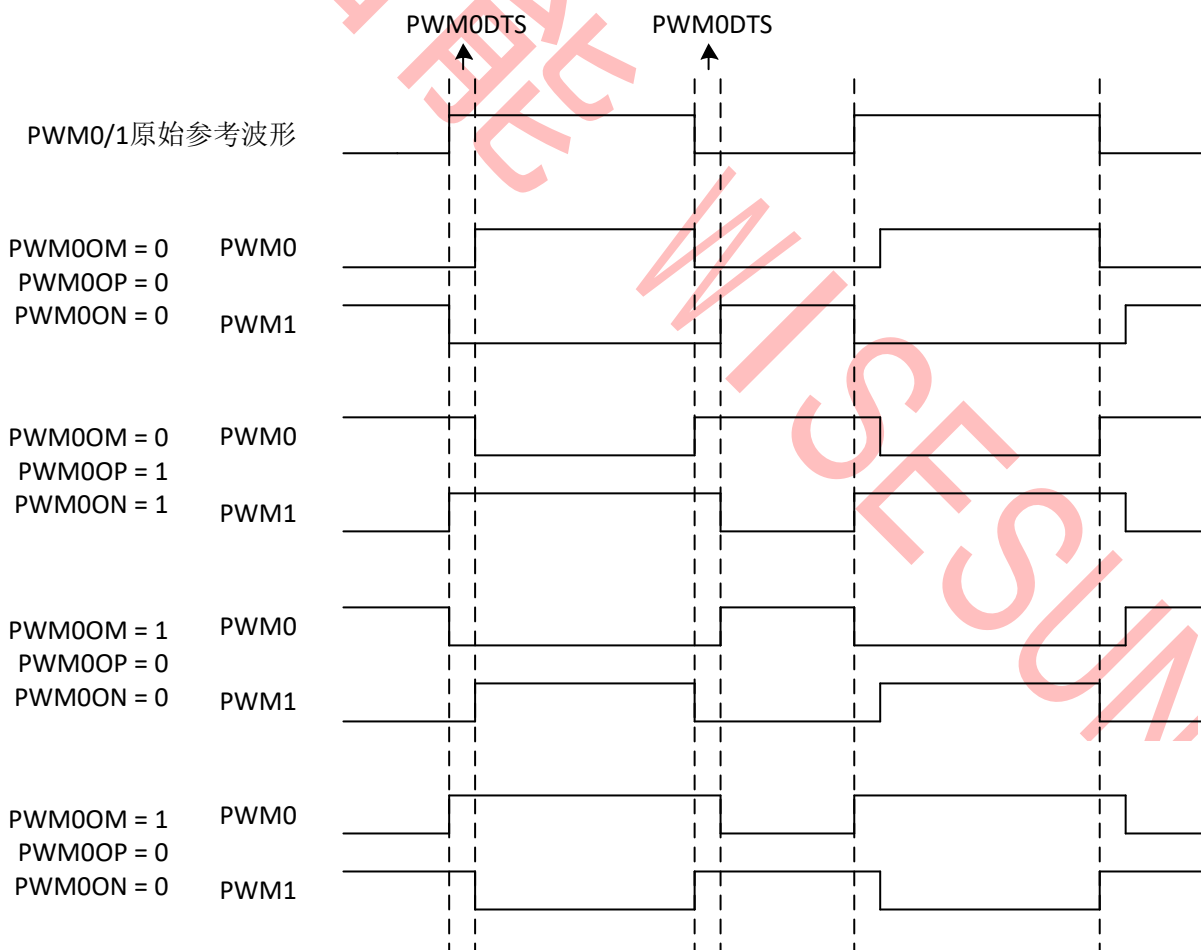
若 $PWMnDIV$ 不为 0, 而 $PWMnDUT=0$ 时, 如果对应的 $PWMnTOG$ 为 0 则输出低电平, 否则输出高电平。

当满足条件 $PWMnDIV > PWMnDUT > 0$, $PWMnOP$ 或 $PWMnON$ 为 0 时, $PWMn$ 波形如下图所示。

图 8.1.2-2 各路 PWM 独立时的波形图

输出互补 PWM 时 (以为 PWM0 和 PWM1 为例):

$PWM0/1$ 原始参考波形图同上图; 另外, $PWM0/1$, $PWM2/3$, $PWM4/5$ 互补输出时, 还支持中心对齐模式, 中心对齐模式时, 占空比为 $(2 \times PWM0DUT) / (2 \times PWM0DIV)$, 即 $PWM0DUT / PWM0DIV$ 。

在 $PWM0OP$ 和 $PWM0ON$ 不变的情况下, $PWM0OM$ 为 1 时, $PWM0$ 输出 $PWM0OM$ 为 0 时 $PWM1$ 的波形, $PWM1$ 输出 $PWM0OM$ 为 0 时 $PWM0$ 的波形。即 $PWM0OM$ 的作用相当于将 $PWM0$ 和 $PWM1$ 的波形互换。

图 8.1.2-3 插入死区时间的 PWM0/1 互补波形配置示意图


8.1.3 PWM 计数模式

边沿对齐模式

各组 PWM 都支持边沿对齐计数模式，以 PWM0 为例，PWM0 计数器从 0 开始向上计数到 PWM0DIV，然后清零继续向上计数到 PWM0DIV，如此循环。这时 PWM0_REF 的周期为 PWM0DIV+1，占空比为 PWM0DUT/(PWM0DIV+1)，

中心对齐模式

PWM0/1、PWM2/3、PWM4/5 支持中心对齐计数模式，以为 PWM0 为例，PWM0 计数器从 0 向上计数到 PWM0DIV再向下计数到0,如此循环。PWM0_REF的周期为 $2 \times \text{PWM0DIV}$ ，占空比为 $(2 \times \text{PWM0DUT}) / (2 \times \text{PWM0DIV})$ 。

8.1.4 PWM 刹车功能

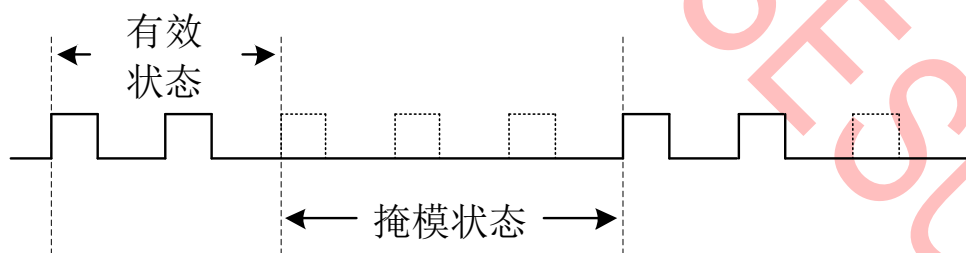
PWM0/1, PWM2/3, PWM4/5 支持刹车功能。刹车源可以从外部 FB 引脚 P53, ADC 比较结果 (ADCPF), 比较器结果 (CPF) 中选择一个或多个，当刹车源有效时 (ADCPF 和 CPF 为 1 时有效, FB 有效边沿可由 FBCON 配置并具有滤波功能), PWM 进入刹车状态, 硬件清除 PWMnRUN, 并根据 FBDAT 配置, 将 PWM 输出引脚置于一个预先设定的电平, 或者置于高阻态。刹车信号移除后, 软件对 PWMCLR 的对应位写 1 清零计数器, 再对 PWMRUN 的对应位写 1, 即可重启 PWM 输出。如果刹车信号没有移除, 对 PWMRUN 写 1 无法重启 PWM 输出。

8.1.5 PWM 掩模功能

PWM0/1, PWM2/3, PWM4/5 支持掩模功能。在 PWM 正常输出的时候, 可以通过 PSCHS 选中一路 PWM 输出进行掩模操作, 即该路 PWM 每输出 PMSDA 个有效 PWM 波形后, 掩模掉 PMSDM 个 PWM 波形, 然后再输出 PMSDA 个有效 PWM 波形, 再掩模掉 PMSDM 个 PWM 波形, 如此循环。每个循环结束, 产生 PMS 中断标志 PMSIF。该 PWM 被掩模的时候, 输出引脚是处于高阻态还是特定的电平状态, 由 PMEN 和 PMDAT 决定。

例如, 1. 配置 PMSD=0x02; PMSM=0x03, 输出两个有效 PWM 周期, 掩模 3 个 PWM 周期; 2. 配置 PMEN=0x01, PMDAT=0x00, 使 PWM0 在掩模状态下输出 0; 1. 配置 PMSCON=0x50 使能对 PWM0 进行掩模, 在 PWM0 的上升沿进行 PWM 个数计数:

图 8.1.5-1 掩模功能波形示意图



8.1.6 PWM 灯带功能

PWMn(n=6,7)支持 2 路级联 LED 灯带功能，使用该功能方法如下：

- ① 首先设置好 PWM 的占空比，该占空比即为驱动 LED 数据位 0/1，见图 8.1.6-1 所示。
- ② 通过寄存器 LEDBYTE 设置每个灯珠驱动芯片的锁存字节数，即每组数据的字节数(最多 RGB 三字节)。
- ③ 通过寄存器 LEDWTM 设置灯珠驱动芯片之间数据传输的间隔时间。
- ④ 设置寄存器位 PWMnLEN(n=6,7)为 1 开启灯带功能。
- ⑤ 然后往 LEDnDm(n=0/1, m=0/1/2)中写入数据，写入 LEDnD2 即触发 LED 发送功能。因此，如果设定每组数据为 1 个字节，只需要每次写 LEDnD2，以此类推，每组数据为 3 个字节则依次写入 LEDnD0、LEDnD1 和 LEDnD2。
- ⑥ 当灯带输出模块取走 LEDnD (n=0,1) 中数据时，产生 PWMnZIF(n=6,7)中断，此时软件需要填下一组数据，否则 LED 数据可能不是连续输出，额外输出“0”。

灯带功能有两种输出模式。寄存器 PWMnMOD(n=6,7)为 1 时为持续输出模式，此时 PWM 持续输出 LEDnD 中锁存的数据。寄存器 PWMnMOD(n=6,7)为 0 时为写触发输出模式，此时 PWM 持续输出 LEDnD 中锁存的数据。如图 8.1.6-2 所示，为 1 组数据为 1 个字节时的灯带示意图。

图 8.1.6-1 LED 数据位 0/1 示意图

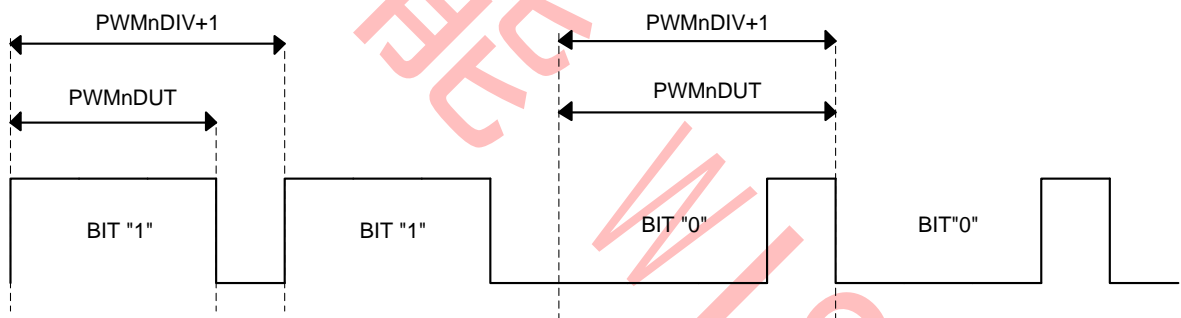
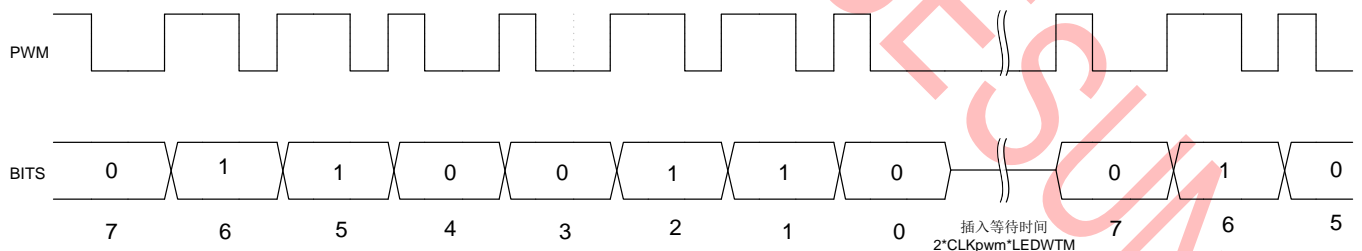


图 8.1.6-2 单字节 LED 灯带输出波形示意图



8.1.7 PWM 中断

PWMn 计数中断通过 PWMnZIE, PWMnPIE 使能，边沿对齐和中心对齐模式下计数器计数到 0 时产生 PWMnZIF 中断，中心对齐模式下 PWM 计数器计数到等于 PWMnDIV 时产生 PWMPIF 中断。

PWM 刹车中断由 FBIE 使能，当发生刹车时硬件置位 FBIF。

PWM 掩模中断由 PSIE 使能，PSIF 在选中的 PWM 通道进入掩模状态退出掩模状态时由硬件置位。

8.1.8 寄存器描述
表 8.1.8-1 寄存器 PWMRUN

8040H	7	6	5	4	3	2	1	0
PWMRUN	PWM7RUN	PWM6RUN	PWM5RUN	PWM4RUN	PWM3RUN	PWM2RUN	PWM1RUN	PWM0RUN
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7	PWM7RUN	PWM7 运行使能控制位, 1 有效						
6	PWM6RUN	PWM6 运行使能控制位, 1 有效						
5	PWM5RUN	PWM5 运行使能控制位, 1 有效						
4	PWM4RUN	PWM4 运行使能控制位, 1 有效						
3	PWM3RUN	PWM3 运行使能控制位, 1 有效						
2	PWM2RUN	PWM2 运行使能控制位, 1 有效						
1	PWM1RUN	PWM1 运行使能控制位, 1 有效						
0	PWM0RUN	PWM0 运行使能控制位, 1 有效						

表 8.1.8-2 寄存器 PWMCLR

8041H	7	6	5	4	3	2	1	0
PWMCLR	PWM7CLR	PWM6CLR	PWM5CLR	PWM4CLR	PWM3CLR	PWM2CLR	PWM1CLR	PWM0CLR
R/W	W	W	W	W	W	W	W	W
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7	PWM7CLR	写 1 清零 PWM7 计数器, 写 0 无动作						
6	PWM6CLR	写 1 清零 PWM6 计数器, 写 0 无动作						
5	PWM5CLR	写 1 清零 PWM5 计数器, 写 0 无动作						
4	PWM4CLR	写 1 清零 PWM4 计数器, 写 0 无动作						
3	PWM3CLR	写 1 清零 PWM3 计数器, 写 0 无动作						
2	PWM2CLR	写 1 清零 PWM2 计数器, 写 0 无动作						
1	PWM1CLR	写 1 清零 PWM1 计数器, 写 0 无动作						
0	PWM0CLR	写 1 清零 PWM0 计数器, 写 0 无动作						

表 8.1.8-3 寄存器 PWMUPD

8043H	7	6	5	4	3	2	1	0
PWMUPD	-	-	PWM5UPD	PWM4UPD	PWM3UPD	PWM2UPD	PWM1UPD	PWM0UPD
R/W	-	-	W	W	W	W	W	W
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7-6	-	-						
5	PWM5UPD	写 1 载入 PWM5 新的周期和占空比配置值, 写 0 无动作						

4	PWM4UPD	写 1 载入 PWM4 新的周期和占空比配置值，写 0 无动作
3	PWM3UPD	写 1 载入 PWM3 新的周期和占空比配置值，写 0 无动作
2	PWM2UPD	写 1 载入 PWM2 新的周期和占空比配置值，写 0 无动作
1	PWM1UPD	写 1 载入 PWM1 新的周期和占空比配置值，写 0 无动作
0	PWM0UPD	写 1 载入 PWM0 新的周期和占空比配置值，写 0 无动作

表 8.1.8-4 寄存器 PWMFLG0

8044H	7	6	5	4	3	2	1	0
PWMFLG0	P3ZIF	-	P2ZIF	P2PIF	P1ZIF	-	POZIF	POPIF
R/W	WOC/R	-	WOC/R	WOC/R	WOC/R	-	WOC/R	WOC/R
初始值	0	0	0	0	0	0	0	0

位编号	位符号	说明
7	P3ZIF	PWM3 计数器计数到 0 中断标志
6	-	-
5	P2ZIF	PWM2 计数器计数到 0 中断标志
4	P2PIF	PWM2 计数器计数到最大值中断标志，仅中心对齐模式下有效
3	P1ZIF	PWM1 计数器计数到 0 中断标志
2	-	-
1	POZIF	PWM0 计数器计数到 0 中断标志
0	POPIF	PWM0 计数器计数到最大值中断标志，仅中心对齐模式下有效

表 8.1.8-5 寄存器 PWMFLG1

8045H	7	6	5	4	3	2	1	0
PWMFLG1	P7ZIF	-	P6ZIF	-	P5ZIF	-	P4ZIF	P4PIF
R/W	WOC/R	-	WOC/R	-	WOC/R	-	WOC/R	WOC/R
初始值	0	0	0	0	0	0	0	0

位编号	位符号	说明
7	P7ZIF	在 PWM 功能时，为 PWM7 计数器计数到 0 中断标志 在 PWM 灯带功能时，为一组数据填充完成中断标志
6	-	-
5	P6ZIF	在 PWM 功能时，为 PWM6 计数器计数到 0 中断标志 在 PWM 灯带功能时，为一组数据填充完成中断标志
4	-	-
3	P5ZIF	PWM5 计数器计数到 0 中断标志
2	-	-
1	P4ZIF	PWM4 计数器计数到 0 中断标志
0	P4PIF	PWM4 计数器计数到最大值中断标志，仅中心对齐模式下有效

表 8.1.8-6 寄存器 PWMnCFG(n=0,2,4)

	7	6	5	4	3	2	1	0
PWMnCFG	PWMnZIE	PWMnPIE	PWMnMOD	PWMnTOG	PWMnOM	PWMnCKS		

R/W	R/W	R/W	R/W	R/W	-	R/W		
初始值	0	0	0	0	-	0	0	0
其中 n=0/2/4 寄存器 PWM0CFG 地址: 8050H 寄存器 PWM2CFG 地址: 8060H 寄存器 PWM4CFG 地址: 8070H								
位编号	位符号	说明						
7	PWMnZIE	PWMn 计数器计数到 0 中断使能						
6	PWMnPIE	中心对齐模式下, PWMn 计数器计数到最大值中断使能。						
5	PWMnMOD	PWMn 计数模式选择。 0: 边沿对齐 1: 中心对齐						
4	PWMnTOG	PWMn 输出极性选择, 为 1 时输出反向						
3	PWMnOM	互补 PWM 模式选择, 为 1 时 PWMn 与 PWM(n+1)的波形互换后输出。						
2-0	PWMnCKS	PWMn 时钟选择 000/1xx: 系统时钟 001: HRC 时钟 16MHz 010: LRC 时钟 32KHz 011: LOSC 时钟 32.768KHz						

表 8.1.8-7 寄存器 PWMnCFG(n=1,3,5)

	7	6	5	4	3	2	1	0
PWMnCFG	PWMnZIE	-	-	PWMnTOG	-	-	-	PWMnSNS
R/W	R/W	-	-	R/W	-	-	-	R/W
初始值	0	0	0	0	0	0	0	0
其中 n=1/3/5 寄存器 PWM1CFG 地址: 8058H 寄存器 PWM3CFG 地址: 8068H 寄存器 PWM5CFG 地址: 8078H								
位编号	位符号	说明						
7	PWMnZIE	PWMn 计数器计数到 0 中断使能						
6-5	-	-						
4	PWMnTOG	PWMn 输出极性选择, 为 1 时输出反向						
3-1	-	-						
0	PWMnSN	PWM 独立输出使能 0: PWM(n-1)和 PWMn 组成互补 PWM 输出 1: PWM(n-1)和 PWMn 独立输出						

表 8.1.8-8 寄存器 PWMnCFG(n=6,7)

	7	6	5	4	3	2	1	0
PWMnCFG	PWMnZIE	PWM6LEN	PWM6MOD	PWM6TOG	PWMnPOL	PWMnCKS		
R/W	R/W	R/W	R/W	R/W	R/W	R/W		
初始值	0	0	0	0	0	0	0	0
寄存器 PWM6CFG 地址: 8080H								

寄存器 PWM7CFG 地址: 8088H		
位编号	位符号	说明
7	PWMnZIE	PWM 中断使能 在 PWM 功能时, 为计数器计数到 0 中断使能 在 LED 灯带功能时, 为一组数据填充完成中断使能
6	PWMnLEN	LED 输出功能使能信号
5	PWMnMOD	LED 输出模式选择 0: 写数据触发模式 1: 持续发送模式
4	PWMnTOG	PWM 输出极性选择, 为 1 时输出取反
3	PWMnPOL	LED 输出时有效电平选择 0: 高电平有效 1: 低电平有效
2-0	PWMnCKS	PWMn 时钟选择 000/1xx: 系统时钟 001: HRC 时钟 16MHz 010: LRC 时钟 32KHz 011: LOSC 时钟 32.768KHz

表 8.1.8-9 寄存器 PWMnPS

	7	6	5	4	3	2	1	0
PWMnPS	-	-	PWMnPS					
R/W	-	-	R/W					
初始值	0	0	0	0	0	0	0	0
其中 n=0/1/2/3/4/5/6/7 寄存器 PWM0PS 地址: 8051H 寄存器 PWM0PS 地址: 8059H 寄存器 PWM2PS 地址: 8061H 寄存器 PWM3PS 地址: 8069H 寄存器 PWM4PS 地址: 8071H 寄存器 PWM5PS 地址: 8079H 寄存器 PWM6PS 地址: 8081H 寄存器 PWM7PS 地址: 8089H								
位编号	位符号	说明						
7-6	-	-						
5-0	PWMnPS	PWMn 输出引脚选择 000000: P00 000001: P01 000010: P02 000011: P03 000100: P04 000101: P05 000110: P06 000111: P07						

	001000: P10 001001: P11 001010: P12 001011: P13 001100: P14 001101: P15 001110: P16 001111: P17 010000: P20 010001: P21
	注：当多个 PWMn 信号同时选择一个引脚输出时，只有 n 最小的 PWM 信号可以输出。

表 8.1.8-10 寄存器 PWMnDIV

	7	6	5	4	3	2	1	0
PWMnDIVL	PWMnDIV[7:0]							
R/W	R/W							
初始值	1	1	1	1	1	1	1	1
	7	6	5	4	3	2	1	0
PWMnDIVH	PWMnDIV[15:8]							
R/W	R/W							
初始值	1	1	1	1	1	1	1	1
其中 n=0/1/2/3/4/5/6/7 寄存器 PWM0DIVL 地址：8056H 寄存器 PWM0DIVH 地址：8057H 寄存器 PWM1DIVL 地址：805EH 寄存器 PWM1DIVH 地址：805FH 寄存器 PWM2DIVL 地址：8066H 寄存器 PWM2DIVH 地址：8067H 寄存器 PWM3DIVL 地址：806EH 寄存器 PWM3DIVH 地址：806FH 寄存器 PWM4DIVL 地址：8076H 寄存器 PWM4DIVH 地址：8077H 寄存器 PWM5DIVL 地址：807EH 寄存器 PWM5DIVH 地址：807FH 寄存器 PWM6DIVL 地址：8086H 寄存器 PWM6DIVH 地址：8087H 寄存器 PWM7DIVL 地址：808EH 寄存器 PWM7DIVH 地址：808FH								
位编号	位符号	说明						
7-0	PWMnDIVL	PWM 分频计数寄存器的低 8 位，PWM 分频倍数为 PWMDIV+1						
7-0	PWMnDIVH	PWM 分频计数寄存器的高 8 位，PWM 分频倍数为 PWMDIV+1						

表 8.1.8-11 寄存器 PWMnDUT/PWM(n-1)DTS

	7	6	5	4	3	2	1	0
PWMnDUTL	PWMnDUT[7:0]/PWM(n-1)DTS[7:0]							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0
	7	6	5	4	3	2	1	0
PWMnDUTH	PWMnDUT[15:8]							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0
其中 n=0/1/2/3/4/5/6/7 寄存器 PWM0DUTL 地址: 8054H 寄存器 PWM0DUTH 地址: 8055H 寄存器 PWM1DUTL 地址: 805CH 寄存器 PWM1DUTH 地址: 805DH 寄存器 PWM2DUTL 地址: 8064H 寄存器 PWM2DUTH 地址: 8065H 寄存器 PWM3DUTL 地址: 806CH 寄存器 PWM3DUTH 地址: 806DH 寄存器 PWM4DUTL 地址: 8074H 寄存器 PWM4DUTH 地址: 8065H 寄存器 PWM5DUTL 地址: 807CH 寄存器 PWM5DUTH 地址: 807DH 寄存器 PWM6DUTL 地址: 8084H 寄存器 PWM6DUTH 地址: 8085H 寄存器 PWM7DUTL 地址: 808CH 寄存器 PWM7DUTH 地址: 808DH								
位编号	位符号		说明					
7-0	PWMnDUTL/ PWM(n-1)DTS		PWM 占空比计数寄存器的低 8 位, PWM 占空比为 PWMnDUT/(PWMnDIV+1) 当 n=1/3/5 时, 若 PWMnSN=0, 则该八位寄存器为 PWM(n-1)DTS[7:0], 用于死区时间控制					
7-0	PWMnDUTH		PWM 占空比计数寄存器的高 8 位, PWM 占空比为 PWMnDUT/(PWMnDIV+1)					

表 8.1.8-12 寄存器 LEDCFG

80D0H	7	6	5	4	3	2	1	0
LEDCFG	LEDBYTE			LEDWTM				
R/W	W/R	W/R	W/R	W/R	W/R	W/R	W/R	W/R
初始值	0	0	0	0	0	0	0	0
位编号	位符号		说明					
7-6	LEDBYTE		LED 每次输出的字节数 00/11: 3 个字节 01: 1 个字节 10: 2 个字节					
5-0	LEDWTM		LED 输出数据等待时间=2 *CLKpwm * LEDWTM					

表 8.1.8-13 寄存器 LED0Dn(n=0,1,2)

80D2H	7	6	5	4	3	2	1	0
LED0D0	LED0D[7:0]							
R/W	W/R	W/R	W/R	W/R	W/R	W/R	W/R	W/R
初始值	0	0	0	0	0	0	0	0
80D3H	7	6	5	4	3	2	1	0
LED0D1	LED0D[15:8]							
R/W	W/R	W/R	W/R	W/R	W/R	W/R	W/R	W/R
初始值	0	0	0	0	0	0	0	0
80D4H	7	6	5	4	3	2	1	0
LED0D2	LED0D[23:16]							
R/W	W/R	W/R	W/R	W/R	W/R	W/R	W/R	W/R
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
23-0	LED0D	PWM6 对应的 LED0 输出数据						

表 8.1.8-14 寄存器 LED1Dn(n=0,1,2)

80DAH	7	6	5	4	3	2	1	0
LED0D0	LED1D[7:0]							
R/W	W/R	W/R	W/R	W/R	W/R	W/R	W/R	W/R
初始值	0	0	0	0	0	0	0	0
80DBH	7	6	5	4	3	2	1	0
LED0D1	LED1D[15:8]							
R/W	W/R	W/R	W/R	W/R	W/R	W/R	W/R	W/R
初始值	0	0	0	0	0	0	0	0
80DCH	7	6	5	4	3	2	1	0
LED0D2	LED1D[23:16]							
R/W	W/R	W/R	W/R	W/R	W/R	W/R	W/R	W/R
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
23-0	LED1D	PWM7 对应的 LED1 输出数据						

表 8.1.8-15 寄存器 FBCON

80E0H	7	6	5	4	3	2	1	0
FBCON	FBPE	FBAE	FBCE	FBIE	FPOL	FPFTR		
R/W	W/R	W/R	W/R	W/R	W/R	W/R	W/R	W/R
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7	FBPE	P14 输入作为刹车信号使能位，1 有效						

6	FBAE	ADC 比较结果作为刹车信号使能位，1 有效
-	-	-
4	FBIE	刹车中断使能位
3	FPOL	P14 输入刹车信号极性选择 0: P14 低电平刹车 1: P14 高电平刹车
2-0	FPFTR	P14 刹车信号滤波配置，对 P14 进行 FPFTR 个系统时钟的滤波

表 8.1.8-16 寄存器 FBDAT

80E1H	7	6	5	4	3	2	1	0
FBDAT	FDEN	-	FBDAT					
R/W	W/R	-	W/R	W/R	W/R	W/R	W/R	W/R
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7	FDEN	刹车状态下，PWM 引脚输出固定电平使能，1 有效；若为 0，则 PWM 引脚为高阻						
6	-	-						
5-0	FBDAT	FDEN 使能后，进入刹车状态时： PWM0 输出 FBDAT[0] PWM1 输出 FBDAT[1] PWM2 输出 FBDAT[2] PWM3 输出 FBDAT[3] PWM4 输出 FBDAT[4] PWM5 输出 FBDAT[5]						

表 8.1.8-17 寄存器 FBFLG

80E2H	7	6	5	4	3	2	1	0
FBFLG	-	-	-	-	-	-	FBPF	FBAF
R/W	-	-	-	-	-	-	WOC/R	WOC/R
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7-2	-	-						
1	FBPF	P14 刹车引脚刹车信号引起刹车中断标志						
0	FBAF	ADC 比较结果刹车信号引起刹车中断标志						

表 8.1.8-18 寄存器 PMEN

8048H	7	6	5	4	3	2	1	0
PMEN	-	-	PMEN					
R/W	-	-	W/R	W/R	W/R	W/R	W/R	W/R
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						

7-6	-	-
5-0	PMEN	<p>PWMn 掩模数据输出功能使能位： 非刹车状态时，在 PWMnRUN 为 0 或 PWMn 被掩模的情况下： PMWN[n]为 1: PWMn 输出 PMDAT[n] PMWN[n]为 0: PWMn 为高阻</p> <p>刹车状态时，PWMn 的状态由 FBDAT 决定。</p> <p>其中 n=0~5。</p>

表 8.1.8-19 寄存器 PMDAT

8049H	7	6	5	4	3	2	1	0
PMEN	-	-	PMDAT					
R/W	-	-	W/R	W/R	W/R	W/R	W/R	W/R
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7-6	-	-						
5-0	PMDAT	PWM 掩模数据，参考 PMEN						

表 8.1.8-20 寄存器 PMSCON

804AH	7	6	5	4	3	2	1	0
PMSCON	PSE	PSIE	PSMOD	PSCHS			PMSK	PMSIF
R/W	W/R	W/R	W/R	W/R	W/R	W/R	R	W/R
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7	PSE	掩模功能使能，1 有效 掩模功能：在 PWM 正常输出的时候，可以通过 PSCHS 选中一路 PWM 输出进行掩模操作，即该路 PWM 每输出 PMSDA 个有效 PWM 波形后，掩模掉 PMSDM 个 PWM 波形，然后再输出 PMSDA 个有效 PWM 波形，再掩模掉 PMSDM 个 PWM 波形，如此循环。该 PWM 被掩模的时候，输出引脚是处于高阻态还是特定的电平状态，由 PMEN 和 PMDAT 决定。						
6	PSIE	掩模中断使能，1 有效						
5	PSMOD	掩模计数触发边沿 1: 在选中的 PWM 上升沿触发计数 0: 在选中的 PWM 下降沿触发计数						
4-2	PSCHS	掩模 PWM 选择： 0: 选择 PWM0 进行掩模 1: 选择 PWM1 进行掩模 2: 选择 PWM2 进行掩模 3: 选择 PWM3 进行掩模 4: 选择 PWM4 进行掩模						

		5: 选择 PWM5 进行掩模
1	PMSK	掩模标志 1: 选择的 PWM 输出处在掩模状态 0: 选择的 PWM 输出处在有效输出状态（非掩模状态）
0	PMSIF	掩模中断标志，PSIE 使能后，PSIF 在选中的 PWM 输出在掩模状态和有效输出状态切换时由硬件置 1

表 8.1.8-21 寄存器 PMSD

804BH	7	6	5	4	3	2	1	0
PMSDL	PMSD[7:0]							
R/W	R/W							
初始值	1	1	1	1	1	1	1	1
804CH	7	6	5	4	3	2	1	0
PMSDH	PMSD[15:8]							
R/W	R/W							
初始值	1	1	1	1	1	1	1	1
位编号	位符号	说明						
7-0	PMSDL	掩模功能下，PWM 有效输出个数低 8 位						
7-0	PMSDH	掩模功能下，PWM 有效输出个数高 8 位						

表 8.1.8-22 寄存器 PMSM

804DH	7	6	5	4	3	2	1	0
PMSML	PMSM[7:0]							
R/W	R/W							
初始值	1	1	1	1	1	1	1	1
804EH	7	6	5	4	3	2	1	0
PMSMH	PMSM[15:8]							
R/W	R/W							
初始值	1	1	1	1	1	1	1	1
位编号	位符号	说明						
7-0	PMSML	掩模功能下，掩模掉的 PWM 输出个数低 8 位						
7-0	PMSMH	掩模功能下，掩模掉的 PWM 输出个数高 8 位						

8.2 蜂鸣器驱动 (BUZZER)

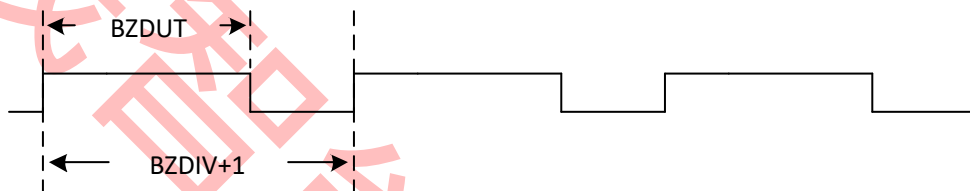
8.2.1 简介

WS51F0030 系列芯片有 1 路蜂鸣器驱动输出，可选工作时钟，对该时钟进行 1-64 分频后进行 0-256 周期和占空比调整。

8.2.2 BUZZER 工作原理

BZPSC 设置对系统时钟进行分频，BZDUT 和 BZDIV 分别设置蜂鸣器驱动波形每个周期所持续的分频时钟（系统时钟经 BZPSC 分频后的时钟）个数和其中高电平所持续的分频时钟个数。

图 8.2.2-1 蜂鸣器驱动波形



8.2.3 寄存器描述

表 8.2.3-1 寄存器 BZCON

80F0H	7	6	5	4	3	2	1	0
BZCON	BZCKS		-	-	-	-	-	BZP
R/W	R/W		-	-	-	-	-	R/W
初始值	0	0	-	-	-	-	-	0
位编号	位符号	说明						
7-6	BZCKS	蜂鸣器时钟选择 00: 关闭 01: LRC 10: LOSC 11: HRC						
5-1	-	-						
0	BZP	蜂鸣器驱动波形极性选择 0: 蜂鸣器驱动输出波形不取反 1: 蜂鸣器驱动输出波形取反						

表 8.2.3-2 寄存器 BZPSC

80F1H	7	6	5	4	3	2	1	0
BZPSC	BZPSC							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	1	0	0	0	0	0	0

位编号	位符号	说明
7-0	BZPSC	系统时钟预分频配置寄存器，分频倍数为 BZPSC+1

表 8.2.3-3 寄存器 BZDUT

80F2H	7	6	5	4	3	2	1	0
BZDUT	BZDUT							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	1	0	0	0	0	0	0	0
位编号	位符号	说明						
7-0	BZDUT	蜂鸣器驱动高电平所持续的分频时钟个数						

表 8.2.3-4 寄存器 BZDIV

80F3H	7	6	5	4	3	2	1	0
BZDIV	BZDIV							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	1	1	1	1	1	1	1	1
位编号	位符号	说明						
7-0	BZDIV	蜂鸣器驱动一个周期所持续的分频时钟个数						

8.3 通用串行接口 (UART 0/1)

8.3.1 简介

芯片中共有 2 个 UART 接口 UART0/1，完全兼容标准 8051，但不同于标准 8051 的是 UART0 可以设置任意波特率。

8.3.2 UART0

UART0 是一个全双工同步/异步串行数据收发器，可同时发送和接收数据，其接收器有一字节的缓存，接收完的一个字节数据会被立即送到缓存寄存器，接着可以接收新的数据。在新的一字节数据接收完之前，前一个字节数据必须被读取，否则会被新数据覆盖。寄存器 SOBUF 是 UART0 的发送/接收数据寄存器，在物理上 SOBUF 实际是两个寄存器，一个是数据发送寄存器，另一个是数据接收寄存器，写 SOBUF 会将数据写入发送寄存器并启动数据发送，而读 SOBUF 会读取接收寄存器中接收到的一字节数据。

UART0 有 4 种工作模式，如下表所示。

表 8.3.2-1 UART0 通信工作模式

SM00	SM10	模式	描述	波特率
0	0	0	同步移位模式	$F_{sys}/12$
0	1	1	8 位异步模式	波特率为 $2^{SMOD} \times F_{sys}/(32 * \text{定时器 } 1/2 \text{ 溢出率})$ ， 详见 T2CON 中 RCLK 和 TCLK
1	0	2	9 位异步模式	当 SMOD=0 时，波特率为 $F_{sys}/64$ 当 SMOD=1 时，波特率为 $F_{sys}/32$
1	1	3	9 位异步模式	波特率为 $2^{SMOD} \times F_{sys}/(32 * \text{定时器 } 1/2 \text{ 溢出率})$ ， 详见 T2CON 中 RCLK 和 TCLK

备注：

1. F_{sys} 即为系统时钟。
2. 以上波特率的前提条件是 SODE=0，当 SODE=1 时，波特率由 SODIV 值决定。
3. 由于定时器 2 的时钟是包含不分频 F_{sys} ，所以选择定时器 2 作为 UART0 时钟发生器会有更高的波特率。

模式 0

在模式 0，UART0 同步收发数据。端口 UART0_TX 输出移位时钟，端口 UART0_RX 输出或接收数据。传输数据长度为 8 位，从最低位开始传输，波特率固定为系统时钟频率的 1/12。写数据到寄存器 SOBUF 会启动 UART0 发送数据。如果要接收数据，需设置 REN=1 并清除 RIO 标志，当接收到一字节数据时，RIO 会置 1。

图 6.3.2-1 UART0 模式 0 发送数据波形

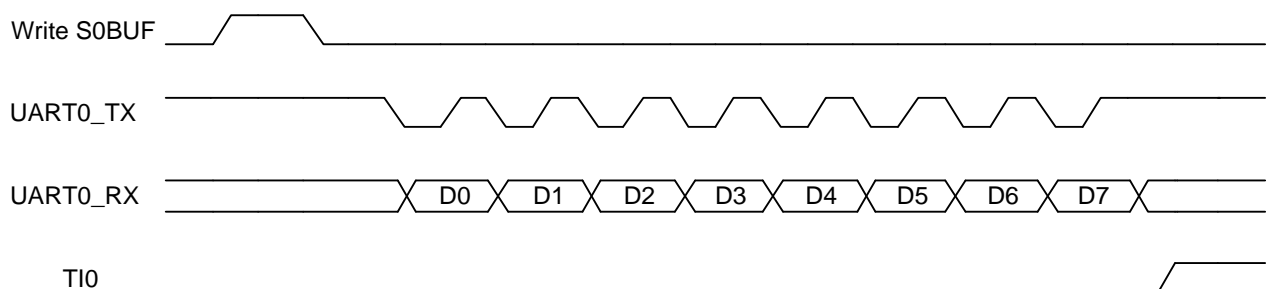
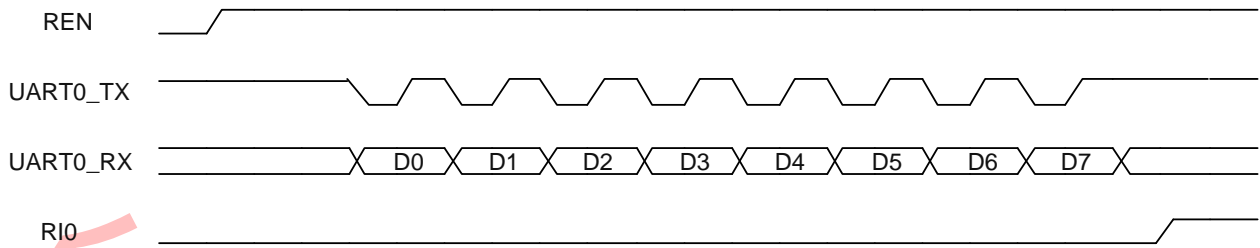
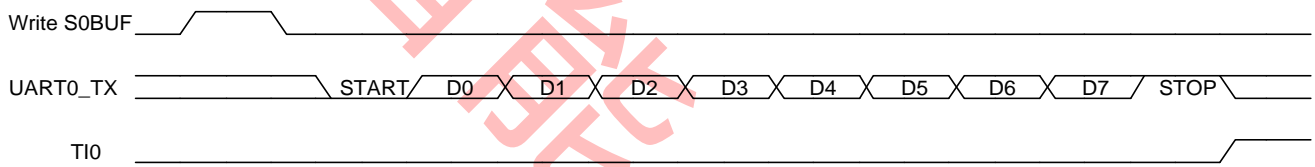
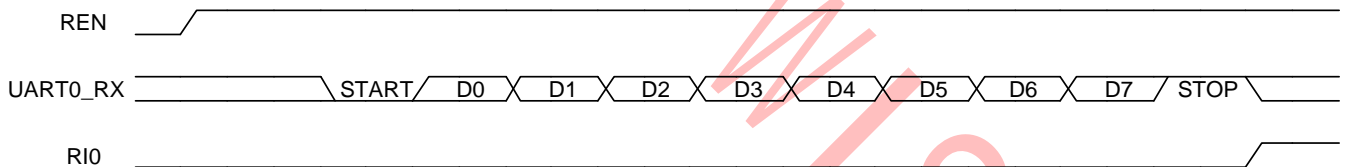


图 6.3.2-2 UART0 模式 0 接收数据波形

模式 1

在模式 1, UART0 为 8 位异步收发模式。可通过设置 RCLK(T2CON[5])和 TCLK(T2CON[4])来选择定时器 1 或定时器 2 的溢出信号作为 UART0 的时钟, 此时设置定时器的溢出频率就可以调整 UART0 的波特率。另外, 可通过 SMOD 来选择波特率倍频。

写入数据到寄存器 S0BUF 会启动 UART0 发送。第一个传送的位是 START 位 (0), 然后是 8 位数据 (低位先发), 最后传送的是 STOP 位 (1)。

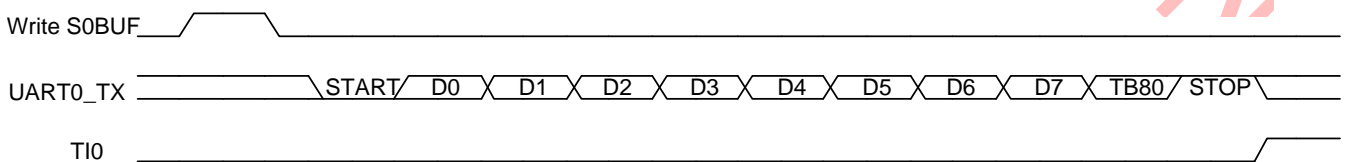
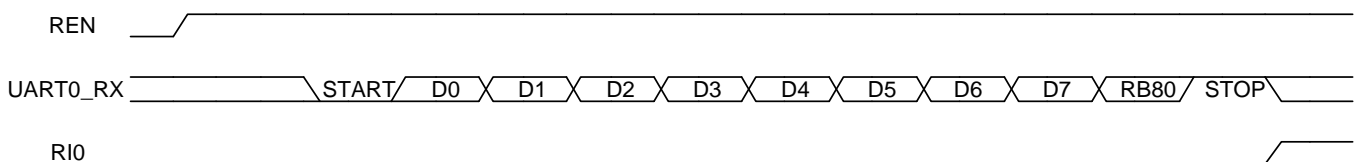
在接收状态, UART0 通过检测端口 UART0_RX 的下降沿来同步。传送过程完成后, 8 位数据存放在寄存器 S0BUF, 有效停止位值存放在 RB80 位。

图 6.3.2-3 UART0 模式 1 发送数据波形

图 6.3.2-4 UART0 模式 1 接收数据波形

模式 2

在模式 2, UART0 为 9 位异步收发模式。通过设置 SMOD 位可选择波特率固定为 $F_{sys}/32$ 或 $F_{sys}/64$ 。

写入数据到寄存器 S0BUF 会启动 UART0 发送。第一个传送的位是 START 位 (0), 然后是 9 位数据 (低位先发), 第 9 位数据是 TB80 位, 最后传送的是 STOP 位 (1)。

在接收状态, UART0 通过检测端口 UART0_RX 的下降沿来同步。传送过程完成后, 8 位数据存放在寄存器 S0BUF, 第 9 位数据存放在 RB80 位。

图 6.3.2-5 UART0 模式 2 发送数据波形

图 6.3.2-6 UART0 模式 2 接收数据波形


模式 3

模式 2 和模式 3 的唯一不同的是模式 3 的波特率可通过定时器 1 或定时器 2 来产生,可参考模式 1 的示意图。波特率设置可参考模式 1 介绍,而其他功能描述参考模式 2。

UART0 多机通信

UART0 模式 2 和 3 中有一个专门适用于多机通信的机制,当 SM20 位置 1,只有接收到第 9 位数据为 1(RB80=1)的从机才会产生接收中断,利用这个功能可进行多机通信,操作方法如下:

- ① 所有主机和从机都设置为工作在模式 2 或模式 3,并且将 SM20 位都置为 1。
- ② 主机首先发送从机地址,并将第 9 位数据设为 1,这样所有的从机都会接收该地址数据并置位 RIO。
- ③ 从机的软件用预先定义的地址和接收的地址数据进行比较,地址相同的从机设置 SM20=0。
- ④ 主机继续传送后面的数据并设置第 9 位为 0,此时其他从机 SM20 仍然为 1 不会置位 RIO,就只有被寻址的从机才会接收数据并置位 RIO,从而实现多机通讯。

定时器波特率分频设置

在标准 8051 中,UART0 的波特率固定为定时器溢出率的 32 分频。由于 WS51F0030 系列芯片的主时钟最高为 16MHz (或 16MHz 的分频),配置比较高的波特率时有较大误差,因此 UART0 的波特率不再固定为定时器溢出率的 32 分频,而是可以由 SODIV 设置。

例如:当 UART0 的波特率固定为定时器溢出率的 32 分频时,选择定时器 2 作为 UART0 的波特率发生器,如果要配置波特率为 115200,计算公式为: $16000000 \div 32 \div 115200 = 4.34$,由于定时器只能取整数,所以取 4 (即每 4 个系统时钟周期定时器溢出一次),误差率约为 8.5%,这么大的误差率会导致通信不正常。由于系统时钟是固定的,要达到更准确的波特率,只能通过修改分频系数来实现。如果设置定时器 5 个时钟周期溢出,那么: $16000000 \div 115200 \div 5 = 27.78$ 。取分频数为 28,那么波特率为 114285,和 115200 相比,误差率约为 0.8%,一般情况下不会影响 UART0 通信。另外,更小的分频数也可以实现更高的波特率配置。

芯片默认的分频系数为 32,与标准 8051 相同。如果要更改分频系数,通过设置 SODE=1 来使能,SODIV 的数值表示不同的分频系数,详见寄存器 SOCFG 描述。

另外,当 SODE=1 时,SMOD 位将不起作用。

8.3.3 UART1

UART1 是完全相同的两个全双工异步串行数据收发器,和 UART0 一样的是,UART1 也有一字节的接收缓存。UART1 有两种不同的工作模式,如下表所示。

表 8.3.3-1 UART1 工作模式

SM1	模式	描述	波特率
0	0	9 位异步模式,与 UART0 的模式 2 和 3 相同	$F_{sys}/(32 \times (1024 - S1REL))$
1	1	8 位异步模式,与 UART0 的模式 1 相同	$F_{sys}/(32 \times (1024 - S1REL))$

UART1 的工作原理与 UART0 的异步模式 (模式 1/2/3) 相同,与 UART0 不同的是,UART1 设计了专门的波特率发生器,波特率通过寄存器 S1RELL、S1RELH 来配置。

模式 0

在模式 0,UART1 可异步同时收发 9 位数据。写数据到寄存器 S1BUF 会启动 UART1 数据发送。第一个传送的位是开始位 (0),然后是 9 位数据 (低位先发),第 9 位数据是寄存器 S1CON 的 TB81 位,最后传送的是停止位

(1)。在接收状态，UART1 通过检测引脚 UART1_RX 的下降沿来同步。传送过程完成后，低 8 位数据存放在寄存器 S1BUF，第 9 位数据存放在 RB81 位。

图 6.3.3-1 UART1 模式 0 发送数据波形

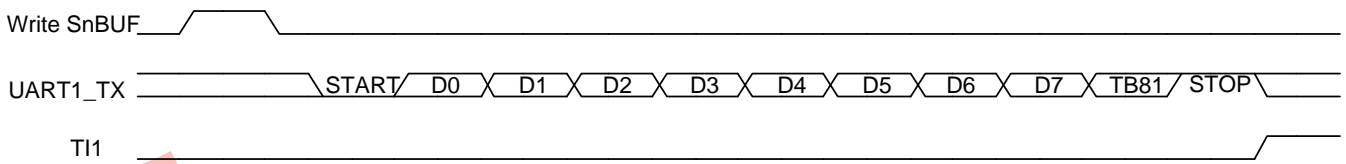
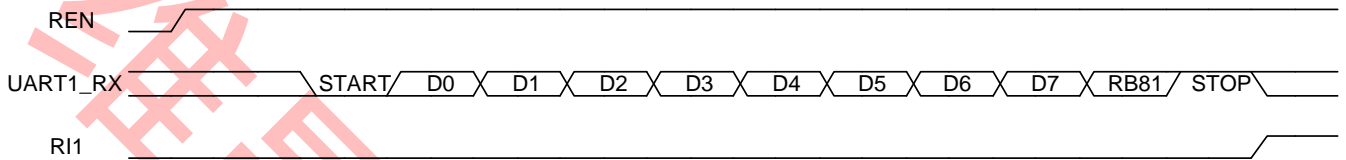


图 6.3.3-2 UART1 模式 0 接收数据波形



模式 1

模式 1 和模式 0 不同的是，模式 1 是 8 位数据传输，停止位存放的是有效停止位。其他功能和模式 0 一致。

图 6.3.2-3 UART1 模式 1 发送数据波形

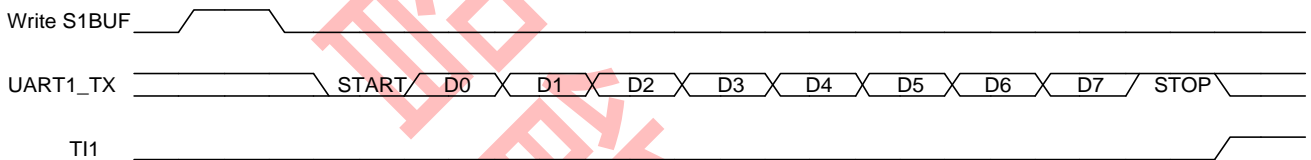
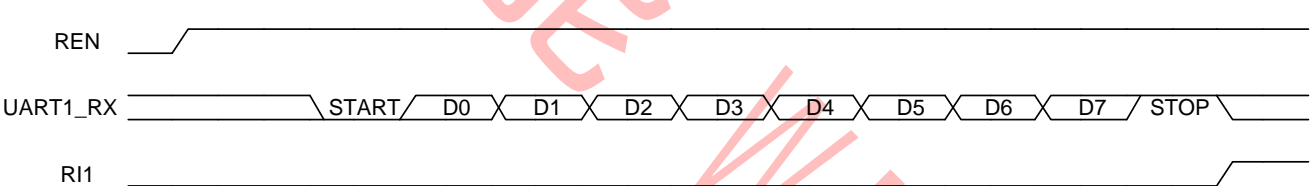


图 6.3.2-4 UART1 模式 1 接收数据波形



UART1 多机通信

与 UART0 多机通信原理一样，在 UART1 模式 0 中有一个专门适用于多机通信的机制。当寄存器 S1CON 的 SM21 位置 1，只有接收到第 9 位数据为 1 (RB81=1) 的从机才会产生接收中断，利用这个功能可进行多机通信，从机将它们自己的 SM21 位都置为 1，主机传送从机的地址时将第 9 位数据设为 1，这样所有的从机都会产生接收中断；从机的软件用它们自己的地址和接收的地址进行比较，如果一致，被寻址的从机设置 SM21=0，然后主机继续传送后面的数据时设置第 9 位为 0，而其他的从机 SM21 仍然设为 1，这样就只有被寻址的从机才会产生接收中断。

8.3.4 寄存器描述

表 8.3.4-1 寄存器 S0CON

98H	7	6	5	4	3	2	1	0
S0CON	SM00	SM10	SM20	RENO	TB80	RB80	TI0	RI0
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7	SM00	串口 0 模式选择位，详见表 8.3.2-1						

6	SM10	
5	SM20	多机通信使能位，1有效
4	RENO	串行接收使能位，1有效
3	TB80	发送的第9位数据 在模式2和3，这个位用于UART0发送数据，对应发送数据的第9位 (例如奇偶校验或多机通信)，由软件控制
2	RB80	接收的第9位数据 在模式2和3，这个位用于UART0接收数据，对应接收数据第9位；模式1时该位为停止位；如果SM20=1，该位为多主机判断位；在模式0这个位没有使用
1	TI0	发送中断标志，1有效，写0清除
0	RI0	接收中断标志，1有效，写0清除

表 8.3.4-2 寄存器 SOBUF

99H	7	6	5	4	3	2	1	0
SOBUF	SOBUF[7:0]							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7-0	SOBUF	发送接收缓冲器 写 SOBUF 将启动发送所写的的数据 读 SOBUF 将读取已经接收的数据						

表 8.3.4-3 寄存器 SOCFG

9AH	7	6	5	4	3	2	1	0
SOCFG	SODE	-	-	SODIV[4:0]				
R/W	R/W	-	-	R/W				
初始值	0	-	-	0	0	0	0	0
位编号	位符号	说明						
7	SODE	定时器分频配置使能控制位 0: UART0 波特率按照原来的配置 1: UART0 波特率由 SODIV 来配置						
6-5	-	-						
4-0	SODIV	定时器分频配置寄存器，仅在 SODE=1 时有效 模式 0: 发送时，须满足 SODIV>=2；接收时，SODIV>=3 模式 1: 发送时，须满足 SODIV>=0；接收时，SODIV>=6 模式 2: 发送时，须满足 SODIV>=2；接收时，SODIV>=7 模式 3: 发送时，须满足 SODIV>=0；接收时，SODIV>=0						

表 8.3.4-4 寄存器 S1CON

9BH	7	6	5	4	3	2	1	0
S1CON	SM1	IE1	SM21	REN1	TB81	RB81	TI1	TI1
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W

初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7	SM11	工作模式选择, 见表 6.2.3-1 UARTn 工作模式						
6	IE1	中断使能, 1 有效						
5	SM21	多机通信使能位, 1 有效						
4	REN1	串行接收使能位, 1 有效						
3	TB81	发送的第 9 位数据						
2	RB81	接收的第 9 位数据						
1	TI1	发送中断标志, 1 有效, 写 0 清除						
0	RI1	接收中断标志, 1 有效, 写 0 清除						

表 8.3.4-5 寄存器 S1BUF

9CH	7	6	5	4	3	2	1	0
S1BUF	S1BUF[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7-0	S1BUF	发送接收缓冲器 写 S1BUF 将启动发送所写的数 读 S1BUF 将读取已经接收的数						

表 8.3.4-6 寄存器 S1RELL 和 S1RELH

9DH	7	6	5	4	3	2	1	0
S1RELL	S1RELL[7:0]							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0
9EH	7	6	5	4	3	2	1	0
S1RELH	-	-	-	-	-	-	S1REL[9:8]	
R/W	-	-	-	-	-	-	R/W	R/W
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
9:0	S1REL	波特率配置寄存器						

8.4 I²C 接口 (I2C)

8.4.1 简介

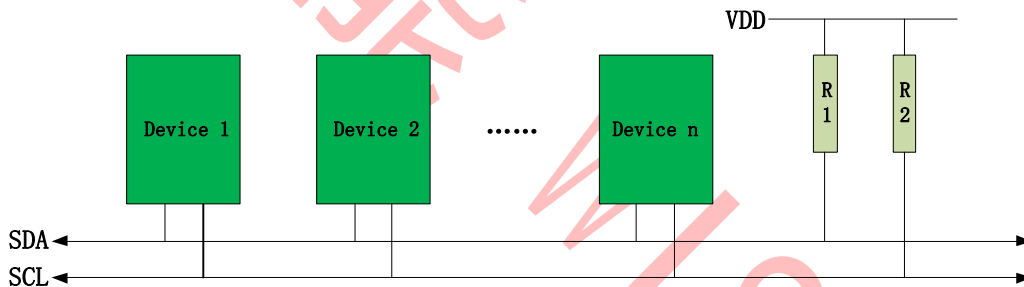
I2C 接口支持芯片与外围 I2C 器件以标准 I2C 协议进行串行数据传输，其主要特点如下

- 支持主机或从机模式，可自动切换角色
- 7 位从机地址
- 支持多主机仲裁
- 支持广播功能
- 支持标准(100K bits/s)/快速(400K bits/s)，最高速度可达 2M bits/s
- 对系统时钟没有要求，在任何系统时钟 I2C 接口都可正常通讯

8.4.2 I2C 总线互联

如下图所示，I2C 总线用 2 根线在设备间传输数据，分别为 SCL（串行时钟线）和 SDA（串行数据线）。连接 SDA 和 SCL 的 IO 端口都是开漏结构，所以总线上必须有上拉电阻。如果 I2C 接口速度只需要工作在标准/快速模式下，则可使能内部强上拉电阻（10 KΩ）或外挂 10 KΩ 的电阻；如果 I2C 接口需要工作在高速模式，则必须外挂 100 Ω 左右的电阻。

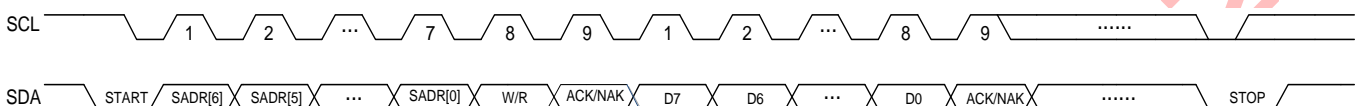
图 8.4.2-1 I2C 总线互连图



8.4.3 I2C 通信原理

标准的 I2C 通信由四部分组成：START 信号、从机地址传输、数据传输和 STOP 信号，数据传输是以 START 信号开始，以 STOP 信号结束。如下图所示，I2C 主机发送 START 信号开启 I2C 通信，然后主机发送从机地址寻址从机，接收到从机 ACK 信号后，开始发送或接收数据，在全部数据传送结束后，由主机发送 STOP 信号，结束通信。

图 8.4.3-1 I2C 通信时序图



备注:

- START: 如波形所示，SCL 为高时 SDA 由高变低
- STOP: 如波形所示，SCL 为高时 SDA 由低变高
- SADR: I2C 的从机地址
- W/R: 该位为 0 时为主机写数据传输，该位为 1 时为主机读数据传输
- ACK: SCL 为高时 SDA 为低

NAK: SCL 为高时 SDA 为高

8.4.4 I2C 工作模式

I2C 接口有 3 种工作模式：等待模式、从机模式、主机模式。

默认情况下，I2C 处于等待模式。

设置 STA 为 1，I2C 主动发送 START 信号，并从等待模式切换到主机模式。作为主机，I2C 发送的第一个字节数据为从机地址，该字节需要在设置 STA (I2CCON[3]) 之前写入到寄存器 I2CTXD。如果从机回应 NAK，I2C 将回到等待模式并产生中断；如果从机回应 ACK，则总线根据第一个字节第 8 位的读写方向进行数据传输。在从机地址和数据传输过程中，如果收到 NAK 回应、出现仲裁丢失、出现总线错误等，I2C 将回到等待模式并产生中断。如果数据传输完成，则设置 STP 为 1，I2C 将发送 STOP 信号结束总线传输。

在等待模式时，如果接受到 START 信号，则 I2C 从等待模式切换到从机模式。作为从机，I2C 能识别从机地址、掩码地址和广播地址 (0x00)，设置 I2CADM 则可打开地址掩码功能，设置 GCE 为 1 则可开启广播地址的识别。如果地址正确则 I2C 回应 ACK，并通过地址字节的第 8 位判断数据传输的方向，否则回应 NAK，回到等待模式。在从机地址和数据传输过程中，如果接收到 STOP 信号、收到 NAK 回应、出现仲裁丢失或出现总线错误，I2C 将回到等待模式并产生中断。

设置 BSHE 为 1，开启总线暂停功能，此时 I2C 在地址和数据传输时，如果来不及回应会拉低 SCL，从而暂停总线传输直到软件清除相应标志位(IF_RXADR/IF_RXDAT/IF_TXDAT)。设置 BSHE 为 0，关闭总线暂停功能，此时 I2C 必须及时清除对应标志位，否则 I2C 回应 NAK，导致传输出错。

如果没有开启总线暂停功能，则在使用时软件要尽量快速处理，避免 I2C 来不及清除标志位(IF_RXADR/IF_RXDAT/IF_TXDAT)时，产生错误的 ACK/NAK 回应。

8.4.5 寄存器描述

表 8.4.5-1 寄存器 I2CCON

A1H	7	6	5	4	3	2	1	0
I2CCON	I2CE	I2CIE	STAIE	STPIE	STA	STP	I2CKD	
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	
初始值	1	0	0	0	0	0	0	1
位编号	位符号	说明						
7	I2CE	I2C 模块使能位，1 有效						
6	I2CIE	I2C 中断使能位，1 有效						
5	STAIE	总线出现 START 信号，中断使能信号						
4	STPIE	总线出现 STOP 信号，中断使能信号						
3	STA	发送 START 信号						
2	STP	发送 STOP 信号						
1-0	I2CKD	I2C 时钟分频选择寄存器 00: I2C 模块时钟 F_{i2c} 选择内部 16MHz 高速时钟 01: I2C 模块时钟 F_{i2c} 选择内部 16MHz 高速时钟/2 10: I2C 模块时钟 F_{i2c} 选择内部 16MHz 高速时钟/4 11: I2C 模块时钟 F_{i2c} 选择内部 16MHz 高速时钟/8						

表 8.4.5-2 寄存器 I2CADR

A2H	7	6	5	4	3	2	1	0
I2CADR	GCE	DEVADR						
R/W	R/W	R/W						
初始值	1	0	0	0	0	0	0	0
位编号	位符号	说明						
7	GCE	识别广播地址 0x00 使能位, 1 有效						
6-0	DEVADR	I2C 从机地址, 在作从机时有效						

表 8.4.5-3 寄存器 I2CFG0

A3H	7	6	5	4	3	2	1	0
I2CFG0	BSHE	I2CADM						
R/W	R/W	R/W						
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7	BSHE	I2C 暂停总线功能使能位, I2C 做主机时建议开启该功能 设置 BSHE 为 1 开启拉低 SCL 暂停总线功能, I2C 在如下情况下暂停总线 1. 作为从机接收到地址且为主机读从机操作时, 如果没有清除 IF_RXADR 标志, 表明从机没有准备好要输出的数据, 从而暂停总线 2. 接收到数据后, 如果没有清除 IF_RXDAT 标志, 表明 I2C 接口忙暂停总线 3. 作为主机进行主机写从机操作时, 发送完从机地址后, 如果没有清除 IF_TXDAT 标志, 表明主机没有准备好要输出的数据, 从而暂停总线 备注: 这样设计是为了兼容主机是软件模拟 I2C 的应用, 此时, 主机的软件必须等待足够长的时间让从机响应每字节数据传输的处理。						
6-0	I2CADM	掩膜 I2C 接收到的从机地址, 跟 7 位地址一一对应						

表 8.4.5-4 寄存器 I2CFG1

A4H	7	6	5	4	3	2	1	0
I2CFG1	-	I2CCKD						
R/W	-	R/W						
初始值	-	0	0	0	0	0	0	0
位编号	位符号	说明						
7	-	-						
6-0	I2CCKD	I2C 作为 master 输出数据频率选择 $F_{i2c}/(I2CCKD + 8)$						

表 8.4.5-5 寄存器 I2CTXD

A5H	7	6	5	4	3	2	1	0
I2CTXD	I2CTXD							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0

位编号	位符号	说明
7-0	I2CTXD	I2C 发送数据寄存器

表 8.4.5-6 寄存器 I2CRXD

A6H	7	6	5	4	3	2	1	0
I2CRXD	I2CRXD							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0

位编号	位符号	说明
7-0	I2CRXD	I2C 接收数据寄存器

表 8.4.5-7 寄存器 I2CFLG

A7H	7	6	5	4	3	2	1	0
I2CFLG	BUSIDLE	RXNAK	IF_LSTARB	IF_RXSTA	IF_RXSTP	IF_TXDAT	IF_RXDAT	IF_RXADR
R/W	R	R	R/WOC	R/WOC	R/WOC	R/WOC	R/WOC	R/WOC
初始值	0	0	0	0	0	0	0	0

位编号	位符号	说明
7	BUSIDLE	总线状态标志 0: 总线繁忙 1: 总线空闲
6	RXNAK	总线接收响应标志 0: 总线接收到 ACK 1: 总线接收到 NAK
5	IF_LSTARB	I2C 发送的数据和接收到的数据不一致时出现总线丢失, 高有效, 写 0 清
4	IF_RXSTA	I2C 总线接收到 START 信号 当 I2C 为主机时发送的 START 标志也可以在此查看 START 信号是否成功发送
3	IF_RXSTP	总线接收到 STOP 信号, 作为主机时发送的 STOP 标志也可以在此查看是否已经成功发送
2	IF_TXDAT	当 I2C 为主机时表明已发送一个字节数据并接收到响应标志, 查看 RXNAK 可知从机响应类型 当 I2C 为从机时表明已发送一个字节数据, 此时不需要查看主机响应类型
1	IF_RXDAT	I2C 接收一个字节数据完成
0	IF_RXADR	I2C 作为从机正确接收到从机地址 软件通过寄存器 I2CRXD 的第 0 位为 1/0 来判断 I2C 主机是读/写操作

8.5 SPI 接口 (SPI)

8.5.1 简介

SPI 接口能够实现芯片与其他设备以半/全双工同步传输数据，在使用时可以是三线或者四线，其主要特点如下：

- 支持主机或从机操作
- 可选择最低位或最高位优先传输
- 4 种可编程的比特率
- 可编程的极性和相位
- 发送结束中断标志
- 写入冲突标志保护机制
- 支持主模式故障出错中断

8.5.2 功能描述

SPI 工作模式如下表所示。

表 8.5.2-1 SPI 工作模式

名称	描述
主机模式	所有的传输行为都由主机发起，包括 SPI_SCK 和 SPI_CS 信号的产生等。 当设置 MSTR (SPCON[4]) 位为 1, SPI 处于主机模式。用户需要另选择一个 GPIO 作为片选引脚，连接从机 SPI_CS。数据传输开始前，主机拉低这个引脚，传输结束后拉高。 在主机模式，写入寄存器 SPDAT 会启动数据传输。数据在时钟有效沿从 SPI_MOSI 移位输出。
从机模式	当设置 MSTR (SPCON[4]) 位为 0, SPI 处于从机模式。 当 SSIG (SPCON[5]) 为 1, 则 SPI_CS 引脚无效，SPI 为三线通信，从机默认片选有效；当 SSIG (SPCON[5]) 为 0, SPI_CS 引脚有效，SPI_CS 为低电平表示从机被片选。

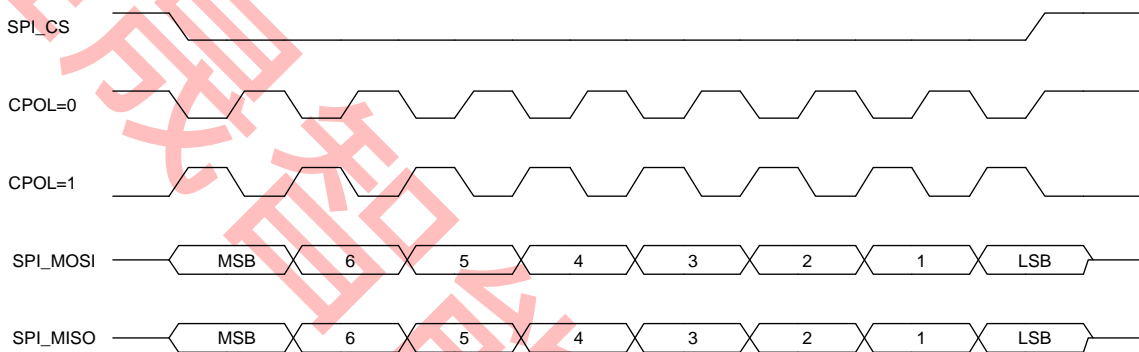
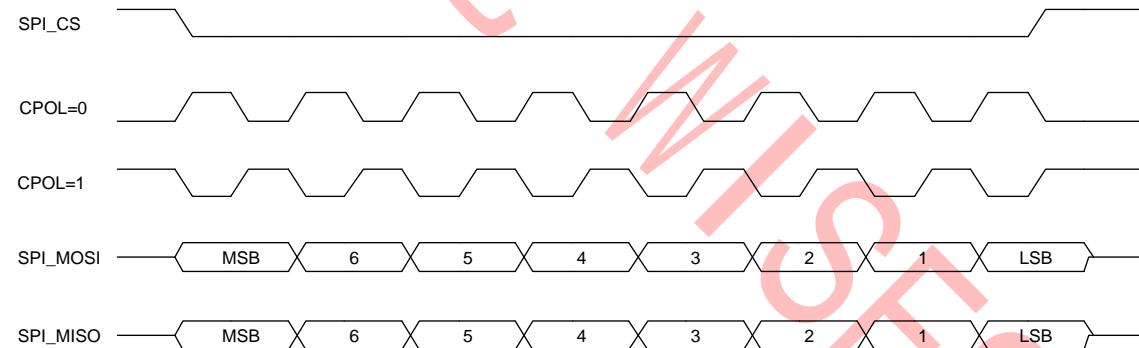
表 8.5.2-2 SPI 接口引脚描述

名称	描述
SPI_MOSI	主机输出，从机输入 当 SPI 作为主机时该引脚为主机数据输出端口，作为从机时为从机数据输入端口
SPI_MISO	主机输入，从机输出 当 SPI 作为主机时该引脚为主机数据输入端口，作为从机时为从机数据输出端口
SPI_SCK	串行时钟 当 SPI 作为主机时该引脚为串行时钟输出端口，作为从机时为串行时钟输入端口
SPI_CS	从机选择 当 SPI 引脚主机时该引脚为从机选择输入端口，作为从机时为从机选择输入端口

表 8.5.2-3 SPI 相位与极性

名称	描述
CPHA	相位控制位 0: 表示在 SPI_SCK 奇数边缘 (1,3,5,...,15) 采样数据 1: 表示在 SPI_SCK 偶数边缘 (2,4,6,...,16) 采样数据
CPOL	极性控制位 0: 表示 SPI_SCK 空闲时处于低电平 1: 表示 SPI_SCK 空闲时处于高电平

结合表 8.5.2-3, 实际传输时的波形如图 8.5.2-1 和图 8.5.2-2 所示。

图 8.5.2-1 CPHA=0 时 SPI 时序图

图 8.5.2-2 CPHA=1 时 SPI 时序图


8.5.3 寄存器描述

表 8.5.3-1 寄存器 SPCON

E1H	7	6	5	4	3	2	1	0
SPCON	SPEN	LSBF	SSIG	MSTR	CPOL	CPHA	CKOS[1:0]	
R/W	R/W	R/W	R/W	R/W	R	R/W	R/W	
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7	SPEN	SPI 模块使能位, 1 有效						
6	LSBF	低位或高位优先发送/接收选择位						

		0: 高位先发 1: 低位先发
5	SSIG	SPI_CS 引脚无效控制位, 默认为 0, 此时 SPI_CS 信号有效
4	MSTR	主机/从机选择位 0: 从机 1: 主机
3	CPOL	时钟极性选择位 0: 默认情况下时钟为低 1: 默认情况下时钟为高
2	CPHA	时钟相位选择位 0: 当 CPOL=0 时上升沿采样数据, 当 CPOL=1 时下降沿采样数据 1: 当 CPOL=0 时下降沿采样数据, 当 CPOL=1 时上升沿采样数据
1-0	CKOS	SPI 输出时钟选择位 00: 1/8 系统时钟 01: 1/24 系统时钟 10: 使用定时器 1 溢出标志, 每两次溢出传输一次数据 11: 使用定时器 2 溢出标志, 每两次溢出传输一次数据

表 8.5.3-2 寄存器 SPDAT

E2H	7	6	5	4	3	2	1	0
SPDAT	RBUF[7:0]							
R/W	R							
初始值	0	0	0	0	0	0	0	0
SPDAT	TBUF[7:0]							
R/W	W							
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7-0	SPDAT	写 SPDAT 时, 写入内部的 TBUF, 读 SPDAT 时, 从 RBUF 读出						

表 8.5.3-3 寄存器 SPFLG

E3H	7	6	5	4	3	2	1	0
SPFLG	SPIE	SDM	-	-	-	WCOL	MODF	SPIF
R/W	R/W	R/W	-	-	-	R/W	R/W	R/W
初始值	0	0	-	-	-	0	0	0
位编号	位符号	说明						
7	SPIE	SPI 中断使能位, 1 有效						
6	SDM	单数据线模式选择位 0: 无作用 1: 单数据线模式: 仅在做主机的情况下使用, SDM 置一后, MISO 引脚失效, MOSI 引脚自动切换成输入引脚用作数据输入, 通信时, 主机放送 SCK 给从机, 然后从 MOSI 引脚读回从机发回的数据, 此时, 主机只能读取数据, 不能发送数据。						

5-3	-	-
2	WCOL	写入冲突标志位，在数据正在发送时，如有软件有写 SPDAT 的操作，此时数据无法写入，即产生写入冲突标志。该位有效，有效时不会产生中断
1	MODF	故障模式标志位，1 有效，表明 SPI_CS 在不正确的逻辑电平下，有效时会产生中断
0	SPIF	数据传输完成标志位，有效时会产生中断

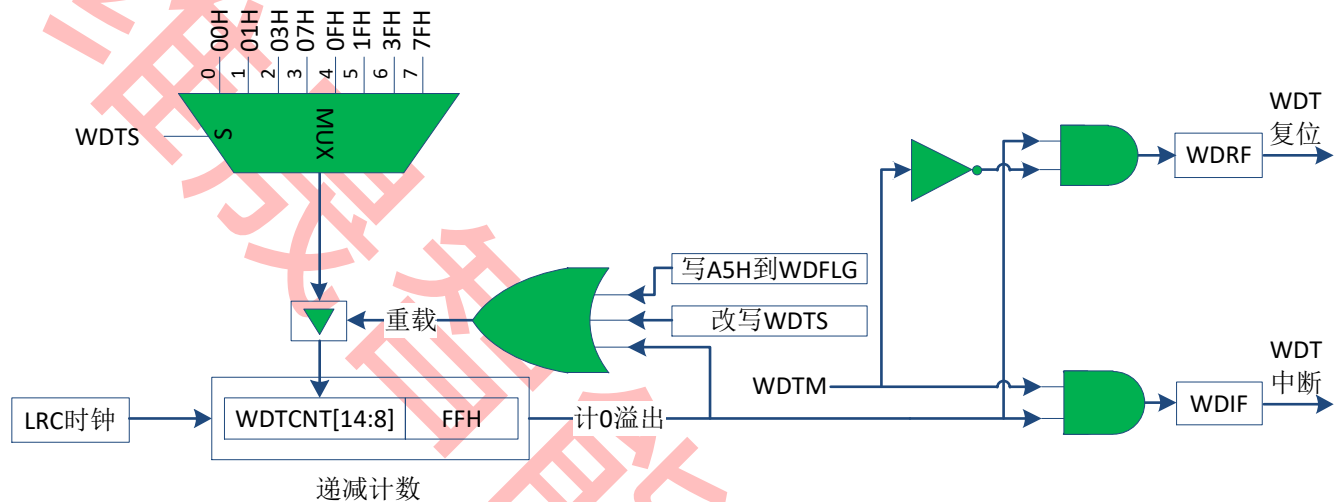
维展智能 WISESUN

8.6 看门狗定时器 (WDT)

8.6.1 简介

看门狗定时器 (WDT) 为一个 15 位递减计数器, 如下图所示, 其计数时钟为 LRC 时钟, 有 8 位调节精度, 计数范围为 7.8125ms-1s。

图 8.6.1-1 看门狗模块结构图



8.6.2 功能描述

WDT 主要用于监控系统, 避免芯片因程序跑飞或外界干扰出现死机。

写 0xA5 到寄存器 WDFLG 将开启并刷新 WDT 计数器, 而后 WDT 内部计数器进行递减计数, 如果软件不能在计数到 0 之前再次刷新 WDT, WDT 将产生内部复位或者中断。另外, 修改 WDT 时间配置寄存器 WDT5(WDCON[2:0]) 也会刷新 WDT。写 0x5A 到寄存器 WDFLG 将关闭 WDT 计数器, 读寄存器 WDFLG 可得到 WDT 状态标志。

在 STOP 模式下, 如果 WDT 处于开启状态, 则 WDT 所选的时钟源正常工作, 如果看门狗事件设为中断, 则看门狗事件可唤醒 CPU。

8.6.3 寄存器描述

表 8.6.3-1 寄存器 WDCON

A9H	7	6	5	4	3	2	1	0
WDCON	WDTM	-	-	-	-	WDT5		
R/W	R/W	-	-	-	-	R/W		
初始值	0	-	-	-	-	0	0	0
位编号	位符号	说明						
7	WDTM	WDT 触发模式选择 0: WDT 溢出后产生复位 1: WDT 溢出后产生中断						
6-3	-	-						

2-0	WDTS	WDT 时间选择 0: 256 个时钟周期, 约为 7.8125ms 1: 512 个时钟周期, 约为 15.625ms 2: 1024 个时钟周期, 约为 31.25ms 3: 2048 个时钟周期, 约为 62.5ms 4: 4096 个时钟周期, 约为 125ms 5: 8192 个时钟周期, 约为 250ms 6: 16384 个时钟周期, 约为 500ms 7: 32768 个时钟周期, 约为 1s
-----	------	--

表 8.6.3-2 寄存器 WDFLG

AAH	7	6	5	4	3	2	1	0
WDFLG						WDON	WDIF	WDRF
R/W	-					R	R	R
初始值	0	0	0	0	0	0	0	0
备注: 写 0xA5 到寄存器 WDFLG 将开启并刷新 WDT 计数器, 写 0x5A 到寄存器 WDFLG 将关闭 WDT 计数器								
位编号	位符号	说明						
7-2	-	-						
2	WDON	WDT 工作状态, 为 1 则 WDT 已开启						
1	WDIF	WDT 中断标志, 对 WDFLG 写 0xA5 时将清除该标志						
0	WDRF	WDT 复位标志, WDTLG 写 0xA5 时将清除该标志						

8.7 自唤醒定时器 (WKT)

8.7.1 简介

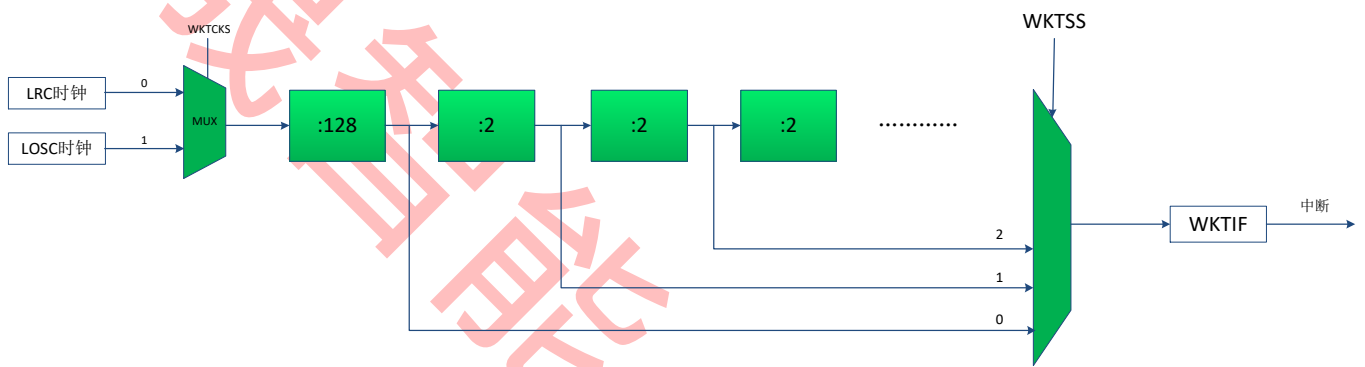
芯片内置了一个自唤醒定时器 (WKT)，用于低功耗模式下的周期唤醒芯片，也可用作通用定时器。

8.7.2 功能描述

WKT 可选 LRC/LOSC 时钟，如果开启 WKT 计数，则 LRC 会自动开启。

WKT 为一个简单的 15 位递增计数定时器，其计数范围约为 1s，通过 WKTSS 可选每 3.90625ms~1s 产生一次中断，如下图所示。

图 8.7.2-1 WKT 结构原理图



8.7.3 寄存器描述

表 8.7.3-1 寄存器 WKTCON

D1H	7	6	5	4	3	2	1	0
WKTCON	WKTE	WKTSS	WKTCKS	-	-	-	-	WKTIF
R/W	R/W	R/W	R/W	-	-	-	-	R/W
初始值	0	0	0	-	-	-	-	0
位编号	位符号	说明						
7	WKTE	WKT 使能信号						
6	WKTCKS	WKT 时钟选择 0: 选择 LRC 时钟 1: 选择 LOSC 时钟						
5-1	-	-						
0	WKTIF	WKT 中断标志						

表 8.7.3-2 寄存器 WKTSS

D2H	7	6	5	4	3	2	1	0
WKTSS								
R/W	R/W							
初始值	1	0	0	0	0	0	0	0

位编号	位符号	说明
7-0	WKTSS	WKT 中断时间选择 0: 3.90625ms 1: 7.8125ms 2: 11.71875ms ... 255: 1s

8.8 时钟监控单元 (SCM)

8.8.1 简介

芯片内置时钟监控单元 SCM，对外部时钟进行监控，其主要作用是在外部时钟出现异常时告知系统，避免系统因为时钟停止出现“挂死”现象。

8.8.2 功能描述

设置 MLE 为 1 开启监控 LOSC 计数器，该计数器开启并使用 LRC 时钟，对 LOSC 时钟进行计数。当 LOSC 时钟异常停止时，该计数器将计数溢出并拉高 LPD，而后重启 LOSC。如果此时 LOSC 为系统时钟，则系统时钟将自动切换到 LRC 时钟。如果 IEL 为 1，将产生 SCM 中断和唤醒。如果 ATL 为 1，则当 LOSC 时钟恢复正常时，系统时钟自动切回 LOSC 时钟。

8.8.3 寄存器描述

表 8.8.3-1 寄存器 SCMCN

CEH	7	6	5	4	3	2	1	0
SCMCN	-	-	-	-	MLE	IEL	ATL	LCR
R/W	-	-	-	-	R/W	R/W	R/W	W1C
初始值	-	-	-	-	0	0	0	0
位编号	位符号	说明						
7-4	-	-						
3	MLE	监控外部低速时钟使能						
2	IEL	监控到外部低速时钟停止中断使能						
1	ATL	自动重启外部低速时钟 LOSC 使能						
0	LCR	手动重启 LOSC 时钟，写 1 重启，该位自动清零						

表 8.8.3-2 寄存器 SCMFLG

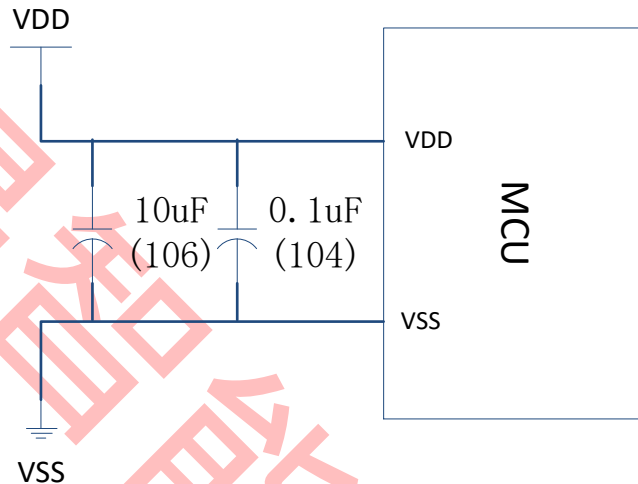
CFH	7	6	5	4	3	2	1	0
SCMFLG	-	LSP	-	-	-	-	-	LFD
R/W	-	R	-	-	-	-	-	R/WOC
初始值	-	0	-	-	-	-	-	0
位编号	位符号	说明						
7	-	-						
6	LSP	该位为 1 时，表示 XOSCL 工作异常，时钟切换到内部时钟						
5-1	-	-						
0	LFD	XOSCL 工作异常中断标志，高有效						

8.9 低压差线性稳压器 (LDO)

8.9.1 简介

WS51F0030 系列芯片内置了一个 LDO，用于给内核供电，其典型外围电路如下图。

图 8.9.1-1 典型供电电路图



8.9.2 内部基准及输出电压校准

LDO 内部的基准和 LDO 输出电压都需要校准，分别通过 BGP_TRIM(PWCON[2:0])和 LDO_TRIM(PWCON[5:3])校正，在 NVR15 区（见表 7.2.3-1）填写校准值后上电时芯片会自动从 NVR15 区导入校准值，校正后基准为 0.8V，电压为 1.5V。当 VDD 小于 LDO_TRIM 位设定的输出电压时，LDO 直接输出 VDD；当 VDD 大于设定电压时，LDO 输出设定的电压。

8.9.3 LDO 工作模式

LDO 有 4 种不同的功耗工作模式 0/1/2/3，通过寄存器为 LMOD 配置，其中模式 0 芯片具有最低系统功耗，模式 3 芯片具有最强抗干扰能力。正常工作情况下，芯片

表 8.9.3-1 LDO 工作模式

工作模式	LMOD 配置值	何时开启
模式 3	0	正常工作
		仿真调试模式
		IDLE/STOP 模式时开启了 HRC
模式 2	1	正常工作，关闭 HRC
		IDLE/STOP 模式，关闭 HRC
模式 1	2	正常工作，关闭 HRC
		IDLE/STOP 模式，关闭 HRC
模式 0	3	正常工作，关闭 HRC
		IDLE/STOP 模式，关闭 HRC

8.9.4 寄存器描述
表 8.9.4-1 寄存器 PWCON

F9H	7	6	5	4	3	2	1	0
PWCON	LMOD		LDO_TRIM			BGP_TRIM		
R/W	R/W		R/W			R/W		
初始值	0	0	1	0	0	1	0	0
位编号	位符号	说明						
7-6	LMOD	LDO 模式选择寄存器						
5-3	LDO_TRIM	LDO 校正参数						
2-0	BGP_TRIM	Bandgap 校正参数						

8.10 低电压检测 (LVD)

8.10.1 简介

低电压检测 (LVD) 用于监控芯片自身的供电电压 VDD, 可设置检测电压范围为 1.8V-4.2V, 精度±50mV。内含去抖功能。当 VDD 小于所设定的电压值时, 可设置触发中断或复位。

8.10.2 功能描述

配置寄存器 LVDS 不为 0 时开启 LVD 功能, 其触发电压阈值由寄存器 LVDTH 设置。

当芯片 VDD 出现由高变低到 LVDTH 设置的阈值时, LVDF 位将置 1。此时, 如果 LVDS 为 1 则产生 LVD 中断, 如果 LVDS 为 2 则产生 LVD 复位, 如果 LVDS 为 3 则芯片即不复位也不产生中断, 此时通过 LVDF 标志可初步判断芯片电源电压。如果产生了 LVD 复位, 不会复位寄存器 LVDCON。

8.10.3 寄存器描述

表 8.10.3-1 寄存器 LVDCON

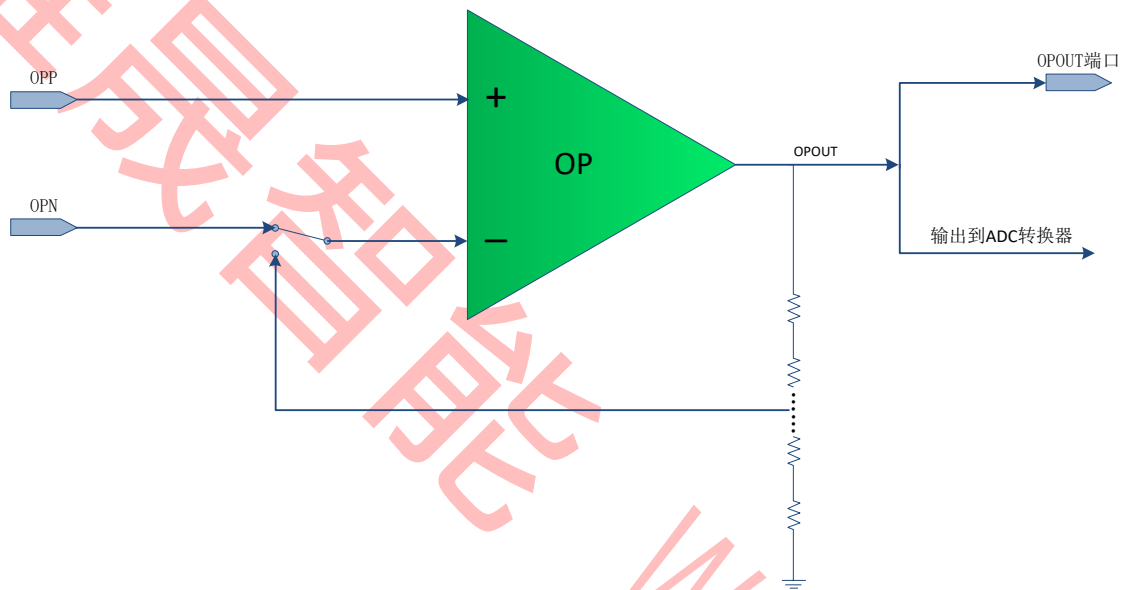
B9H	7	6	5	4	3	2	1	0
LVDCON	LVDS		-	-	LVDTH			LVDF
R/W	R/W	R/W	-	-	R/W			R/W
初始值	0	0	-	-	1	1	1	0
位编号	位符号	说明						
7-6	LVDS	LVD 功能选择位 00: LVD 关闭 01: LVDF 为高时, 产生中断 10: LVDF 为高时, 产生复位 11: LVDF 为高时, 不产生中断和复位						
5-4	-	-						
3-1	LVDTH	LVD 检测电压设置位域, 当 VDD 电压小于设置值时, 置位低电压标志 LVDF 000: 1.8V 001: 2.0V 010: 2.4V 011: 2.8V 100: 3.0V 101: 3.4V 110: 3.7V 111: 4.2V						
4	LVDF	LVD 产生标志位 0: LVD 未检测到低电压 1: LVD 检测到低电压						

8.11 运算放大器 (OP)

8.11.1 简介

芯片包含 1 个全摆幅高精度运算放大器 OP，内置修调机制，出厂修调后全温条件下失调电压小于 1mV，修调参数上电时由系统自动加载。该 OP 可拿来给 ADC 使用，也可单独使用，单独使用时运放三端均与 IO 端口复用。

图 8.11.1-1 OP 结构示意图



8.11.2 主要特性

- 运放三端均和 GPIO 端口复用
- 可接 ADC 放大输入信号
- 内置校正修调机制，全温条件下失调电压小于 1mV
- 运放负端可选内部电阻网络

8.11.3 寄存器描述

表 8.11.3-1 寄存器 OPCON

D3H	7	6	5	4	3	2	1	0
OPCON	OPEN	OPCS	OPDJE	OPOD	OPGS			
R/W	R/W	R/W	R/W	R	R/W			
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7	OPEN	OP 使能信号，高有效						
6	OPCS	OP 选择小米勒电容						

5	OPDJE	OP 的 NMOS/PMOS 调节使能
4	OPOD	OP 数字输出，用于 OP 修调时判断是否修调完成
3-0	OPGS	OP 放大系数 0000: 由外部电阻网络决定，此时 OPN 为运放反向输入引脚 0001: 由内部增益系数确定 X 1 0010: 由内部增益系数确定 X 2 0011: 由内部增益系数确定 X 4 0100: 由内部增益系数确定 X 6 0101: 由内部增益系数确定 X 8 0110: 由内部增益系数确定 X 10 0111: 由内部增益系数确定 X 12 1000: 由内部增益系数确定 X 14 1001: 由内部增益系数确定 X 16 1010: 由内部增益系数确定 X 20 1011: 由内部增益系数确定 X 24 1100: 由内部增益系数确定 X 32 1101: 由内部增益系数确定 X 64 1110: 由内部增益系数确定 X 96 1111: 由内部增益系数确定 X 128

表 8.11.3-2 寄存器 OPCFG

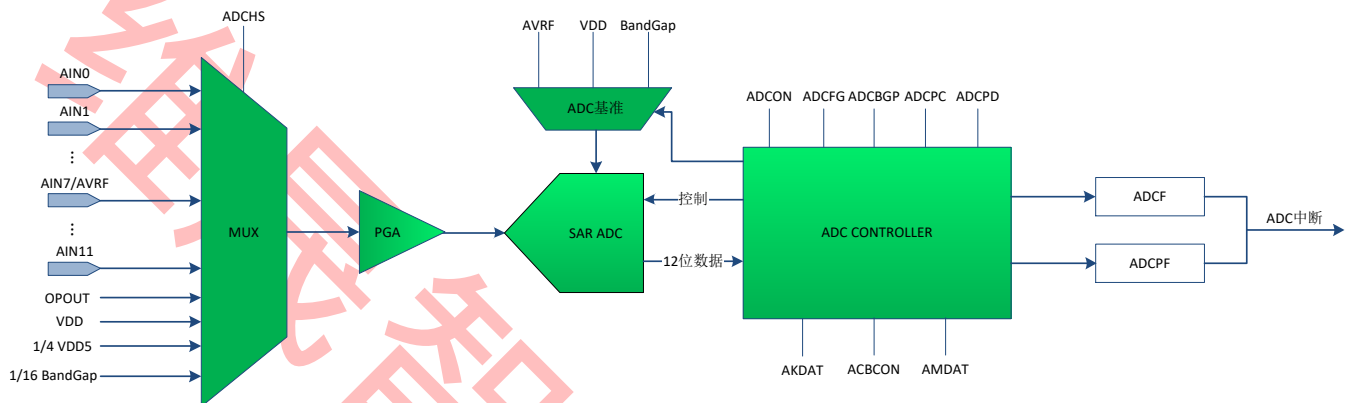
D4H	7	6	5	4	3	2	1	0
OPCFG	OPNPS	OPDTS						
R/W	R/W	R/W						
初始值	0	1	0	0	0	0	0	0
位编号	位符号	说明						
7	OPNPS	OP 的修调 NMOS/PMOS 选择寄存器						
6-0	OPDTS	OP 的 NMOS/PMOS 修调寄存器						

8.12 模数转换器 (ADC)

8.12.1 简介

模拟/数字转换器是 12 位逐次逼近型 (SAR) ADC，最多提供多达 12 个输入通道，其结构如下图所示。

图 8.12.1-1 ADC 结构示意图



8.12.2 主要特性

- 12 位的分辨率
- 最大转换速度为 1MHz
- ADC 时钟为系统时钟，可设置时钟预分频
- 最多提供 12 个通用输入通道
- 内置 1/16 BandGap 基准通道、1/4 VDD5 电源通道、内部 VDD 电源通道和高精度运放 OP 通道
- 支持 PWM0/PWM2/PWM4/ADC_ETR 引脚触发采样
- 内置比较器功能，支持 ADC 和比较器中断
- 内置 ADC 校正算法，校正后 DNL 和 INL 达到 ± 1 LSB
- 多种参考电压可选：内部 BandGap 基准、外部 VDD5 电源和外部参考 AVRF
- 输入电压范围： $VSS \leq V_{IN} \leq VDD$

8.12.3 功能描述

ADC 内置校正算法，设置不同的参考基准需要不同的校正参数。用户在进行 ADC 采样前，需要先用 NVR14 (见表 7.2.3-1) 读取对应不同参考基准的校正参数，写入寄存器 AKDAT 和 AMDAT，并配置寄存器 ACBCON。

ADC 的启动通过设置寄存器位 ADST 或 Timer 2 触发。设置 ADST=1 后，ADC 模块对寄存器 ADCHS 选择的输入电压源进行模数转换。

ADC 的单个转换时间是由寄存器位 ATMS 设置的，转换时间为 $(13 + 2^{ATMS})$ 个系统时钟周期。当转换结束后，12 位的 A/D 值经过算法校正后，会自动加载到寄存器 ADCDH、ADCDL，转换完后的 2 个时钟周期，ADST 位自动清 0，同时标志位 ADCF 位会置 1，如果 ADC 中断 ADIE (ADCON[6]) 使能，会产生 ADC 中断。

ADC 设置寄存器位 ADCPE 为 1 开启 ADC 的比较器功能，此时保存在 ADCDL 和 ADCDH 中的 ADC 采样数据，会与设定的比较阈值 ADCPL 和 ADCPH 做比较，超过设定阈值时会产生 ADC 比较器中断。

ADC 支持 PWM0/PWM2/PWM4/ADC_ETR 触发采样，设置 ATGCON 选择触发采样源，通过寄存器 ATGDLY 还可设定该触发源触发后延时多久进行采样，从而可以避免采样噪声，得到更准确的采样值。

8.12.4 寄存器描述
表 8.12.4-1 寄存器 ADCON

C0H	7	6	5	4	3	2	1	0
ADCON	ADST	ADIE	VSEL		-	-	-	ADCF
R/W	R/W	R/W	R/W		-	-	-	R/W
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7	ADST	ADC 转换开始控制位，写 1 启动转换，转换后硬件自动清 0						
6	ADIE	ADC 中断使能位 0: 关闭 ADC 中断 (ADC 输出变化可以产生中断标志，不能产生中断请求) 1: 使能 ADC 中断						
5-4	VSEL	ADC 参考电压选择位 00: 内部 1.6V 作为参考电压 01: 外部 VDD 10: 外部 VREF 11: 保留						
3-1	-	-						
0	ADCF	ADC 采样完成标志						

表 8.12.4-2 寄存器 ADCFG

C1H	7	6	5	4	3	2	1	0
ADCFG	MODE	ATMS			GAIN			
R/W	R/W	R/W			R/W			
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7	MODE	ADC 启动转换模式 0: 仅软件写 ADST 可启动 ADC 转换 1: 软件写 ADST 和 PWM0/PWM2/PWM4/ADC_ETR 均可启动 ADC 转换						
6-4	ATMS	ADC 采样时间为 2 的 ATMS 次幂，建议设置值大于 1 000: 1 个时钟周期 001: 2 个时钟周期 010: 4 个时钟周期 011: 8 个时钟周期 100: 16 个时钟周期 101: 32 个时钟周期 110: 64 个时钟周期 111: 128 个时钟周期						
3-0	GAIN	ADC 缩放设置 0000: 1/4 缩小						

		0001: 1/3 缩小 0010: 1/2 缩小 0011: 不缩放 0100: 由内部增益系数确定 X 2 0101: 由内部增益系数确定 X 4 0110: 由内部增益系数确定 X 6 0111: 由内部增益系数确定 X 8 1000: 由内部增益系数确定 X 10 1001: 由内部增益系数确定 X 12 1010: 由内部增益系数确定 X 14 1011: 由内部增益系数确定 X 16 其他: 保留
--	--	---

表 8.12.4-3 寄存器 ADCHS

C2H	7	6	5	4	3	2	1	0
ADCHS	-	-	-	ADCHS				
R/W	-	-	-	R/W				
初始值	-	-	-	1	1	1	1	1
位编号	位符号	说明						
7-5	-	-						
4-0	ADCHS	ADC 采样通道选择 00000: 通道 0 00001: 通道 1 01011: 通道 11 11100: 高精度运放 OP 输出 11101: VDD 通道 11110: 1/4 * VDD5 通道 11111: 1/16 BandGap 通道						

表 8.12.4-4 寄存器 ADCDL 和 ADCDH

C3H	7	6	5	4	3	2	1	0
ADCDL	ADCD[3:0]				-	-	-	-
R/W	R/W				-	-	-	-
初始值	0	0	0	0	-	-	-	-
C4H	7	6	5	4	3	2	1	0
ADCDH	ADCD[11:4]							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0

位编号	位符号	说明
11-0	ADCD	ADC 采样转换值

表 8.12.4-5 寄存器 ADCPC

C5H	7	6	5	4	3	2	1	0
ADCPC	ADCPE	ADCPIE	ADCPPS	-	-	-	-	ADCPF
R/W	R/W	R/W	R/W	-	-	-	-	R/W
初始值	0	0	0	-	-	-	-	0

位编号	位符号	说明
7	ADCPE	ADC 的比较器功能使能信号
6	ADCPIE	ADC 的比较器功能中断使能信号
5	ADCPPS	ADC 的比较器功能极性选择 0: 大于设定的比较阈值 1: 小于设定的比较阈值
4-1	-	-
0	ADCPF	ADC 的比较器功能标志信号

表 8.12.4-6 寄存器 ADCPDL 和 ADCPDH

C6H	7	6	5	4	3	2	1	0
ADCPDL	ADCPD[3:0]				-	-	-	-
R/W	R/W				-	-	-	-
初始值	0	0	0	0	-	-	-	-

C7H	7	6	5	4	3	2	1	0
ADCPDH	ADCPD[11:4]							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0

位编号	位符号	说明
11-0	ADCPD	ADC 比较功能阈值

表 8.12.4-7 寄存器 ATGCON

BDH	7	6	5	4	3	2	1	0
ATGCON	ATGS		ATPS		-	-	-	ATGD[8]
R/W	R/W	R/W	R/W	R/W	-	-	-	R/W
初始值	0	0	0	0	-	-	-	0

位编号	位符号	说明
7-6	ATGS	ADC 触发源选择 00: PWM0 01: PWM2 10: PWM4

		11: ADC_ETR 引脚
5-4	ATPS	ADC 触发极性选择 00: PWM0/PWM2/PWM4/ADC_ETR 的下降沿 01: PWM0/PWM2/PWM4/ADC_ETR 的上升沿 10: PWM0/PWM2/PWM4 的中间点 11: PWM0/PWM2/PWM4 的结束点
3-1	-	-
0	ATGD[8]	ATGD 的第 8 位

表 8.12.4-8 寄存器 ATGDLY

BEH	7	6	5	4	3	2	1	0
ATGDLY	ATGD							
R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W	R/W
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
8-0	ATGD	ADC 的采样触发的延时						

表 8.12.4-9 寄存器 ADCBGP

BFH	7	6	5	4	3	2	1	0
ADCBGP	ABGE	-	ABGC					
R/W	-	-	R/W					
初始值	-	-	1	0	0	0	0	0
位编号	位符号	说明						
7	ABGE	ADC 内部基准开启使能。当 ADC 使用内部基准作为基准源时，该基准自动开启，否则必须使能 ABGE 才能开启 ADC 内部基准。						
6	-	-						
5-0	ABGC	ADC 内部基准调整位						

表 8.12.4-10 寄存器 ACBCON

82B0H	7	6	5	4	3	2	1	0
ACBCON	ACBE	-	-	-	-	-	AKF	AMF
R/W	R/W	-	-	-	-	-	R/W	R/W
初始值	0	-	-	-	-	-	0	0
位编号	位符号	说明						
7	ACBE	ADC 校准使能						
6-2	-	-						
1	AKF	K 参数符号位 0: 正 1: 负						
0	AMF	M 参数符号位						

		0: 正 1: 负
--	--	--------------

表 8.12.4-11 寄存器 AKDAT

82B2H	7	6	5	4	3	2	1	0
AKDAT	AKDAT							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7-0	AKDAT	K 参数						

表 8.12.4-12 寄存器 AMDAT

82B4H	7	6	5	4	3	2	1	0
AMDAT	AMDAT							
R/W	R/W							
初始值	0	0	0	0	0	0	0	0
位编号	位符号	说明						
7-0	AMDAT	M 参数						

9 程序下载和仿真

WS51F0030 系列芯片使用我司自主研发的工具 WS_LINK 进行下载及仿真。该工具集成了在线下载、离线下载、在线仿真、USB 转 I2C 等功能，配合我司的 IDE 软件 WS_IDE 及芯片软件库，可以极大的方便用户的使用。

备注：关于程序下载和仿真的流程及细节请参考“WISUN 开发工具使用说明”

9.1 程序下载

通过 I2C 调试接口下载，接口为 P16 (SDA) 和 P02 (SCL)。

用户在调试程序时，如果用到了 I2C 接口使用的 2 个端口，默认情况下上电后芯片会有 64ms 延时(见表 7.2.3-1 描述)。如果屏蔽了该 64ms 上电延时，则需要在程序开头加一定延迟，以避免下次无法下载。详细使用请参考 WS51F0030 相关例程软件库。

9.2 在线仿真

WS51F0030 系列芯片支持在线仿真，与 Keil 软件完全兼容，支持无限断点。芯片与仿真器之间通过 I2C 接口进行通信，出厂默认的 I2C 接口是 P16(SDA) 和 P02(SCL)。

仿真调试器在芯片处于任何工作模式时（包括 IDLE 和 STOP 模式）都可以进入和退出仿真模式，并且不受系统时钟的影响。

10 电气特性

10.1 极限参数

参数	最小值	最大值	单位
直流供电电压	-0.3	6	V
I/O 端口输入电压	-0.3	VDD+0.3	V
工作环境温度	-40	105	°C
储存温度	-45	125	°C
VDD 最大通过电流	-	300	mA
VSS 最大通过电流	-	300	mA

备注：超过“极限参数”范围有可能对芯片造成损坏，无法预期芯片在上述范围外的工作状态，若长期在标示范围外工作，可能会影响芯片的可靠性。

10.2 直流电气特性

芯片参数	符号	工作电压	最小值	典型值	最大值	单位	条件		
工作电流	Iop1	1.8V	-	1.06	-	mA	系统时钟为 HRC (16MHz)，其他时钟关闭，所有输出端口无负载，所有 IO 端口处于高阻态，所有外设关闭，CPU 执行 NOP 指令		
		3.3V	-	1.08	-	mA			
		5.5V	-	1.1	-	mA			
	Iop2	1.8V	-	6.4	-	uA		系统时钟为 LRC(32KHz)，其他时钟关闭，所有输出端口无负载，LDO 设置为模式 0，所有 IO 端口处于高阻态，所有外设关闭，CPU 执行 NOP 指令	
		3.3V	-	6.5	-	uA			
		5.5V	-	7.2	-	uA			
	Iop3	1.8V	-	7.3	-	uA			系统时钟为 LRC(32KHz)，其他时钟关闭，所有输出端口无负载，LDO 设置为模式 1，所有 IO 端口处于高阻态，所有外设关闭，CPU 执行 NOP 指令
		3.3V	-	7.8	-	uA			
		5.5V	-	8.1	-	uA			
	Iop4	1.8V	-	7.8	-	uA	系统时钟为 LRC(32KHz)，其他时钟关闭，所有输出端口无负载，LDO 设置为模式 2，所有 IO 端口处于高阻态，所有外设关闭，CPU 执行 NOP 指令		
		3.3V	-	8.0	-	uA			
		5.5V	-	8.4	-	uA			
	Iop5	1.8V	-	8.9	-	uA		系统时钟为 LRC(32KHz)，其他时钟关闭，所有输出端口无负载，LDO 设置为模式 3，所有 IO 端口处于高阻态，所有外设关闭，CPU 执行 NOP 指令	
		3.3V	-	9.2	-	uA			
		5.5V	-	9.8	-	uA			
	Iop6	1.8V	-	9.7	-	uA			系统时钟为 LOSC(32.768KHz)，其他时钟关闭，所有输出端口无负载，LDO 设置为模式 0，所有 IO 端口处于高阻
		3.3V	-	9.7	-	uA			

	lop7	5.5V	-	10.3	-	uA	态, 所有外设关闭, CPU 执行 NOP 指令	
		1.8V	-	10.2	-	uA	系统时钟为 LOSC(32.768KHz), 其他时钟关闭, 所有输出端口无负载, LDO 设置为模式 1, 所有 IO 端口处于高阻态, 所有外设关闭, CPU 执行 NOP 指令	
		3.3V	-	10.5	-	uA		
		5.5V	-	10.6	-	uA		
	lop8	1.8V	-	10.5	-	uA		系统时钟为 LOSC(32.768KHz), 其他时钟关闭, 所有输出端口无负载, LDO 设置为模式 2, 所有 IO 端口处于高阻态, 所有外设关闭, CPU 执行 NOP 指令
		3.3V	-	10.6	-	uA		
		5.5V	-	10.9	-	uA		
	lop9	1.8V	-	11.3	-	uA	系统时钟为 LOSC(32.768KHz), 其他时钟关闭, 所有输出端口无负载, LDO 设置为模式 3, 所有 IO 端口处于高阻态, 所有外设关闭, CPU 执行 NOP 指令	
		3.3V	-	11.4	-	uA		
		5.5V	-	11.5	-	uA		
	STOP 模式 电流	lstp1	1.8V	-	1.9	-	uA	所有时钟关闭, 所有输出端口无负载, 所有数字输入端口不浮动, 所有外设关闭, LDO 设置为模式 0, Flash 进入睡眠模式, CPU 进入 STOP 模式
			3.3V	-	1.9	-	uA	
5V			-	2.0	-	uA		
lstp2		1.8V	-	2.7	-	uA	所有时钟关闭, 所有输出端口无负载, 所有数字输入端口不浮动, 所有外设关闭, LDO 设置为模式 1, Flash 进入睡眠模式, CPU 进入 STOP 模式	
		3.3V	-	2.7	-	uA		
		5V	-	2.8	-	uA		
lstp3		1.8V	-	3.1	-	uA	所有时钟关闭, 所有输出端口无负载, 所有数字输入端口不浮动, 所有外设关闭, LDO 设置为模式 2, Flash 进入睡眠模式, CPU 进入 STOP 模式	
		3.3V	-	3.2	-	uA		
		5V	-	3.4	-	uA		
lstp4		1.8V	-	3.9	-	uA	所有时钟关闭, 所有输出端口无负载, 所有数字输入端口不浮动, 所有外设关闭, LDO 设置为模式 3, Flash 进入睡眠模式, CPU 进入 STOP 模式	
		3.3V	-	4.1	-	uA		
		5V	-	4.3	-	uA		
IDLE 模式 电流	lid1	1.8V	-	-	-	uA	系统时钟设为 HRC (16MHz), 其他时钟关闭, 所有输出端口无负载, 所有数字输入端口不浮动, 所有外设关闭, Flash 进入睡眠模式, CPU 进入 IDLE 模式。	
		3.3V	-	-	-	uA		
		5V	-	-	-	uA		
	lid2	1.8V	-	5.6	-	uA	系统时钟设为 LRC (32KHz), 其他时钟关闭, 所有输出端口无负载, 所有	

		3.3V	-	5.6	-	uA	数字输入端口不浮动，所有外设关闭，LDO 设置为模式 0，CPU 进入 IDLE 模式。
		5V	-	5.7	-	uA	
	I _{id13}	1.8V	-	6.4	-	uA	系统时钟设为 LRC (32KHz)，其他时钟关闭，所有输出端口无负载，所有数字输入端口不浮动，所有外设关闭，LDO 设置为模式 1，CPU 进入 IDLE 模式。
		3.3V	-	6.4	-	uA	
		5V	-	6.5	-	uA	
	I _{id14}	1.8V	-	6.8	-	uA	系统时钟设为 LRC (32KHz)，其他时钟关闭，所有输出端口无负载，所有数字输入端口不浮动，所有外设关闭，LDO 设置为模式 2，CPU 进入 IDLE 模式。
		3.3V	-	6.9	-	uA	
		5V	-	7.1	-	uA	
	I _{id15}	1.8V	-	7.7	-	uA	系统时钟设为 LRC (32KHz)，其他时钟关闭，所有输出端口无负载，所有数字输入端口不浮动，所有外设关闭，LDO 设置为模式 3，CPU 进入 IDLE 模式。
		3.3V	-	7.8	-	uA	
		5V	-	8.0	-	uA	
	WDT 工作电流	I _{WDT}	1.8V	-	3.1	-	uA
3.3V			-	3.3	-	uA	
5V			-	3.3	-	uA	
WKT 工作电流	I _{WKT}	1.8V	-	3.2	-	uA	STOP 模式下开启 WKT 得到的功耗减去 STOP 模式下关闭 WKT
		3.3V	-	3.2	-	uA	
		5V	-	3.2	-	uA	
IO 端口输入高电压	V _{IH}	1.8V	-	0.81	-	V	VDD=1.8V-5.5V
		3.3V	-	1.10	-	V	
		5V	-	1.45	-	V	
IO 端口输入低电压	V _{IL}	1.8V	-	0.76	-	V	VDD=1.8V-5.5V
		3.3V	-	1.05	-	V	
		5V	-	1.40	-	V	
IO 端口推电流	I _{OH}	5V	-	19	-	mA	V _{OH} =4.3V
		3.3V	-	18	-	mA	V _{OH} =0.7*VDD
		5V	-	35	-	mA	
IO 端口灌电流	I _{OL}	3.3V	-	28	-	mA	V _{OL} =0.4V
		5V	-	40	-	mA	
		3.3V	-	53	-	mA	V _{OL} =0.3*VDD
		5V	-	97	-	mA	
IO 端口下拉电阻	R _{PD}	1.8V	-	18	-	KΩ	-
		3.3V	-	17	-	KΩ	
		5V	-	16	-	KΩ	
IO 端口弱上拉电阻	R _{PUH}	1.8V	-	69	-	KΩ	-
		3.3V	-	71	-	KΩ	
		5V	-	73	-	KΩ	
IO 端口	R _{PUL}	1.8V	-	18	-	KΩ	-

强上拉电阻	3.3V	-	13	-	KΩ
	5V	-	12	-	KΩ

10.3 交流电气特性

VDD=1.7-5.5V, TA=25°C

芯片参数	最小值	典型值	最大值	单位	条件
上电时间	-	66	-	ms	VDD=5V
待机唤醒时间	-	1.2	-	us	VDD=5V
复位脉冲时间	-	1	-	us	-
WDT 复位时间	-	95	-	us	VDD=5V
EEPROM 编程时间	-	4	-	ms	VDD=5V F _{OSC} =16MHz
内部低速时钟 (LRC) 起振时间	-	50	-	us	LRC 频率为 32KHz
内部高速时钟 (HRC) 起振时间	-	5	-	us	HRC 频率为 16MHz
HRC 频率稳定性	-1.05%	16	+1.05%	MHz	VDD=5V T _A =25°C
	-1.4%	16	+1.4%	MHz	VDD=5V T _A =-40~125°C
LRC 频率稳定性	-1.03%	32	+1.03%	KHz	VDD=5V T _A =25°C
	-1.6%	32	+1.6%	KHz	VDD=5V T _A =-40~125°C

备注: VDD=3.3V,TA=25°C, LRC 出厂频率为 32KHz, HRC 出厂频率为 16MHz, 精度为±1%.

10.4 POR 电气特性

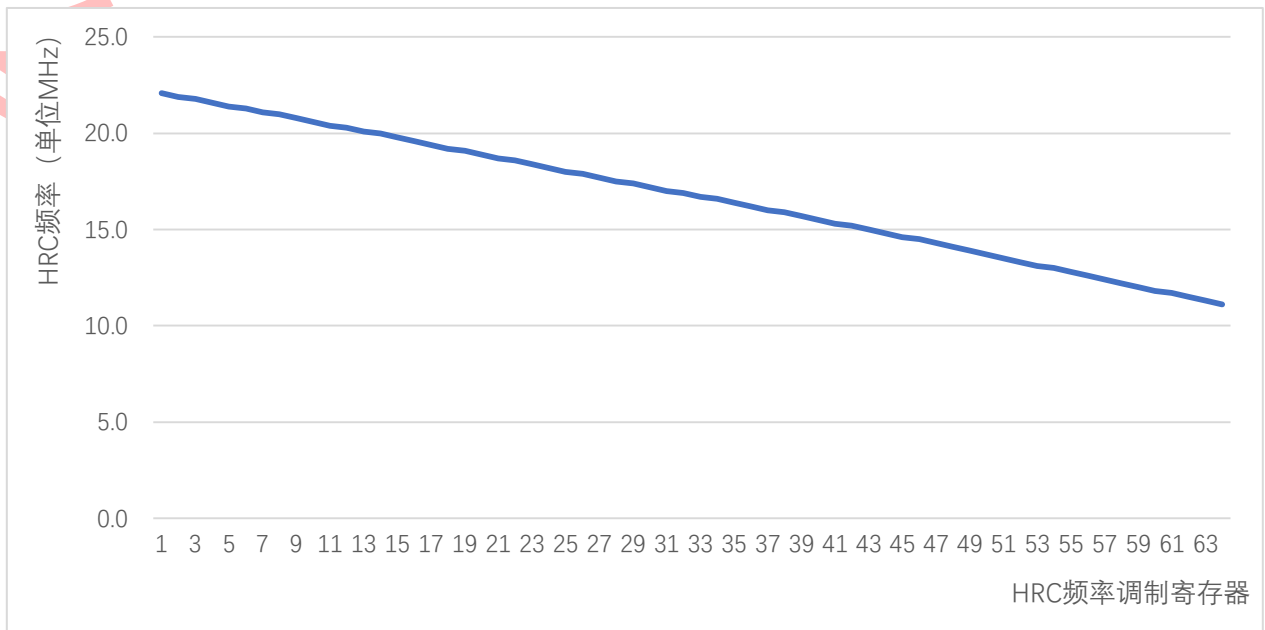
芯片参数	符号	最小值	典型值	最大值	单位	条件
上电复位截止电压值	Vpor	-	1.6	-	V	-
掉电复位起始电压值	Vbor	-	1.4	-	V	-
上电复位截止后持续复位时间	Tpor	-	60	-	us	-

10.5 HRC 电气特性

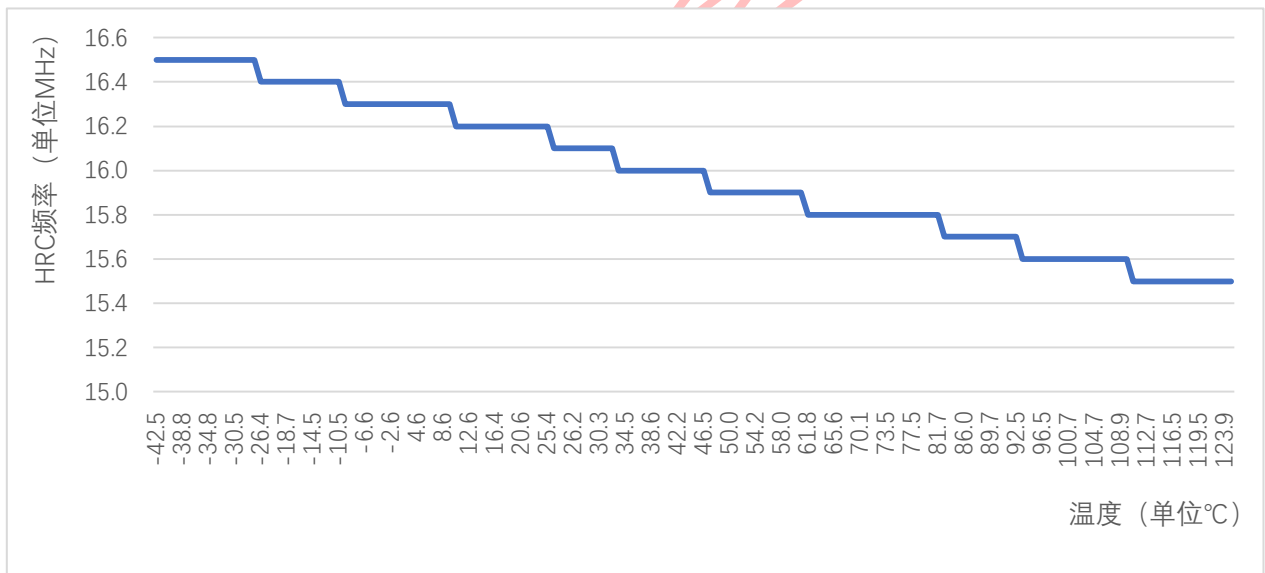
测试条件：VDD=5V，Ta=25℃。

测试数据为少数芯片测试结果，基本为测试到的最差情况，仅供参考。

内部 HRC 线性曲线



内部 HRC 温度特性

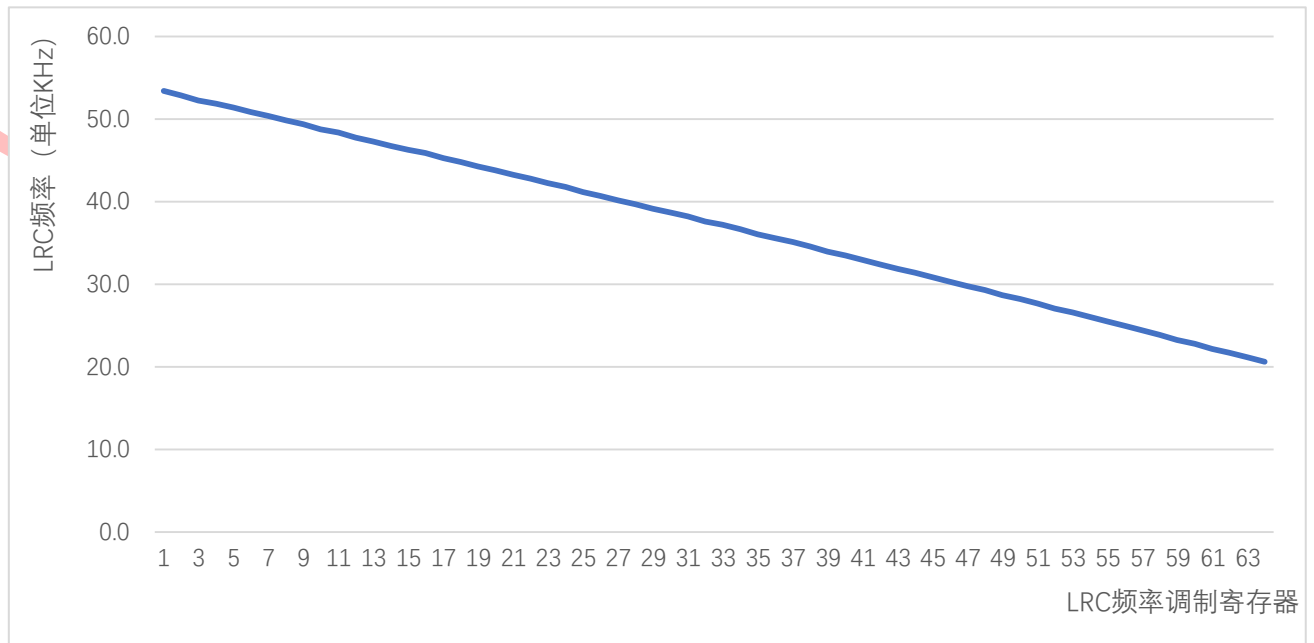


10.6 LRC 电气特性

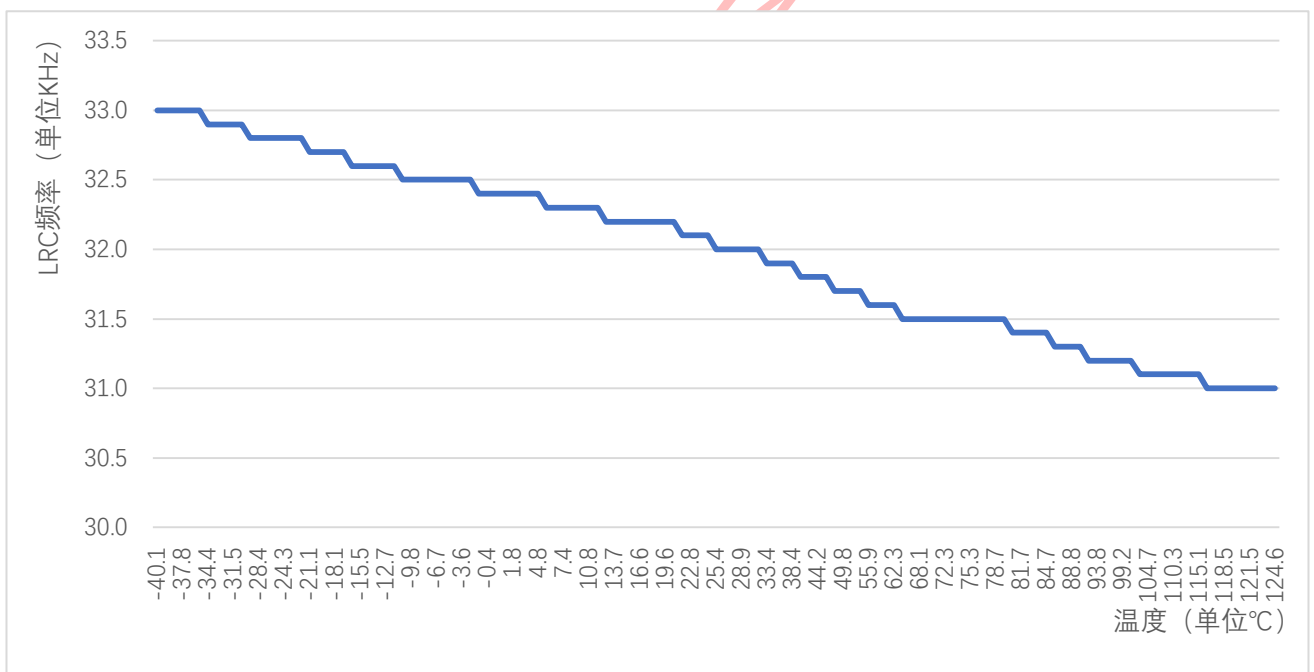
测试条件：VDD=5V，Ta=25℃。

测试数据为少数芯片测试结果，基本为最差测试情况，仅供参考。

内部 LRC 线性曲线



内部 LRC 温度特性



10.7 LOSC 电气特性

芯片参数	符号	最小值	典型值	最大值	单位	条件
起振时间	Tosc	-	180	-	ms	-
工作功耗	Iosc	-	2.5	-	uA	-
震荡频率	Fosc	32.767	32.768	32.769	KHz	-

10.8 LVD 电气特性

测试条件: Ta=25℃, 内部基准准确校准到 0.8V

芯片参数	最小值	典型值	最大值	单位	条件
LVD 门限电压 1.8V	1.80	1.82	1.85	V	LVDTH=000
LVD 门限电压 2.0V	1.99	2.0	2.01	V	LVDTH=001
LVD 门限电压 2.4V	2.39	2.40	2.42	V	LVDTH=010
LVD 门限电压 2.8V	2.78	2.79	2.80	V	LVDTH=011
LVD 门限电压 3.0V	2.99	3.0	3.02	V	LVDTH=100
LVD 门限电压 3.4V	3.39	3.40	3.41	V	LVDTH=101
LVD 门限电压 3.7V	3.69	3.70	3.71	V	LVDTH=110
LVD 门限电压 4.2V	4.19	4.20	4.20	V	LVDTH=111

10.9 OP 电气特性

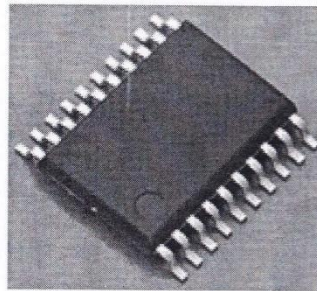
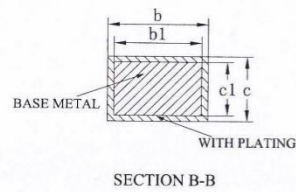
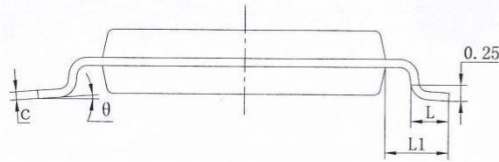
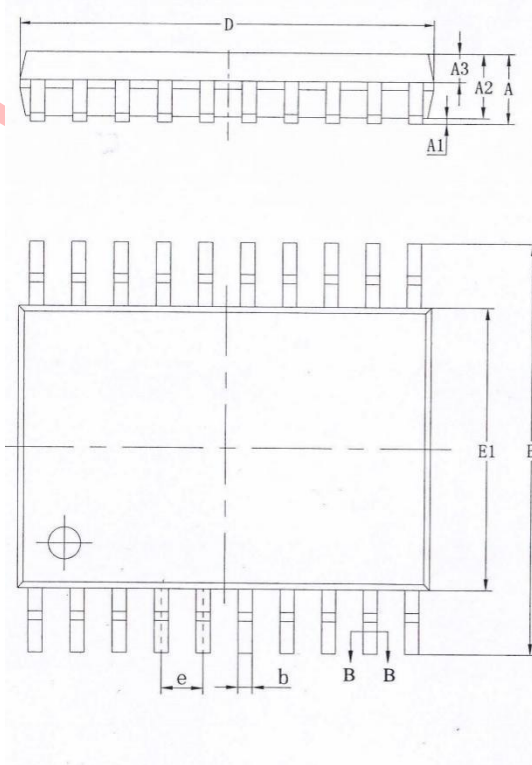
芯片参数	符号	最小值	典型值	最大值	单位	条件
工作电压	VDDA	2.0	-	5.5	V	-
静态电流	I _{DD}	-	250	-	uA	-
输入失调电压	V _{OS}	-	2	3	mV	默认值
		-	1	1.5	mV	调零后
共模输入电压范围	V _{IC}	0	-	VDDA	V	-
输出电压范围	V _{OC}	0.1	-	VDDA-0.1	V	-
电源电压抑制比	PSRR	65	77	-	dB	C _{LOAD} =100pF, R _{LOAD} =1MΩ, 100mV<V _{OUT} <VDDA-100m
共模抑制比	CMRR	79	110	-	dB	C _{LOAD} =100pF, R _{LOAD} =1MΩ, 100mV<V _{OUT} <VDDA-100m
开环增益	A _{OL}	60	110	-	dB	C _{LOAD} =100pF, R _{LOAD} =1MΩ, 100mV<V _{OUT} <VDDA-100m
增益带宽积	GBW	0.8M	1.4M	-	Hz	C _{LOAD} =100pF, R _{LOAD} =1MΩ, 100mV<V _{OUT} <VDDA-100m

10.10 ADC 电气特性

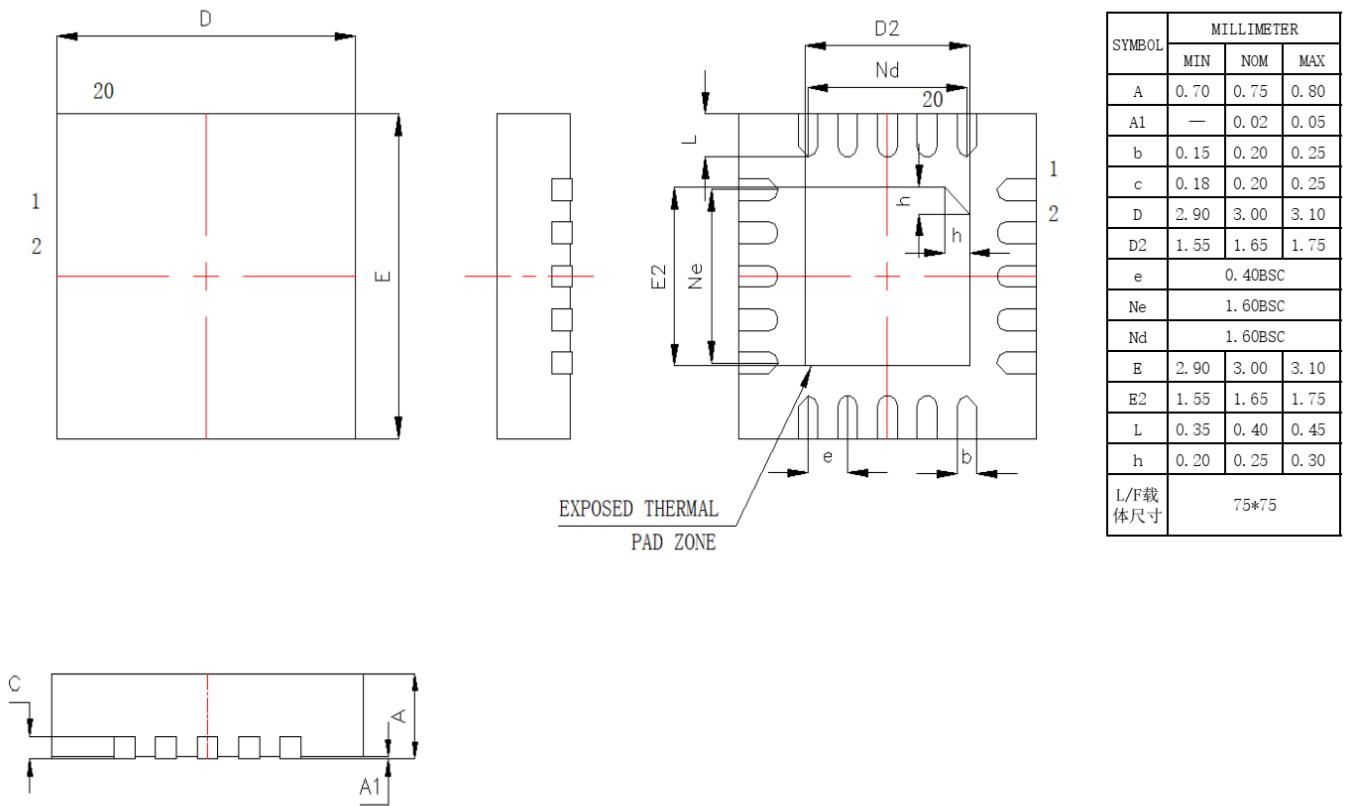
芯片参数	符号	最小值	典型值	最大值	单位	条件
ADC 工作电压	V _{ADC}	2.1	-	5	V	-
ADC 内部参考电压	V _{REF}	-	1.6	-	V	-
ADC 分辨率	N _R	-	12	-	Bit	-
ADC 输入电阻	R _{AIN}	-	1M	-	Ω	-
ADC 转换电流	I _{ADC1}	-	820	-	uA	V _{ADC} =5V, F _{adc} =16MHz, 外部基准或 VDD 基准
	I _{ADC2}	-	660	-	uA	V _{ADC} =3.3V, F _{adc} =16MHz, 外部基准或 VDD 基准
	I _{ADC3}	-	1.62	-	mA	V _{ADC} =5V, F _{adc} =16MHz, 内部基准
	I _{ADC4}	-	1.41mA	-	mA	V _{ADC} =3.3V, F _{adc} =16MHz, 内部基准
ADC 转换周期	T _{ADCK}	16	-	144	T	
ADC 转换时间	T _{ADC}	1	-	9	us	F _{adc} =16MHz
微分非线性误差	DNL	-	±1	-	LSB	VDD 基准, V _{ADC} =5V,T _{ADC} =3us
		-	±1	-	LSB	V _{REF} 基准, V _{ADC} =5V,T _{ADC} =3us
		-	±4	-	LSB	内部基准, V _{ADC} =5V,T _{ADC} =3us
积分非线性误差	INL	-	±2	-	LSB	VDD 基准, V _{ADC} =5V,T _{ADC} =3us
		-	±2	-	LSB	V _{REF} 基准, V _{ADC} =5V,T _{ADC} =3us
		-	±4	-	LSB	内部基准, V _{ADC} =5V,T _{ADC} =3us
偏移量误差	E _Z	-	±1	-	LSB	VDD 基准
满刻度误差	E _F	-	-14	-	LSB	V _{ADC} =5V

11 封装信息

11.1 WS51F0030T20U(TSSOP20)



SYMBOL	MILLIMETER		
	MIN	NOM	MAX
A	—	—	1.20
A1	0.05	—	0.15
A2	0.80	1.00	1.05
A3	0.39	0.44	0.49
b	0.20	—	0.28
b1	0.19	0.22	0.25
c	0.13	—	0.17
c1	0.12	0.13	0.14
D	6.40	6.50	6.60
E1	4.30	4.40	4.50
E	6.20	6.40	6.60
e	0.65BSC		
L	0.45	0.60	0.75
L1	1.00REF		
θ	0	—	8°

11.2 WS51F0030Q20T(QFN20 3mm*3mm)


12 附录

附录 1 指令集速查表

指令	描述	说明	周期
数据传送指令			
MOV A,Rn	寄存器内容送入累加器	$(A) \leftarrow (Rn)$	1
MOV A,direct	直接地址单元中的数据送入累加器	$(A) \leftarrow (\text{direct})$	1
MOV A,@Ri	间接 RAM 中的数据送入累加器	$(A) \leftarrow ((Ri))$	1
MOV A,#data8	8 位立即数送入累加器	$(A) \leftarrow \#data$	1
MOV Rn,A	累加器内容送入寄存器	$(Rn) \leftarrow (A)$	1
MOV Rn,direct	直接地址单元中的数据送入寄存器	$(Rn) \leftarrow (\text{direct})$	2
MOV Rn,#data8	8 位立即数送入寄存器	$(Rn) \leftarrow \#data$	1
MOV direct,A	累加器内容送入直接地址单元	$(\text{direct}) \leftarrow (A)$	1
MOV direct,Rn	寄存器内容送入直接地址单元	$(\text{direct}) \leftarrow (Rn)$	2
MOV direct,direct	直接地址单元中的数据送入直接地址单元	$(\text{direct}) \leftarrow (\text{direct})$	2
MOV direct,@Ri	间接 RAM 中的数据送入直接地址单元	$(\text{direct}) \leftarrow ((Ri))$	2
MOV direct,#data8	8 位立即数送入直接地址单元	$(\text{direct}) \leftarrow \#data$	2
MOV @Ri,A	累加器内容送入间接 RAM 单元	$((Ri)) \leftarrow (A)$	1
MOV @Ri,direct	直接地址单元中的数据送入间接 RAM 单元	$((Ri)) \leftarrow (\text{direct})$	2
MOV @Ri,#data8	8 位立即数送入间接 RAM 单元	$((Ri)) \leftarrow \#data$	1
MOV DPTR,#data16	16 位立即数地址送入地址寄存器	$(DPTR) \leftarrow \#data16$	2
MOV A,@A+DPTR	以 DPTR 为基地址变址寻址单元中的数据送入累加器	$(A) \leftarrow ((A)) + (DPTR)$	2
MOV A,@A+PC	以 PC 为基地址变址寻址单元中的数据送入累加器	$(PC) \leftarrow (PC) + 1$ $(A) \leftarrow ((A) + (PC))$	2
MOVX A,@Ri	外部 RAM(8 位地址)送入累加器	$(A) \leftarrow ((Ri))$	2
MOVX A,@DPTR	外部 RAM(16 位地址)送入累加器	$(A) \leftarrow ((DPTR))$	2
MOVX @Ri,A	累加器送入外部 RAM(8 位地址)	$((Ri)) \leftarrow (A)$	2
MOVX @DPTR,A	累加器送入外部 RAM(16 位地址)	$(DPTR) \leftarrow (A)$	2
PUSH direct	直接地址单元中的数据压入堆栈	$(SP) \leftarrow (SP) + 1$ $((SP)) \leftarrow (\text{direct})$	2
POP DIRECT	堆栈中的数据弹出到直接地址单元	$(\text{direct}) \leftarrow ((SP))$ $(SP) \leftarrow (SP) - 1$	2
XCH A,Rn	寄存器与累加器交换	$(A) \leftrightarrow (Rn)$	1
XCH A,direct	直接地址单元与累加器交换	$(A) \leftrightarrow (\text{direct})$	1
XCH A,@Ri	间接 RAM 与累加器交换	$(A) \leftrightarrow ((Ri))$	1
XCHD A,@Ri	间接 RAM 与累加器进行低半字节交换	$(A.3, \dots, A.0) \leftrightarrow ((Ri).3, \dots, (Ri).0)$	1
SWAP A	累加器半字节交换	$(A.3, \dots, A.0) \leftrightarrow (A.7, \dots, A.4)$	1
算术操作类指令			

ADD A, Rn	寄存器内容加到累加器	$(A) \leftarrow (A) + (Rn)$	1
ADD A, direct	直接地址单元加到累加器	$(A) \leftarrow (A) + (\text{direct})$	1
ADD A, @Ri	间接 RAM 内容加到累加器	$(A) \leftarrow (A) + ((Ri))$	1
ADD A, #data8	8 位立即数加到累加器	$(A) \leftarrow (A) + \#data$	1
ADDC A, Rn	寄存器内容带进位加到累加器	$(A) \leftarrow (A) + (C) + (Rn)$	1
ADDC A, direct	直接地址单元带进位加到累加器	$(A) \leftarrow (A) + (C) + (\text{direct})$	1
ADDC A, @Ri	间接 RAM 内容带进位加到累加器	$(A) \leftarrow (A) + (C) + ((Ri))$	1
ADDC A, #data8	8 位立即数带进位加到累加器	$(A) \leftarrow (A) + (C) + \#data$	1
SUBB A, Rn	累加器带借位减寄存器内容	$(A) \leftarrow (A) - (C) - (Rn)$	1
SUBB A, direct	累加器带借位减直接地址单元	$(A) \leftarrow (A) - (C) - (\text{direct})$	1
SUBB A, @Ri	累加器带借位减间接 RAM 内容	$(A) \leftarrow (A) - (C) - ((Ri))$	1
SUBB A, #data8	累加器带借位减 8 位立即数	$(A) \leftarrow (A) - (C) - \#data$	1
INC A	累加器加 1	$(A) \leftarrow (A) + 1$	1
INC Rn	寄存器加 1	$(Rn) \leftarrow (Rn) + 1$	1
INC direct	直接地址单元内容加 1	$(\text{direct}) \leftarrow (\text{direct}) + 1$	1
INC @Ri	间接 RAM 内容加 1	$((Ri)) \leftarrow ((Ri)) + 1$	1
INC DPTR	DPTR 加 1	$(DPTR) \leftarrow (DPTR) + 1$	2
DEC A	累加器减 1	$(A) \leftarrow (A) - 1$	1
DEC Rn	寄存器减 1	$(Rn) \leftarrow (Rn) - 1$	1
DEC direct	直接地址单元内容减 1	$(\text{direct}) \leftarrow (\text{direct}) - 1$	1
DEC @Ri	间接 RAM 内容减 1	$((Ri)) \leftarrow ((Ri)) - 1$	1
MUL AB	A 乘以 B	temp16 $\leftarrow (A) \times (B)$ $(A) \leftarrow (\text{temp}.7, \text{temp}.6, \dots, \text{temp}.0)$ $(B) \leftarrow (\text{temp}.15, \text{temp}.14, \dots, \text{temp}.8)$	4
DIV AB	A 除以 B	QUO $\leftarrow (A) / (B)$ (B)REM $(A) \leftarrow \text{QUO}$ $(B) \leftarrow \text{REM}$	4
DA A	累加器进行十进制转换	IF $(A.3, \dots, A.0) > 9$ AC = 1 THEN temp16 $\leftarrow (A) + 0x06$	1

		$(A) \leftarrow (temp.7, \dots, temp.0)$ IF (temp16) > 0xFF THEN $CY \leftarrow 1$ IF (A.7, \dots, A.4) > 9 $CY = 1$ THEN $temp16 \leftarrow (A) + 0x60$ $(A) \leftarrow (temp.7, \dots, temp.0)$ IF (temp16) > 0xFF THEN $CY \leftarrow 1$	
逻辑操作类指令			
ANL A, Rn	累加器与寄存器相“与”	$(A) \leftarrow (A) \& (Rn)$	1
ANL A, direct	累加器与直接地址单元相“与”	$(A) \leftarrow (A) \& (direct)$	1
ANL A, @Ri	累加器与间接 RAM 内容相“与”	$(A) \leftarrow (A) \& ((Ri))$	1
ANL A, #data8	累加器与 8 位立即数相“与”	$(A) \leftarrow (A) \& \#data$	1
ANL direct, A	直接地址单元与累加器相“与”	$(direct) \leftarrow (direct) \& (A)$	1
ANL direct, #data8	直接地址单元与 8 位立即数相“与”	$(direct) \leftarrow (direct) \& \#data$	2
ORL A, Rn	累加器与寄存器相“或”	$(A) \leftarrow (A) (Rn)$	1
ORL A, direct	累加器与直接地址单元相“或”	$(A) \leftarrow (A) (direct)$	1
ORL A, @Ri	累加器与间接 RAM 内容相“或”	$(A) \leftarrow (A) ((Ri))$	1
ORL A, #data8	累加器与 8 位立即数相“或”	$(A) \leftarrow (A) \#data$	1
ORL direct, A	直接地址单元与累加器相“或”	$(direct) \leftarrow (direct) (A)$	1
ORL direct, #data8	直接地址单元与 8 位立即数相“或”	$(direct) \leftarrow (direct) \#data$	2
XRL A, Rn	累加器与寄存器相“异或”	$(A) \leftarrow (A) \wedge (Rn)$	1
XRL A, direct	累加器与直接地址单元相“异或”	$(A) \leftarrow (A) \wedge (direct)$	1
XRL A, @Ri	累加器与间接 RAM 内容相“异或”	$(A) \leftarrow (A) \wedge ((Ri))$	1
XRL A, #data8	累加器与 8 位立即数相“异或”	$(A) \leftarrow (A) \wedge \#data$	1
XRL direct, A	直接地址单元与累加器相“异或”	$(direct) \leftarrow (direct) \wedge (A)$	1
XRL direct, #data8	直接地址单元与 8 位立即数相“异或”	$(direct) \leftarrow (direct) \wedge \#data$	2
CLR A	累加器清 0	$(A) \leftarrow 0$	1

CPL A	累加器求反	$(A) \leftarrow \neg(A)$	1
RL A	累加器循环左移	$(A) \leftarrow (A.6, A.5, \dots, A.0, A.7)$	1
RLC A	累加器带进位循环左移	$C \leftarrow A.7$ $(A) \leftarrow (A.6, A.5, \dots, A.0, C)$	1
RR A	累加器循环右移	$(A) \leftarrow (A.0, A.7, \dots, A.2, A.1)$	1
RRC A	累加器带进位循环右移	$C \leftarrow A.0$ $(A) \leftarrow (C, A.7, \dots, A.2, A.1)$	1
控制转移类指令			
ACALL addr11	绝对短调用子程序	$(PC) \leftarrow (PC) + 2$ $(SP) \leftarrow (SP) + 1$ $((SP)) \leftarrow (PC7-0)$ $(SP) \leftarrow (SP) + 1$ $((SP)) \leftarrow (PC15-8)$ $(PC10-0) \leftarrow \text{page address}$	2
LACLL addr16	长调用子程序	$(PC) \leftarrow (PC) + 3$ $(SP) \leftarrow (SP) + 1$ $((SP)) \leftarrow (PC7-0)$ $((SP)) \leftarrow (PC15-8)$ $(PC) \leftarrow \text{addr15-0}$	2
RET	子程序返回	$(PC15-8) \leftarrow ((SP))$ $(SP) \leftarrow (SP) - 1$ $(PC7-0) \leftarrow ((SP))$ $(SP) \leftarrow (SP) - 1$	2
RETI	中断返回	$(PC15-8) \leftarrow ((SP))$ $(SP) \leftarrow (SP) - 1$ $(PC7-0) \leftarrow ((SP))$ $(SP) \leftarrow (SP) - 1$	2
AJMP addr11	绝对短转移	$(PC) \leftarrow (PC) + 2$ $(PC10-0) \leftarrow \text{page address}$	2
LJMP addr16	长转移	$(PC) \leftarrow (PC) + 3$ $(SP) \leftarrow (SP) + 1$ $((SP)) \leftarrow (PC7-0)$ $(SP) \leftarrow (SP) + 1$ $((SP)) \leftarrow (PC15-8)$ $(PC10-0) \leftarrow \text{addr15-0}$	2
SJMP rel	相对转移	$(PC) \leftarrow (PC) + 2$ $(PC) \leftarrow (PC) + \text{rel}$	2
JMP @A+DPTR	相对于 DPTR 的间接转移	$(PC) \leftarrow (A) + (DPTR)$	2

JZ rel	累加器为零转移	$(PC) \leftarrow (PC) + 2$ IF $(A) = 0$ THEN $(PC) \leftarrow (PC) + rel$	2
JNZ rel	累加器非零转移	$(PC) \leftarrow (PC) + 2$ IF $(A) \neq 0$ THEN $(PC) \leftarrow (PC) + rel$	2
CJNE A, direct, rel	累加器与直接地址单元比较，不等则转移	$(PC) \leftarrow (PC) + 3$ IF $(A) \neq (direct)$ THEN $(PC) \leftarrow (PC) +$ relative offset IF $(A) < (direct)$ THEN $(C) \leftarrow 1$ ELSE $(C) \leftarrow 0$	2
CJNE A, #data8, rel	累加器与 8 位立即数比较，不等则转移	$(PC) \leftarrow (PC) + 3$ IF $(A) \neq data$ THEN $(PC) \leftarrow (PC) +$ relative offset IF $(A) < data$ THEN $(C) \leftarrow 1$ ELSE $(C) \leftarrow 0$	2
CJNE Rn, #data8, rel	寄存器与 8 位立即数比较，不等则转移	$(PC) \leftarrow (PC) + 3$ IF $(Rn) \neq data$ THEN $(PC) \leftarrow (PC) +$ relative offset IF $(Rn) < data$ THEN $(C) \leftarrow 1$ ELSE $(C) \leftarrow 0$	2
CJNE @Ri, #data8, rel	间接 RAM 单元，不等则转移	$(PC) \leftarrow (PC) + 3$ IF $((Ri)) \neq data$ THEN $(PC) \leftarrow (PC) +$ relative offset IF $((Ri)) < data$	2

		THEN (C) ← 1 ELSE (C) ← 0	
DJNZ Rn, rel	寄存器减 1, 非零转移	(PC) ← (PC) + 2 (Rn) ← (Rn) - 1 IF (Rn) <> 0 THEN (PC) ← (PC) + rel	2
DJNZ direct, rel	直接地址单元减 1, 非零转移	(PC) ← (PC) + 2 (direct) ← (direct) - 1 IF (direct) <> 0 THEN (PC) ← (PC) + rel	2
NOP	空操作	(PC) ← (PC) + 1	1
布尔变量操作类指令			
CLR C	清进位位	(C) ← 0	1
CLR bit	清直接地址位	(bit) ← 0	1
SETB C	置进位位	(C) ← 1	1
SETB bit	置直接地址位	(bit) ← 1	1
CPL C	进位位求反	(C) ← /(C)	1
CPL bit	直接地址位求反	(bit) ← /(bit)	1
ANL C, bit	进位位和直接地址位相“与”	(C) ← (C) & (bit)	2
ANL C, /bit	进位位和直接地址位的反码相“与”	(C) ← (C) & /(bit)	2
ORL C, bit	进位位和直接地址位相“或”	(C) ← (C) (bit)	2
ORL C, /bit	进位位和直接地址位的反码相“或”	(C) ← (C) /(bit)	2
MOV C, bit	直接地址位送入进位位	(C) ← (bit)	1
MOV bit, C	进位位送入直接地址位	(bit) ← (C)	2
JC rel	进位位为 1 则转移(CY=0 不转移, =1 转移)	(PC) ← (PC) + 2 IF (C) = 1 THEN (PC) ← (PC) + rel	2
JNC rel	进位位为 0 则转移	(PC) ← (PC) + 2 IF (C) = 0 THEN (PC) ← (PC) + rel	2
JB bit, rel	直接地址位为 1 则转移	(PC) ← (PC) + 3 IF (bit) = 1 THEN (PC) ← (PC) + rel	2
JNB bit, rel	直接地址位为 0 则转移	(PC) ← (PC) + 3 IF (bit) = 0 THEN (PC) ← (PC) + rel	2
JBC bit, rel	直接地址位为 1 则转移, 该位清零	(PC) ← (PC) + 3 IF (bit) = 1 THEN (bit) ← 0	2

		(PC) ← (PC) + rel	
伪指令			
ORG	设置程序起始地址		
END	标志源代码结束		
EQU	定义常数		
SET	定义整型数		
DATA	给数据地址定值		
BYTE	给字节类型符号定值		
WORD	给字类型符号定值		
BIT	给位地址取名		
ALTNAME	用自定义名取代保留字		
DB	给一块连续的存储区装载字节型数据		
DW	给一块连续的存储区装载字型数据		
DS	预留一个连续的存储区或装入指定字节		
INCLUDE	将一个源文件插入程序中		
TITLE	列表文件中加入标题行		
NOLIST	汇编时不产生列表文件		
NOCODE	条件汇编时，条件为假的不产生清单		

13 版本历史

版本号	内容	时间
V1.0	初版发布	2021.03.30
V1.1	更新 NVR 数据区描述	2021.07.13
V1.2	增加 ADC trigger 描述	2021.08.16
V1.3	修改 PWM 描述及一些寄存器描述错误	2021.12.07
V1.4	增加 QFN20(3mm*3mm)封装	2021.12.16
V1.5	修改部分文档描述错误	2022.02.22
V1.6	去掉 ADC 时钟分频功能	2022.03.23

X-ON Electronics

Largest Supplier of Electrical and Electronic Components

Click to view similar products for [32-bit Microcontrollers - MCU category](#):

Click to view products by [Wisesun manufacturer](#):

Other Similar products are found below :

[MCF51AC256AVFUE](#) [MCF51AC256BCFUE](#) [MCF51AC256BVFUE](#) [MB91F464AAPMC-GSE2](#) [R5S726B0D216FP#V0](#) [MB91F248PFV-GE1](#) [MB91243PFV-GS-136E1](#) [SAK-TC1782F-320F180HR BA](#) [TC364DP64F300WAAKXUMA1](#) [R5F566NNDDFP#30](#)
[R5F566NNDDFC#30](#) [R5F566NNDDBD#20](#) [MC96F8216ADBN](#) [A96G181HDN](#) [A96G140KNN](#) [A96G174FDN](#) [A31G213CL2N](#)
[A96G148KNN](#) [A96G174AEN](#) [AC33M3064TLBN-01](#) [V3s](#) [T3](#) [A40i-H](#) [V526](#) [A83T](#) [R11](#) [V851s](#) [A133](#) [V833](#) [F1C100S](#) [T3L](#) [T507](#) [A33](#)
[A63](#) [T113-i](#) [H616](#) [V853](#) [V533](#) [R16-J](#) [V536-H](#) [A64-H](#) [V831](#) [V3LP](#) [T113-S3](#) [F1C200S](#) [F133-A](#) [R128-S2](#) [D1-H](#) [ADUCM360BCPZ128-TR](#)
[APT32S003F8PT](#)