

ZML166N32A

内置 24 位 ADC 的 Cortex M0 核混合信号微控制器 DS01010101 1.0.02 Data:2019/07/02

概述

ZML166N32A 为内置 24 位 ADC 的 ARM® Cortex®-M0 混合信号微控制器，在单芯片中集成 24 位高性能多通道 Σ - Δ 型模数转换器 (ADC)、32 位 ARM® Cortex®-M0 处理器。该器件设计为与外部精密传感器直接连接，构成单片高精度数据采集系统。ZML166 包括 4 个 16 位通用定时器、1 个 32 位通用定时器、1 个高级 PWM 定时器、2 个 UART 接口、1 个 I²C 接口、1 个 SPI 接口和 1 个 USB 接口。除此之外，内部还有一个 24 位 Σ - Δ 型模数转换器，拥有 5 个模拟输入通道，可两两任意配置成差分输入通道，模拟输入通道信号增益可软件配置，支持宽动态范围信号输入。

ZML166N32A 产品系列工作电压为 2.4V ~ 3.6V，工作温度范围 -40°C ~ +85°C。多种省电工作模式保证低功耗应用的要求。

产品特性

- 内核与系统：高性能的 ARM® Cortex®-M0 为内核的 32 位微控制器；
- 存储器：高达 64K 字节的闪存程序存储器和高达 8K 字节的 SRAM；
- 时钟、复位和电源管理：2.4V ~ 3.6V 供电上电/断电复位 (POR/PDR)、可编程电压监测器 (PVD)；外部 8~24MHz 高速晶体振荡器；内嵌经出厂调校的 48MHz 高速振荡器；内嵌 40KHz 低速振荡器；PLL 支持 CPU 最高运行在 48MHz；
- 睡眠、停机和待机模式；
- 1 个 24 位高精度模数转换器，5 个输入通道，可自由选择增益和配对组成差分输入通道；
- 24 位 ADC 模拟输入通道增益 1/2/4/8/16/32/64/128 倍可选，具有 50Hz/60Hz 工频抑制；
- 自带 LDO，输出 3.0V 激励电压；
- 24 位 ADC 内置 1.225V 基准可选；
- 2 个比较器；
- 5 通道 DMA 控制器；
- 多达 15 个快速 I/O 端口；
- 多达 9 个定时器；
- 96 位的芯片唯一 ID (UID)；
- 采用 QFN32 封装。

产品应用

工业
仪表
物联
医疗

订购信息

型号	温度范围	封装
ZML166N32A	-40°C ~ +85°C	QFN32

修订历史

版本	日期	内容
1.0.00	2019/06/17	修改版本号;
1.0.01	2019/06/17	修订 ADC 特性参数;
1.0.02	2019/10/20	修订部分描述;

目录

1 简介	1
1.1 概述	1
1.2 产品特性	1
2 规格说明	3
2.1 器件对比	3
2.2 概述	3
2.2.1 ARM 的 Cortex®-M0 核心并内嵌闪存和 SRAM	3
2.2.2 内置闪存存储器	3
2.2.3 内置 SRAM	3
2.2.4 嵌套的向量式中断控制器 (NVIC)	4
2.2.5 外部中断/事件控制器 (EXTI)	4
2.2.6 时钟和启动	4
2.2.7 自举模式	4
2.2.8 供电方案	4
2.2.9 供电监控器	4
2.2.10 电压调压器	5
2.2.11 低功耗模式	5
2.2.12 DMA	5
2.2.13 备份寄存器	5
2.2.14 定时器和看门狗	5
2.2.15 通用异步收发器 (UART)	7
2.2.16 I ² C 总线	7
2.2.17 串行外设接口 (SPI)	7
2.2.18 通用串行总线 (USB)	7
2.2.19 通用输入输出接口 (GPIO)	7
2.2.20 ADC(模拟/数字转换器)	8
2.2.21 串行单线 SWD 调试口 (SW-DP)	8
2.2.22 比较器 (COMP)	8
3 引脚定义	11
4 存储器映像	14
5 电气特性	16
5.1 测试条件	16
5.1.1 最小和最大值	16
5.1.2 典型数值	16
5.1.3 典型曲线	16
5.1.4 负载电容	16
5.1.5 引脚输入电压	16
5.1.6 供电方案	17
5.1.7 电流消耗测量	17
5.2 绝对最大额定值	18

5.3	工作条件	19
5.3.1	通用工作条件	19
5.3.2	上电和掉电时的工作条件	19
5.3.3	内嵌复位和电源控制模块特性	20
5.3.4	供电电流特性	21
5.3.5	外部时钟源特性	23
5.3.6	内部时钟源特性	25
5.3.7	PLL 特性	26
5.3.8	存储器特性	26
5.3.9	EMC 特性	27
5.3.10	绝对最大值 (电气敏感性)	28
5.3.11	I/O 端口特性	29
5.3.12	NRST 引脚特性	31
5.3.13	TIM 定时器特性	32
5.3.14	通信接口	33
5.3.15	24 位 ADC 特性	37
5.3.16	比较器特性	42
6	封装特性	44
6.1	封装 QFN32	44
7	型号命名	46
8	表格	47
9	图片	48
10	免责声明	49

1 简介

1.1 概述

ZML166N32A 为内置 24 位 ADC 的 ARM® Cortex®-M0 为内核的 32 位微控制器，最高工作频率可达 48MHz，内置高速存储器，丰富的增强型 I/O 端口和外设连接到外部总线。在单芯片中集成 24 位高性能多通道 Σ - Δ 型模数转换器 (ADC)、32 位 ARM® Cortex®-M0 处理器。该器件设计为与外部精密传感器直接连接，构成单片高精度数据采集系统。本产品包含 2 个比较器、1 个 16 位通用定时器、1 个 32 位通用定时器、3 个 16 位基本定时器、1 个 16 位高级定时器。还包含标准的通信接口：1 个 I²C 接口、1 个 SPI 接口、1 个 USB 接口和 2 个 UART 接口。

除此之外，内部还有一个 24 位 Σ - Δ 型模数转换器，拥有 5 个模拟输入通道，可两两任意配置成差分输入通道，模拟输入通道信号增益可软件配置，支持宽动态范围信号输入。

本产品产品系列工作电压为 2.4V ~ 3.6V，工作温度范围为 -40°C ~ +85°C。多种省电工作模式保证低功耗应用的要求。

本产品提供 QFN32 封装形式，下面给出了该系列产品中所有外设的基本介绍。

1.2 产品特性

- 内核与系统
 - 32 位 ARM® Cortex®-M0 处理器内核
 - 最高工作频率可达 48MHz
 - 单指令周期 32 位硬件乘法器
- 存储器
 - 高达 64K 字节的闪存程序存储器
 - 高达 8K 字节的 SRAM
 - Boot loader 支持片内 Flash、UART 在线用户编程 (IAP) / 在线系统编程 (ISP)
- 复位
 - 外部管脚复位
 - 上电复位
 - 软件复位
 - 看门狗复位
 - 低功耗复位
- 低电压检测 PVD
 - 8 级检测电压门限可调
 - 上升沿和下降沿可配置
- 时钟和电源管理
 - 2.4V ~ 3.6V 供电
 - 外部 8 ~ 24MHz 高速晶体振荡器
 - 内嵌 40KHz 低速振荡器
 - PLL 支持 CPU 最高运行在 48MHz
- 低功耗
 - 睡眠、停机和待机模式
 - 转换范围：0 ~ V_{DDA}
- 1 个 24 位 Σ - Δ 模数转换器，5 个输入通道，可自由配对组成差分输入通道

- 转换范围: VREFN~VREFP
- 支持电平移位功能
- 具有良好的 50Hz/60Hz 工频抑制
- 具有 1/2/4/8/16/32/64/128 可选增益
- 高达 100Mohm 输入阻抗
- 支持工作、休眠模式
- 内部基准, 外部 LDO 输出可给传感器供电 (10mA)
- 2 个比较器
- 5 通道 DMA 控制器
 - 支持的外设: Timer、UART、I²C、SPI 和 USB
- 多达 15 个快速 I/O 端口:
 - 所有 I/O 口可以映像到 16 个外部中断;
- 调试模式
 - 串行单线调试 (SWD)
- 多达 9 个定时器
 - 1 个 16 位 4 通道高级控制定时器, 有 4 通道 PWM 输出, 以及死区生成和紧急停止功能
 - 1 个 16 位定时器和 1 个 32 位定时器, 有高达 4 个输入捕获/输出比较, 可用于 IR 控制解码
 - 2 个 16 位定时器, 有 1 个输入捕获/输出比较和 1 个 OCN, 死区生成, 紧急停止, 调制器门电路用于 IR 控制
 - 1 个 16 位定时器, 有 1 个输入捕获/输出比较
 - 2 个看门狗定时器 (独立的和窗口型的)
 - 系统时间定时器: 24 位自减型计数器
- 多达 5 个通信接口
 - 2 个 UART 接口
 - 1 个 I²C 接口
 - 1 个 SPI 接口
 - 1 个 USB device 接口
- 96 位的芯片唯一 ID (UID)
- 采用 QFN32 封装

注:

本文给出了本产品的订购信息和器件的机械特性。有关完整的本产品的详细信息, 请参考本产品数据手册第 2.2 节。
有关 Cortex[®]-M0 核心的相关信息, 请参考《Cortex[®]-M0 技术参考手册》。

2 规格说明

2.1 器件对比

表 2: ZML166 产品功能和外设配置

产品型号		ZML166N32A
外围接口		
闪存 - K 字节		64
SRAM - K 字节		8
定时器	通用定时器	5
	高级定时器	1
通讯接口	USB	1
	UART	2
	I ² C	1
	SPI	1
GPIO 端口 (通道数)		15
24 位 Σ - Δ ADC (通道数)		1 5 channels
比较器		2
CPU 频率		48 MHz
工作电压		2.4V ~ 3.6V
封装		QFN32

2.2 概述

2.2.1 ARM 的 Cortex[®]-M0 核心并内嵌闪存和 SRAM

ARM 的 Cortex[®]-M0 处理器是最新一代的嵌入式 ARM 处理器，它为实现 MCU 的需要提供了低成本的平台、缩减的引脚数目、降低的系统功耗，同时提供卓越的计算性能和先进的中断系统响应。

ARM 的 Cortex[®]-M0 是 32 位的 RISC 处理器，提供额外的代码效率，在通常 8 和 16 位系统的存储空间上发挥了 ARM 内核的高性能。

本产品拥有内置的 ARM 核心，因此它与所有的 ARM 工具和软件兼容。

2.2.2 内置闪存存储器

最大 64K 字节的内置闪存存储器，用于存放程序和数据。

2.2.3 内置 SRAM

最大 8K 字节的内置 SRAM。

2.2.4 嵌套的向量式中断控制器 (NVIC)

本产品内置嵌套的向量式中断控制器，能够处理多个可屏蔽中断通道（不包括 16 个 Cortex™-M0 的中断线）和 16 个可编程优先级。

- 紧耦合的 NVIC 能够达到低延迟的中断响应处理
- 中断向量入口地址直接进入内核
- 紧耦合的 NVIC 接口
- 允许中断的早期处理
- 处理晚到的较高优先级中断
- 支持中断尾部链接功能
- 自动保存处理器状态
- 中断返回时自动恢复，无需额外指令开销

该模块以最小的中断延迟提供灵活的中断管理功能。

2.2.5 外部中断/事件控制器 (EXTI)

外部中断/事件控制器包含多个边沿检测器，用于产生中断/事件请求。每个中断线都可以独立地配置它的触发事件（上升沿或下降沿或双边沿），并能够单独地被屏蔽；有一个挂起寄存器维持所有中断请求的状态。EXTI 可以检测到脉冲宽度小于内部 APB2 的时钟周期。所有通用 I/O 口连接到 16 个外部中断线。

2.2.6 时钟和启动

系统时钟的选择是在启动时进行，复位时内部 48 MHz 的振荡器被选为默认的 CPU 时钟，随后可以选择外部的、具失效监控的 8 ~ 24 MHz 时钟。当检测到外部时钟失效时，它将被隔离，系统将自动地切换到内部的振荡器，如果使能了中断，软件可以接收到相应的中断。

多个预分频器用于配置 AHB 的频率、高速 APB（APB2 和 APB1）区域。AHB 和高速 APB 的最高频率是 48MHz。参考图 2 的时钟驱动框图。

2.2.7 自举模式

在启动时，通过自举引脚可以选择三种自举模式中的一种：

- 从程序闪存存储器自举
- 从系统存储器自举
- 从内部 SRAM 自举

自举加载程序 (Boot loader) 存放于系统存储器中，可以通过 UART1 对闪存重新编程。

2.2.8 供电方案

- $V_{DD} = 2.4V \sim 3.6V$: V_{DD} 引脚为 I/O 引脚和内部调压器供电。
- AGND, AVDD0= 2.4V ~ 3.6V: 为复位模块、ADC 的模拟部分提供供电。

2.2.9 供电监控器

本产品内部集成了上电复位 (POR)/掉电复位 (PDR) 电路，该电路始终处于工作状态，保证系统供电超过 1.8V 时工作；当 V_{DD} 低于设定的阈值 ($V_{POR/PDR}$) 时，置器件于复位状态，而不必使用外部复位电路。

器件中还有一个可编程电压监测器 (PVD)，它监视 V_{DD}/V_{DDA} 供电并与阈值 V_{PVD} 比较，当 V_{DD} 低于或高于阈

值 V_{PVD} 时产生中断，中断处理程序可以发出警告信息或将微控制器转入安全模式。PVD 功能需要通过程序开启。

2.2.10 电压调压器

调压器将外部电压转成内部数字逻辑工作的电压，该调压器在复位后始终处于工作状态。

2.2.11 低功耗模式

产品支持低功耗模式，可以在要求低功耗、短启动时间和多种唤醒事件之间达到最佳的平衡。

睡眠模式

在睡眠模式，只有 CPU 停止，所有外设处于工作状态并可在发生中断/事件时唤醒 CPU。

停机模式

在保持 SRAM 和寄存器内容不丢失的情况下，停机模式可以达到最低的电能消耗。在停机模式下，HSI 的振荡器和 HSE 晶体振荡器被关闭。可以通过任一配置成 EXTI 的信号把微控制器从停机模式中唤醒，EXTI 信号可以是 16 个外部 I/O 口之一、PVD 的输出的唤醒信号。

待机模式

待机模式可实现系统的最低功耗。该模式是在 CPU 深睡眠模式时关闭电压调节器。内部所有的 1.5V 部分的供电区域被断开。PLL、HSI 和 HSE 振荡器也都关闭，可以通过 WKUP 引脚的上升沿、NRST 引脚的外部复位、IWDG 复位唤醒或者看门狗定时器复位唤醒。SRAM 和寄存器的内容将被丢失。只有备份的寄存器和待机电路维持供电。

2.2.12 DMA

灵活的 5 路通用 DMA 可以管理存储器到存储器、设备到存储器和存储器到设备的数据传输；DMA 控制器支持环形缓冲区的管理，避免了控制器传输到达缓冲区结尾时所产生的中断。

每个通道都有专门的硬件 DMA 请求逻辑，同时可以由软件触发每个通道；传输的长度、传输的源地址和目标地址都可以通过软件单独设置。

DMA 可以用于主要的外设：用 UART、I²C、SPI、USB、和通用/基本/高级控制定时器 TIMx。

2.2.13 备份寄存器

备份寄存器是 10 个 16 位的寄存器，可用来存储 20 个字节的用户应用程序数据。他们处在备份域里，当 V_{DD} 电源被切断，他们仍然由 VBAT 维持供电。当系统在待机模式下被唤醒，或系统复位或电源复位时，他们也不会被复位。

2.2.14 定时器和看门狗

产品包含 1 个高级定时器、2 个通用定时器以及 2 个看门狗定时器和 1 个系统嘀嗒定时器。

下表比较了高级控制定时器、通用定时器和基本定时器的功能：

表 3: 定时器功能比较

定时器类型	Timer	计数器分辨率	计数器类型	预分频系数	DMA 请求生成	捕获/比较通道	互补输出
高级	TIM1	16 位	递增、递减、 递增/递减	1 ~ 65536 之 间的任意整数	有	4	无



定时器类型	Timer	计数器分辨率	计数器类型	预分频系数	DMA 请求生成	捕获/比较通道	互补输出
通用	TIM2	32 位	递增、递减、 递增/递减	1 ~ $2^{32} - 1$ 之 间的任意整数	有	2	无
	TIM3	16 位	递增、递减、 递增/递减	1 ~ 65536 之 间的任意整数	有	2	无
基本	TIM14	16 位	递增	1 ~ 65536 之 间的任意整数	有	0	无
	TIM16 / TIM17	16 位	递增	1 ~ 65536 之 间的任意整数	有	0	无

高级控制定时器 (TIM1)

高级控制定时器 (TIM1) 可以被看成是分配到 6 个通道的三相 PWM 发生器它具有带死区插入的互补 PWM 输出, 还可以被当成完整的通用定时器。四个独立的通道可以用于:

- 输入捕获
- 输出比较
- 产生 PWM(边缘或中心对齐模式)
- 单脉冲输出

配置为 16 位通用定时器时, 它与 TIMx 定时器具有相同的功能。配置为 16 位 PWM 发生器时, 它具有全调制能力 (0 ~ 100%)。

在调试模式下, 计数器可以被冻结, 同时 PWM 输出被禁止, 从而切断由这些输出所控制的开关。

很多功能都与通用的 TIM 定时器相同, 内部结构也相同, 因此高级控制定时器可以通过定时器链接功能与 TIM 定时器协同操作, 提供同步或事件链接功能。

通用定时器 (TIMx)

产品中, 内置了 2 个可同步运行的通用定时器 (TIM2、TIM3)。

通用定时器 (32bit)

定时器有一个 32 位的自动加载递增/递减计数器、一个 16 位的预分频器和 4 个独立的通道, 每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

通用定时器 (16bit)

定时器有一个 32 位的自动加载递增/递减计数器、一个 16 位的预分频器和 4 个独立的通道, 每个通道都可用于输入捕获、输出比较、PWM 和单脉冲模式输出。

它们还能通过定时器链接功能与高级控制定时器共同工作, 提供同步或事件链接功能。在调试模式下, 计数器可以被冻结。任一通用定时器都能用于产生 PWM 输出。每个定时器都有独立的 DMA 请求机制。

这些定时器还能够处理增量编码器的信号, 也能处理 1 ~ 4 个霍尔传感器的数字输出。每个定时器都 PWM 输出, 或作为简单时间基准。

基本定时器

TIM14

该定时器基于一个 16 位自动重载递增计数器和一个 16 位预分频器。具有一个单通道, 用于输入捕获/输出比



较，PWM 或单脉冲模式输出。在调试模式下，其计数器可被冻结。

TIM16 / TIM17

定时器均基于一个 16 位自动重载递增计数器和一个 16 位预分频器。有一个单通道，用于输入捕获/输出比较，PWM 或单脉冲模式输出。有互补输出，带死区生成和独立 DMA 请求生成功能。在调试模式下，定时器处于关闭状态。

独立看门狗

独立的看门狗是基于一个 12 位的递减计数器和一个 8 位的预分频器，它由一个内部独立的 40KHz 的振荡器提供时钟；因为这个振荡器独立于主时钟，所以它可运行于停机和待机模式。它可以用在系统发生问题时复位整个系统或作为一个自由定时器为应用程序提供超时管理。通过选项字节可以配置成是软件或硬件启动看门狗。在调试模式下，看门狗被关闭。

窗口看门狗

窗口看门狗内有一个 7 位的递减计数器，并可以设置成自由运行。它可以被当成看门狗用于在发生问题时复位整个系统。它由主时钟驱动，具有早期预警中断功能；在调试模式下，看门狗被关闭。

系统时基定时器

这个定时器是专用于实时操作系统，也可当成一个标准的递减计数器。它具有下述特性：

- 24 位的递减计数器
- 自动重加载功能
- 当计数器为 0 时能产生一个可屏蔽系统中断
- 可编程时钟源

2.2.15 通用异步收发器 (UART)

UART 接口具有硬件的 CTS 和 RTS 信号管理。支持 LIN 主从功能。

所有 UART 接口都可以使用 DMA 操作。

2.2.16 I²C 总线

I²C 总线接口，能够工作于多主模式或从模式，支持标准和快速模式。

I²C 接口支持 7 位或 10 位寻址，7 位从模式时支持双从地址寻址。

2.2.17 串行外设接口 (SPI)

1 个 SPI 接口，在从或主模式下，全双工和半双工的通信速率可达 18 兆位/秒。3 位的预分频器可产生 8 种主模式频率，可配置成每帧 8 位或 16 位。

2.2.18 通用串行总线 (USB)

产品中内嵌一个兼容全速 USB 的设备控制器，遵循全速 USB 设备 (12 兆位/秒) 标准，端点可由软件配置。USB 专用的 48MHz 时钟由内部 PLL 或在常温内部时钟 (HSI) 直接产生。

2.2.19 通用输入输出接口 (GPIO)

每个 GPIO 引脚都可以由软件配置成输出 (推挽或开漏)、输入 (带或不带上拉或下拉) 或复用的外设功能端口。多数 GPIO 引脚都与数字或模拟的复用外设共用。除了具有模拟输入功能的端口，所有的 GPIO 引脚都有大电流



通过能力。

在需要的情况下，I/O 引脚的外设功能可以通过一个特定的操作锁定，以避免意外的写入 I/O 寄存器。

2.2.20 ADC(模拟/数字转换器)

24 位 ADC:

- 支持单端输入，支持多达 5 路输入、可组成多个差分输入对；
- 支持输入电平移位功能；
- 具有 PGA 放大，1/2/4/8/16/32/64/128 倍可选增益；
- 输出速率 12.5/25/50/100/200Hz 5 档可选；
- 3.0V 参考、50Hz 速率、128 倍增益下 19.5bits 有效位；
- 自带 LDO，可输出 3.0V 作为激励源，30ppm/°C，精度 ±1%；
- 自带低漂移基准，内部参考电压 1.225V 可选，30ppm/°C，精度 ±1%；
- 支持性能、普通、休眠模式。

2.2.21 串行单线 SWD 调试口 (SW-DP)

内嵌 ARM 的两线串行调试端口 (SW-DP)。

ARM 的 SW-DP 接口允许通过串行线调试工具连接到单片机。

2.2.22 比较器 (COMP)

产品内嵌 2 个比较器，可独立使用 (适用所有终端上的 I/O 口)，也可与定时器结合使用。也可用于多种功能，包括：

- 由模拟信号触发低功耗模式唤醒事件
- 调节模拟信号

比较器为通用的可编程电压比较器，可独立使用，适用所有终端上的 I/O 口。支持两个独立的比较器。

- 轨对轨比较器
- 每个比较器有可选门限
 - 可复用的 I/O 引脚
 - 内部参考电压 (1.2V) 和三个等分电压值 (1/4, 1/2, 3/4)
- 可编程迟滞电压
- 可编程的速率和功耗
- 输出端可以重定向到一个 I/O 端口或多个定时器输入端，可以触发以下事件：
 - 捕获事件
 - OCref_clr 事件 (逐周期电流控制)
 - 为实现快速 PWM 关断的刹车事件
- 两个比较器可以组合在一个窗口比较器中使用。

每个比较器都可产生中断，并支持把 CPU 从睡眠和停止模式唤醒 (通过 EXTI 控制器)。

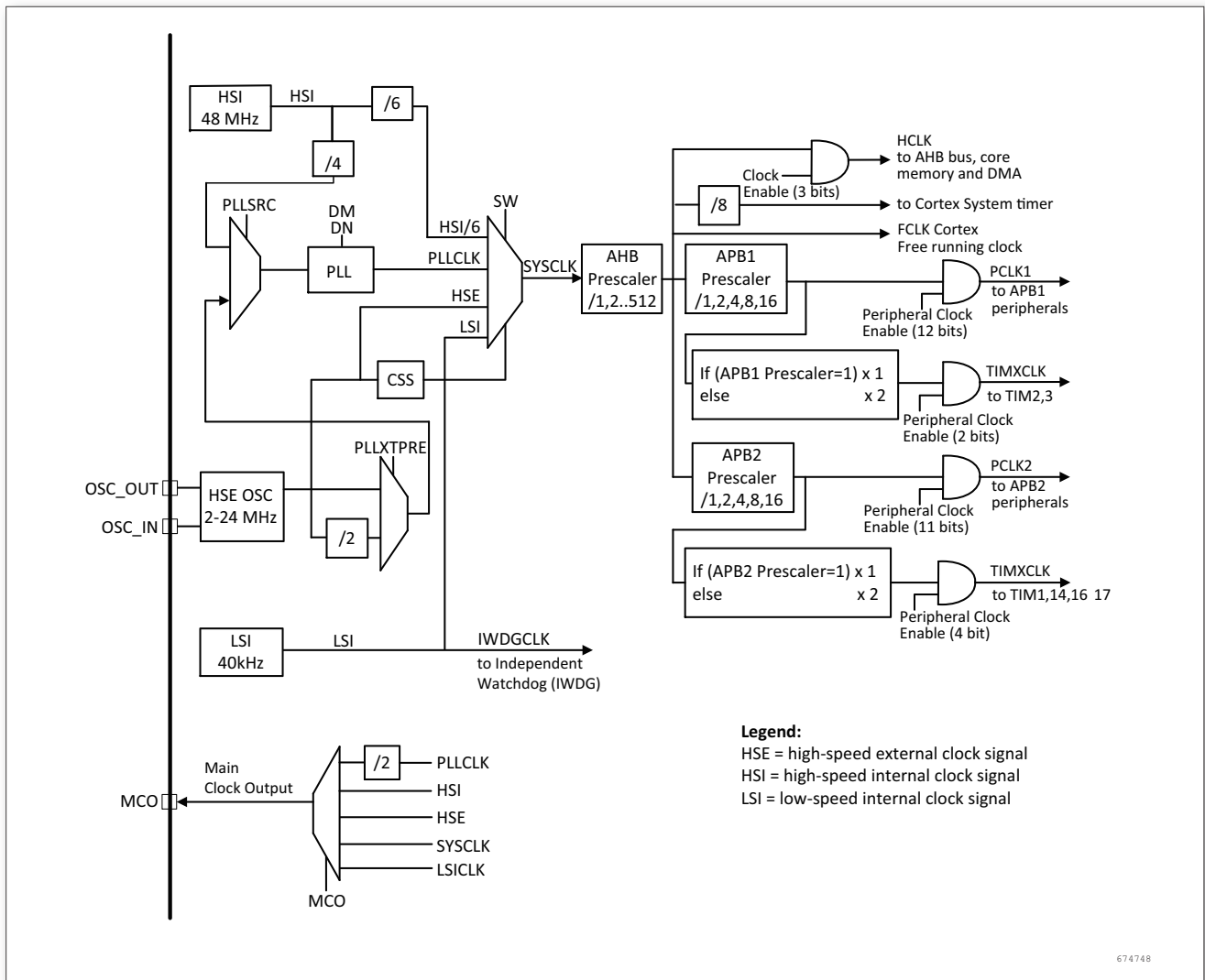


图 2. 时钟树

3 引脚定义

本产品提供 QFN32 封装形式。

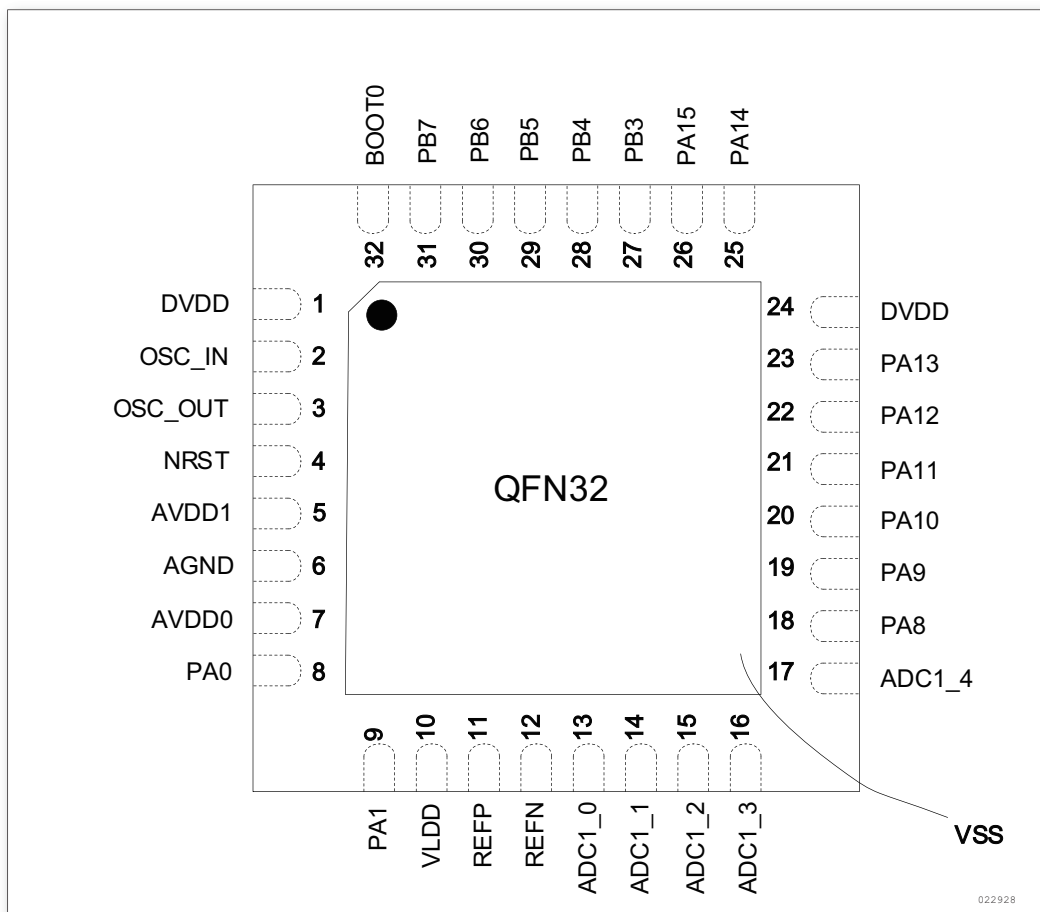


图 3. QFN32 引脚分布

表 4: 引脚定义

引脚编码	引脚名称	类型 ⁽¹⁾	I/O 电平 ⁽²⁾	主功能	可选的复用功能	附加功能
1	DVDD	S	-	DVDD	-	-
2	OSC_IN	I	-	OSC_IN	-	OSC_IN
3	OSC_OUT	O	-	OSC_OUT	-	OSC_OUT
4	NRST	I/O	-	NRST	-	-
5	AVDD1	S	-	AVDD1	-	-
6	AGND	S	-	AGND	-	-
7	AVDD0	S	-	AVDD0	-	-
8	PA0	I/O	-	PA0	TIM2_CH1_ETR/ UART2_CTS	-
9	PA1	I/O	-	PA1	TIM2_CH2/UART2_RTS	-
10	VLDO	S	-	VLDO	-	-
11	REFP	S	-	REFP	-	-

引脚编码	引脚名称	类型 ⁽¹⁾	I/O 电平 ⁽²⁾	主功能	可选的复用功能	附加功能
12	REFN	S	-	REFN	-	-
13	ADC1_0	I/O	-	ADC1_0	-	-
14	ADC1_1	I/O	-	ADC1_1	-	-
15	ADC1_2	I/O	-	ADC1_2	-	-
16	ADC1_3	I/O	-	ADC1_3	-	-
17	ADC1_4	I/O	-	ADC1_4	-	-
18	PA8	I/O	FT	PA8	TIM1_CH1/MCO	-
19	PA9	I/O	FT	PA9	UART1_TX/TIM1_CH2/ UART1_RX/I ² C_SCL/MCO	-
20	PA10	I/O	FT	PA10	UART1_RX/TIM1_CH3/ UART1_TX/I ² C_SDA	-
21	PA11	I/O	FT	PA11	UART1_CTS/TIM1_CH4/ I ² C_SCL/COMP1_OUT	USB_DM
22	PA12	I/O	FT	PA12	UART1_RTS/TIM1_ETR/ I ² C_SDA/COMP2_OUT	USB_DP
23	PA13	I/O	FT	PA13	SWDIO	-
24	DVDD	S	-	DVDD	-	-
25	PA14	I/O	FT	PA14	SWCLK/UART2_TX	-
26	PA15	I/O	FT	PA15	TIM2_CH1_ETR/ SPI1_NSS/UART2_RX	-
27	PB3	I/O	FT	PB3	TIM2_CH2/SPI1_SCK	-
28	PB4	I/O	FT	PB4	TIM3_CH1/SPI1_MISO	-
29	PB5	I/O	FT	PB5	TIM3_CH2/SPI1_MOS	-
30	PB6	I/O	FT	PB6	UART1_TX/I ² C_SCL	-
31	PB7	I/O	FT	PB7	UART1_RX/I ² C_SDA	-
32	BOOT0	I	-	BOOT0	-	-
33	DGND	S	-	DGND	-	-

1. I = 输入, O = 输出, S = 电源, HiZ = 高阻

2. FT: 容忍 5V

表 5: PA 端口功能复用

Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA0	-	UART2_CTS	TIM2_CH1_ ETR	-	-	-	-	COMP1_ OUT
PA1	-	UART2_RTS	TIM2_CH2	-	-	-	-	-
PA8	MCO	-	TIM1_CH1	-	-	-	-	-
PA9	-	UART1_TX	TIM1_CH2	UART1_RX	I ² C_SCL	MCO	-	-
PA10	TIM17_BKIN	UART1_RX	TIM1_CH3	UART1_TX	I ² C_SDA	-	-	-



Pin	AF0	AF1	AF2	AF3	AF4	AF5	AF6	AF7
PA11	-	UART1_CTS	TIM1_CH4	-		I ² C_SCL	-	COMP1_OUT
PA12	-	UART1_RTS	TIM1_ETR	-		I ² C_SDA	-	COMP2_OUT
PA13	SWDIO	-	-	-	-	-	-	-
PA14	SWDCLK	UART2_TX	-	-	-	-	-	-
PA15	SPI1_NSS	UART2_RX	TIM2_CH1_ETR	-	-	-	-	-

表 6: PB 端口功能复用

Pin	AF0	AF1	AF2	AF3	AF4	AF5
PB3	SPI1_SCK	-	TIM2_CH2	-	-	-
PB4	SPI1_MISO	TIM3_CH1	-	-	-	-
PB5	SPI1_MOSI	TIM3_CH2	-	-	-	-
PB6	UART1_TX	I ² C_SCL	-	-	-	-
PB7	UART1_RX	I ² C_SDA	-	-	-	-

4 存储器映像

表 7: 存储器映像

总线	编址范围	大小	外设	备注
AHB	0x4800 0800 -0x5FFF FFFF	~ 384 MB	Reserved	
	0x4800 0400 -0x4800 07FF	1 KB	GPIOB	
	0x4800 0000 -0x4800 03FF	1 KB	GPIOA	
	0x4002 2400 -0x47FF FFFF	~ 128 MB	Reserved	
	0x4002 2000 -0x4002 23FF	1 KB	Flash 接口	
	0x4002 1400 -0x4002 1FFF	3 KB	Reserved	
	0x4002 1000 -0x4002 13FF	1 KB	RCC	
	0x4002 0400 -0x4002 0FFF	3 KB	Reserved	
	0x4002 0000 -0x4002 03FF	1 KB	DMA	
APB2	0x4001 4C00 -0x4001 7FFF	13 KB	Reserved	
	0x4001 4800 -0x4001 4BFF	1 KB	TIM17	
	0x4001 4400 -0x4001 47FF	1 KB	TIM16	
	0x4001 4000 -0x4001 43FF	1 KB	TIM14	
	0x4001 3C00 -0x4001 3FFF	1 KB	COMP	
	0x4001 3800 -0x4001 3BFF	1 KB	UART1	
	0x4001 3400 -0x4001 37FF	1 KB	DBGMCU	
	0x4001 3000 -0x4001 33FF	1 KB	SPI1	
	0x4001 2C00 -0x4001 2FFF	1 KB	TIM1	
	0x4001 2800 -0x4001 2BFF	1 KB	Reserved	
	0x4001 2400 -0x4001 27FF	1 KB	Reserved	
	0x4001 0800 -0x4001 23FF	7 KB	Reserved	
	0x4001 0400 -0x4001 07FF	1 KB	EXTI	
	0x4001 0000 -0x4001 03FF	1 KB	SYSCFG	
APB1	0x4000 7400 -0x4000 FFFF	35 KB	Reserved	
	0x4000 7000 -0x4000 73FF	1 KB	PWR	
	0x4000 6C00 -0x4000 6FFF	1 KB	CRS	
	0x4000 6000 -0x4000 6BFF	3 KB	Reserved	
	0x4000 5C00 -0x4000 5FFF	1 KB	USB	
	0x4000 5800 -0x4000 5BFF	1 KB	Reserved	
	0x4000 5400 -0x4000 57FF	1 KB	I ² C	
	0x4000 4800 -0x4000 4BFF	3 KB	Reserved	
	0x4000 4400 -0x4000 47FF	1 KB	UART2	
	0x4000 3400 -0x4000 43FF	3 KB	Reserved	
	0x4000 3000 -0x4000 33FF	1 KB	IWDG	
	0x4000 2C00 -0x4000 2FFF	1 KB	WWDG	
0x4000 2800 -0x4000 2BFF	1 KB	BKP		

ZML166N32A

内置 24 位 ADC 的 Cortex M0 核混合信号微控制器

DataSheet

总线	编址范围	大小	外设	备注
APB1	0x4000 0800 -0x4000 0BFF	8 KB	Reserved	
	0x4000 0400 -0x4000 07FF	1 KB	TIM3	
	0x4000 0000 -0x4000 03FF	1 KB	TIM2	
SRAM	0x2000 2000 -0x2FFF FFFF	~ 512 MB	Reserved	
	0x2000 0000 -0x2000 1FFF	8 KB	SRAM	
Flash	0x1FFF F810 -0x1FFF FFFF	~2 KB	Reserved	
	0x1FFF F800 -0x1FFF F80F	16 B	Option bytes	
	0x1FFF F400 -0x1FFF F7FF	1 KB	System memory	
	0x0802 0000 -0x1FFF F3FF	~ 383 MB	Reserved	
	0x0800 0000 -0x0801 FFFF	128 KB	Main Flash memory	
	0x0002 0000 -0x07FF FFFF	~ 128 MB	Reserved	
	0x0000 0000 -0x0001 FFFF	128 KB	主闪存存储器, 系统存储器 或是 SRAM, 有赖于 BOOT 的配置	



5 电气特性

5.1 测试条件

除非特别说明，所有电压都以 DGND 为基准。

5.1.1 最小和最大值

除非特别说明，最小和最大数值是在环境温度 $T_A = 25^\circ\text{C}$ ， $V_{DD} = 3.3\text{V}$ 下执行的测试。

5.1.2 典型数值

除非特别说明，典型数据是基于 $T_A = 25^\circ\text{C}$ 和 $V_{DD} = 3.3\text{V}$ 。这些数据仅用于设计指导而未经测试。

5.1.3 典型曲线

除非特别说明，典型曲线仅用于设计指导而未经测试。

5.1.4 负载电容

测量引脚参数时的负载条件示于下图。

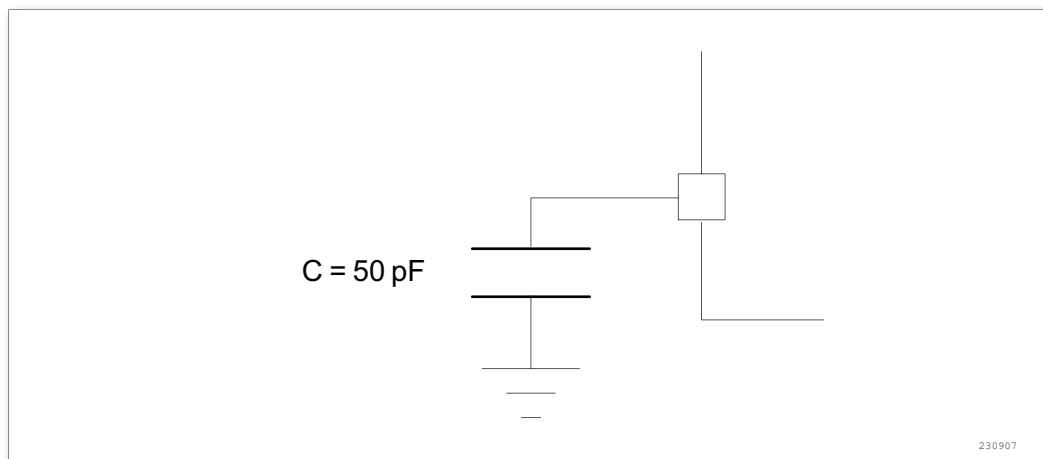


图 4. 引脚的负载条件

5.1.5 引脚输入电压

引脚上输入电压的测量方式示于下图。

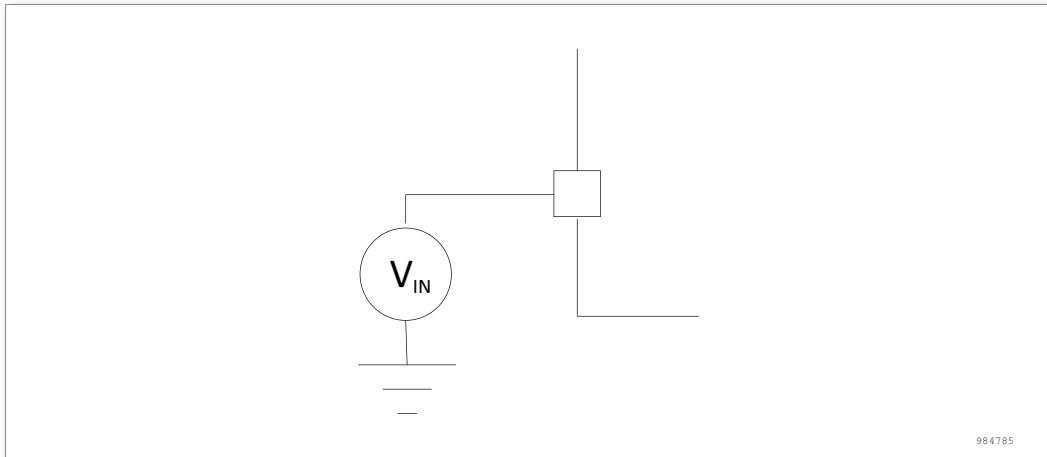


图 5. 引脚输入电压

5.1.6 供电方案

芯片的供电方案如下图所示。

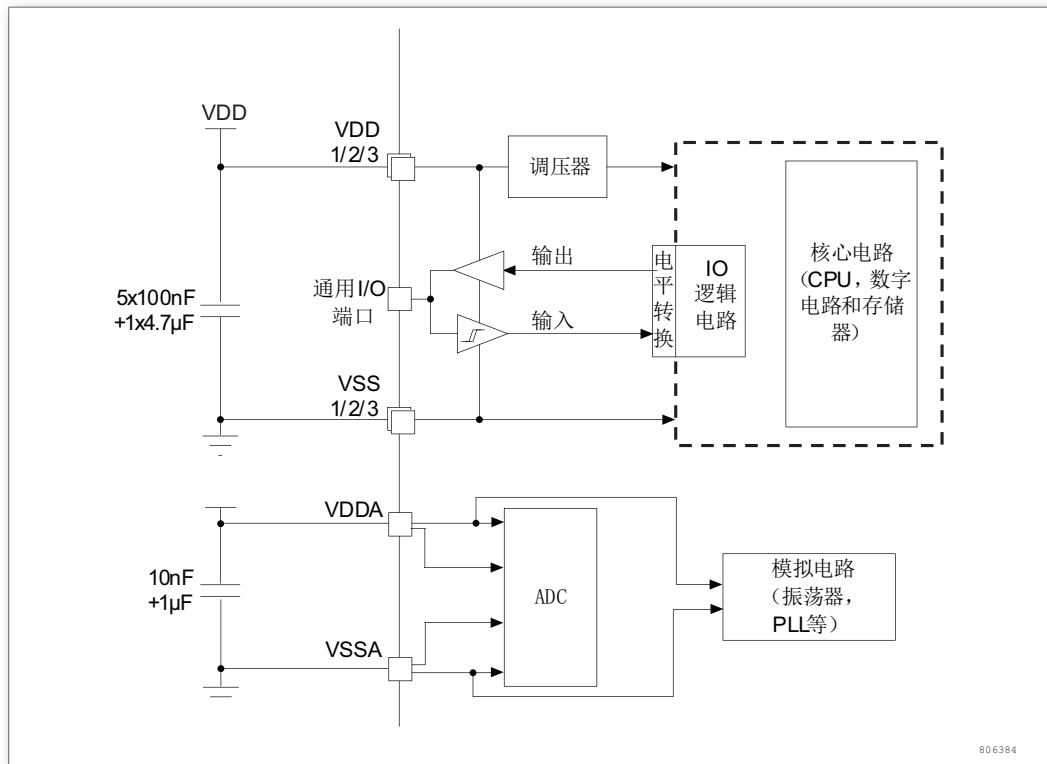


图 6. 供电方案

5.1.7 电流消耗测量

测量消耗电流的方法如下图所示。

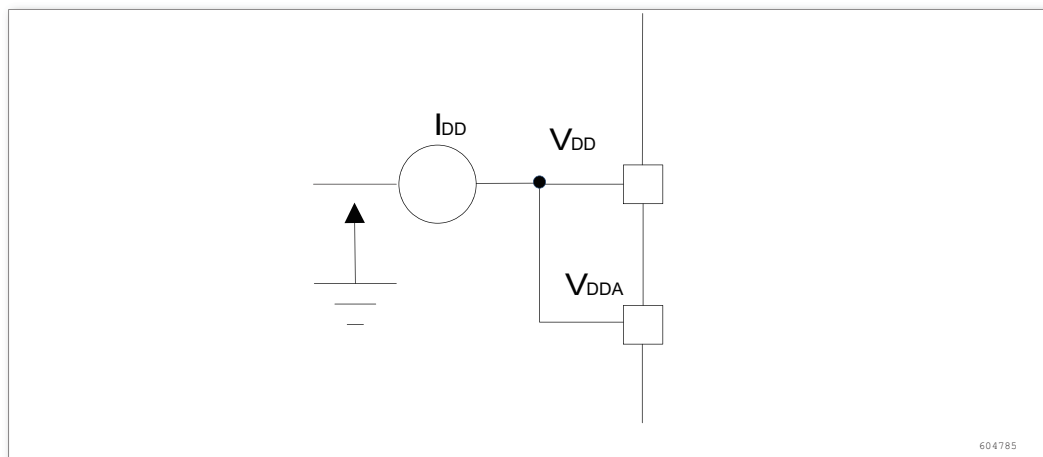


图 7. 电流消耗测量方案

5.2 绝对最大额定值

加在器件上的载荷如果超过“绝对最大额定值”列表(表 8、表 9、表 10)中给出的值,可能会导致器件永久性损坏。这里只是给出能承受的最大载荷,并不意味着在此条件下器件的功能性操作无误。器件长期工作在最大值条件下会影响器件的可靠性。

表 8: 电压特性

符号	描述	最小值	最大值	单位
DVDD - DGND	外部主供电电压 (包含 AVDD0 和 AGND) ⁽¹⁾	- 0.3	3.6	V
V _{IN}	在其它引脚上的输入电压 ⁽²⁾	DGND - 0.3	DVDD	
ΔV _{DDx}	不同供电引脚之间的电压差		50	mV
V _{SSx} - V _{SS}	不同接地引脚之间的电压差		50	
V _{ESD(HBM)}	ESD 静电放电电压 (人体模型)	参见5.3.11		

1. 所有的电源 (V_{DD}, V_{DDA}) 和地 (V_{SS}, V_{SSA}) 引脚必须始终连接到外部允许范围内的供电系统上。
2. 必须始终遵循 V_{IN} 的最大值。有关允许的最大注入电流值的信息, 请参见下表。
3. V_{DD} = 3.3V。

表 9: 电流特性

符号	描述	最大值	单位
I _{IO}	任意 I/O 和控制引脚上的输出灌电流	20	mA
	任意 I/O 和控制引脚上的输出电流	-18	
I _{VDD}	经过 V _{DD} /V _{DDA} 电源线的总电流 (供应电流) ⁽¹⁾	120	
I _{VSS}	经过 V _{SS} 地线的总电流 (流出电流) ⁽¹⁾	120	
I _{IO}	任意 I/O 和控制引脚上的输出灌电流	20	
	任意 I/O 和控制引脚上的输出电流	-18	
I _{INJ(PIN)} ⁽²⁾⁽³⁾	NRST 引脚的注入电流	±5	mA

符号	描述	最大值	单位
$I_{INJ(PIN)}^{(2)(3)}$	HSE 的 OSC_IN 引脚和 LSE 的 OSC_IN 引脚的注入电流	± 5	mA
$I_{INJ(PIN)}^{(2)(3)}$	其他引脚的注入电流 ⁽⁴⁾	± 5	mA
$\Sigma I_{INJ(PIN)}^{(2)}$	所有 I/O 和控制引脚上的总注入电流 ⁽⁵⁾	± 25	mA

1. 所有的电源 (V_{DD} , V_{DDA}) 和地 (V_{SS} , V_{SSA}) 引脚必须始终连接到外部允许范围内的供电系统上。
2. $I_{INJ(PIN)}$ 绝对不可以超过它的极限, 即保证 V_{IN} 不超过其最大值。如果不能保证 V_{IN} 不超过其最大值, 也要保证在外部限制 $I_{INJ(PIN)}$ 不超过其最大值。当 $V_{IN} > V_{DD}$ 时, 有一个正向注入电流; 当 $V_{IN} < V_{SS}$ 时, 有一个反向注入电流。
3. 反向注入电流会干扰器件的模拟性能。
4. 当几个 I/O 口同时有注入电流时, $\Sigma I_{INJ(PIN)}$ 的最大值为正向注入电流与反向注入电流的即时绝对值之和。该结果基于在器件 4 个 I/O 端口上 $\Sigma I_{INJ(PIN)}$ 最大值的特性。

表 10: 温度特性

符号	描述	最大值	单位
T_{STG}	储存温度范围	- 45 ~ + 150	°C
T_J	最大结温度	125	°C

5.3 工作条件

5.3.1 通用工作条件

表 11: 通用工作条件

符号	参数	条件	最小值	最大值	单位
f_{HCLK}	内部 AHB 时钟频率		0	48	MHz
f_{PCLK1}	内部 APB1 时钟频率		0	f_{HCLK}	
f_{PCLK2}	内部 APB2 时钟频率		0	f_{HCLK}	
V_{DD}	标准工作电压		2.0	5.5	V
$V_{DDA}^{(1)}$	模拟部分工作电压	必须与 V_{DD} 相同	2.0	5.5	V
P_D	功率耗散 温度: $T_A=85^\circ\text{C}^{(2)}$	QFN32		594	mW
T_A	环境温度: $T_A=85^\circ\text{C}$	最大功率耗散	-40	85	°C
		低功率耗散 ⁽³⁾	-40	105	

1. 建议使用相同的电源为 V_{DD} 和 V_{DDA} 供电。
2. 如果 T_A 较低, 只要 T_J 不超过 T_{Jmax} (参见节 5.1), 则允许更高的 P_D 数值。
3. 在较低的功率耗散的状态下, 只要 T_J 不超过 T_{Jmax} (参见节 5.1), T_A 可以扩展到这个范围。

5.3.2 上电和掉电时的工作条件

下表中给出的参数是在一般的工作条件下测试得出。



表 12: 上电和掉电时的工作条件

符号	参数	条件	最小值	最大值	单位
t_{VDD}	V_{VDD} 上升速率	$T_A = 27^\circ\text{C}$	100	∞	$\mu\text{S/V}$
	V_{VDD} 下降速率		100	∞	

5.3.3 内嵌复位和电源控制模块特性

下表中给出的参数是依据表 11 列出的环境温度下和 V_{DD} 供电电压下测试得出。

表 13: 内嵌复位和电源控制模块特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{PVD}	可编程的电压检测器的电平选择	PLS[3: 0]=0000(上升沿)	1.813	1.819	1.831	V
		PLS[3: 0]=0000(下降沿)		1.705		V
		PLS[3: 0]=0001(上升沿)	2.112	2.116	2.124	V
		PLS[3: 0]=0001(下降沿)		2.0		V
		PLS[3: 0]=0010(上升沿)	2.411	2.414	2.421	V
		PLS[3: 0]=0010(下降沿)		2.297		V
		PLS[3: 0]=0011(上升沿)	2.711	2.714	2.719	V
		PLS[3: 0]=0011(下降沿)		2.597		V
		PLS[3: 0]=0100(上升沿)	3.011	3.013	3.018	V
		PLS[3: 0]=0100(下降沿)		2.895		V
		PLS[3: 0]=0101(上升沿)	3.311	3.313	3.317	V
		PLS[3: 0]=0101(下降沿)		3.194		V
		PLS[3: 0]=0110(上升沿)	3.611	3.613	3.616	V
		PLS[3: 0]=0110(下降沿)		3.494		V
		PLS[3: 0]=0111(上升沿)	3.91	3.913	3.916	V
		PLS[3: 0]=0111(下降沿)		3.793		V
		PLS[3: 0]=1000(上升沿)	4.21	4.212	4.215	V
		PLS[3: 0]=1000(下降沿)		4.092		V
		PLS[3: 0]=1001(上升沿)	4.51	4.512	4.515	V
		PLS[3: 0]=1001(下降沿)		4.391		V
PLS[3: 0]=1010(上升沿)	4.809	4.811	4.813	V		
PLS[3: 0]=1010(下降沿)		4.69		V		
$V_{PVDhyst}^{(2)}$	PVD 迟滞			100		mV
$V_{POR/PDR}$	上电/掉电复位阈值	下降沿	1.63 ⁽¹⁾	1.66	1.68	V
		上升沿		1.75		V
$V_{PDRhys}^{(2)}$	PDR 迟滞			100		mV
$T_{RSTTEMPO}^{(2)}$	复位持续时间			20		ms

1. 产品的特性由设计保证至最小的数值 $V_{POR/PDR}$ 。
2. 由设计保证，不在生产中测试。

注：复位持续时间的测量方法为从上电 (POR 复位) 到用户应用代码读取第一条指令的时刻。

5.3.4 供电电流特性

电流消耗是多种参数和因素的综合指标，这些参数和因素包括工作电压、环境温度、I/O 引脚的负载、产品的软件配置、工作频率、I/O 脚的翻转速率、程序在存储器中的位置以及执行的代码等。

本节中给出的所有运行模式下的电流消耗测量值，都是在执行一套精简的代码。

最大电流消耗

微控制器处于下列条件：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上— V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率 (0 ~ 24 MHz 时为 0 个等待周期, 24 ~ 48 MHz 时为 1 个等待周期)。
- 指令预取功能开启。当开启外设时： $f_{PCLK1} = f_{HCLK}/2$ ， $f_{PCLK2} = f_{HCLK}$ 。

注：指令预取功能必须在设置时钟和总线分频之前设置。

表 14: 停机和待机模式下的典型和最大电流消耗 (2)

符号	参数	条件	最大值 (1)	单位
			$T_A=25^{\circ}\text{C}$	
I_{DD}	待机模式下的供应电流	复位后进入待机模式	190	μA
	待机模式下的供应电流	复位后进入待机模式	0.5	

1. 最大值是在 $T_A = 25^{\circ}\text{C}$ 下测试得到。
2. 由综合评估得出，不在生产中测试。IO 状态为模拟输入。

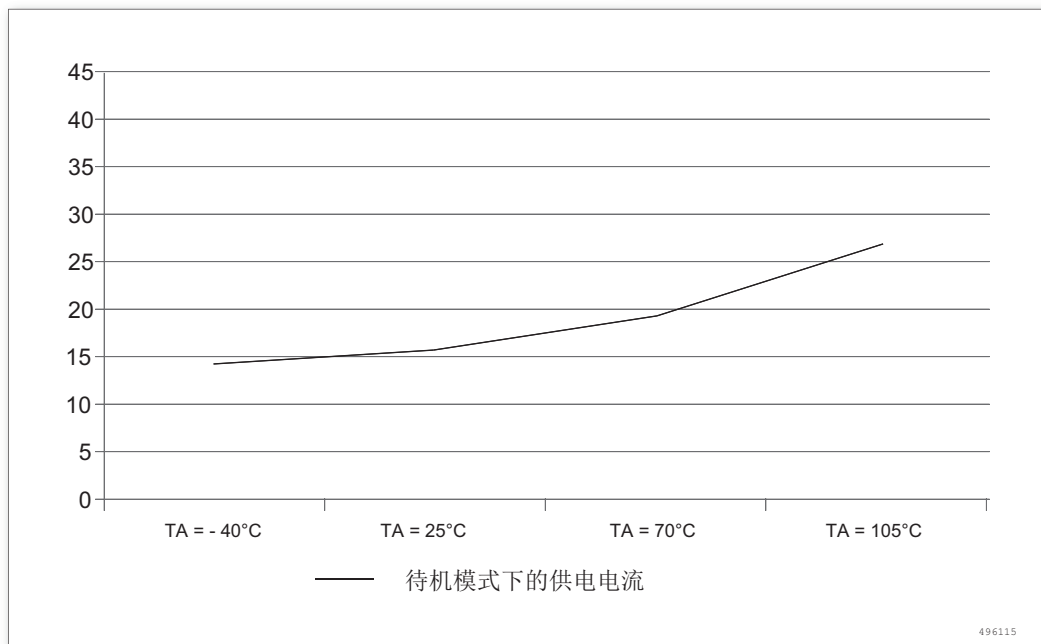


图 8. 待机模式下的典型电流消耗在 $V_{DD} = 3.3\text{V}$ 时与温度的对比

典型的电流消耗

MCU 处于下述条件下：

- 所有的 I/O 引脚都处于输入模式，并连接到一个静态电平上— V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态，除非特别说明。
- 闪存存储器的访问时间调整到 f_{HCLK} 的频率 (0 ~ 24 MHz 时为 0 个等待周期, 24 ~ 48 MHz 时为 1 个等待周期)。
- 环境温度和 V_{DD} 供电电压条件列于表 11。
- 指令预取功能开启。当开启外设时: $f_{PCLK1} = f_{HCLK}/4$, $f_{PCLK2} = f_{HCLK}/2$ 。

注：指令预取功能必须在设置时钟和总线分频之前设置。

表 15: 运行模式下的典型电流消耗，数据处理代码从内部 Flash 中运行

符号	描述	条件	f_{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设	关闭所有外设	
I_{DD}	运行模式下的 供应电流	外部时钟 ⁽²⁾	48MHz	13.47	7.55	mA
			36MHz	11.83	6.67	
			24MHz	8.62	5.15	
			8MHz	3.44	2.48	
		运行于高速内部振荡器 (HSI), 使用 AHB 预分频以减低频率	48MHz	7.63	4.28	
			36MHz	5.98	3.48	
			24MHz	4.55	2.88	
			8MHz	1.40	0.85	

1. 典型值是在 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 3.3\text{V}$ 时测试得到。
2. 外部时钟为 8MHz，当 $f_{HCLK} > 8\text{ MHz}$ 时启用 PLL。

表 16: 睡眠模式下的典型电流消耗，数据处理代码从内部 Flash 或 RAM 中运行

符号	描述	条件	f_{HCLK}	典型值 ⁽¹⁾		单位
				使能所有外设	关闭所有外设	
I_{DD}	睡眠模式下的 供应电流	外部时钟 ⁽²⁾	48MHz	10.88	4.85	mA
			36MHz	9.45	4.22	
			24MHz	7.06	3.55	
			8MHz	2.79	1.81	
		运行于高速内部振荡器 (HSI), 使用 AHB 预分频以减低频率	48MHz	5.89	2.49	
			36MHz	4.68	2.12	
			24MHz	3.45	1.74	
			8MHz	1.03	0.48	

1. 典型值是在 $T_A = 25^\circ\text{C}$ 、 $V_{DD} = 3.3\text{V}$ 时测试得到。
2. 外部时钟为 8MHz，当 $f_{HCLK} > 8\text{ MHz}$ 时启用 PLL。

内置外设电流消耗

内置外设的电流消耗列于表 17,MCU 的工作条件如下:

- 所有的 I/O 引脚都处于输入模式,并连接到一个静态电平上— V_{DD} 或 V_{SS} (无负载)。
- 所有的外设都处于关闭状态,除非特别说明。
- 给出的数值是通过测量电流消耗计算得出
 - 关闭所有外设的时钟
 - 只开启一个外设的时钟
- 环境温度和 V_{DD} 供电电压条件列于表 11。

表 17: 内置外设的电流消耗⁽¹⁾

内置外设		25 °C 时的典型功耗	单位	内置外设		25 °C 时的典型功耗	单位
APB1	TIM2	0.49	mA	APB2	SPI	0.49	mA
	TIM3	0.50			UART1	0.52	
	I ² C	0.49			ADC	0.53	
APB2	TIM14	0.52	mA	AHB	GPIOA	0.53	mA
	TIM16	0.52			GPIOB	0.53	
	TIM17	0.52			GPIOC	0.53	
	TIM1	0.49			GPIOD	0.53	

1. $f_{HCLK} = 48\text{MHz}$, $f_{APB1} = f_{HCLK}/2$, $f_{APB2} = f_{HCLK}$, 每个外设的预分频系数为默认值。

5.3.5 外部时钟源特性

来自外部振荡源产生的高速外部用户时钟

下表中给出的特性参数是使用一个高速的外部时钟源测得,环境温度和供电电压符合通用工作条件。

表 18: 高速外部用户时钟特性

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSE_ext}	用户外部时钟频率 ⁽¹⁾		1	8	25	MHz
V_{HSEH}	OSC_IN 输入引脚高电平电压		$0.7V_{DD}$		V_{DD}	V
V_{HSEL}	OSC_IN 输入引脚低电平电压		V_{SS}		$0.3V_{DD}$	
$t_{w(HSE)}$	OSC_IN 高或低的时间 ⁽¹⁾		16			nS
$t_{r(HSE)}$ $t_{f(HSE)}$	OSC_IN 上升或下降的时间 ⁽¹⁾				20	
$C_{in(HSE)}$	OSC_IN 输入容抗 ⁽¹⁾			5		pF
DuCy _(HSE)	占空比		45		55	%
I_L	OSC_IN 输入漏电流	$V_{SS} \leq V_{IN} \leq V_{DD}$			± 1	uA

1. 由设计保证,不在生产中测试。

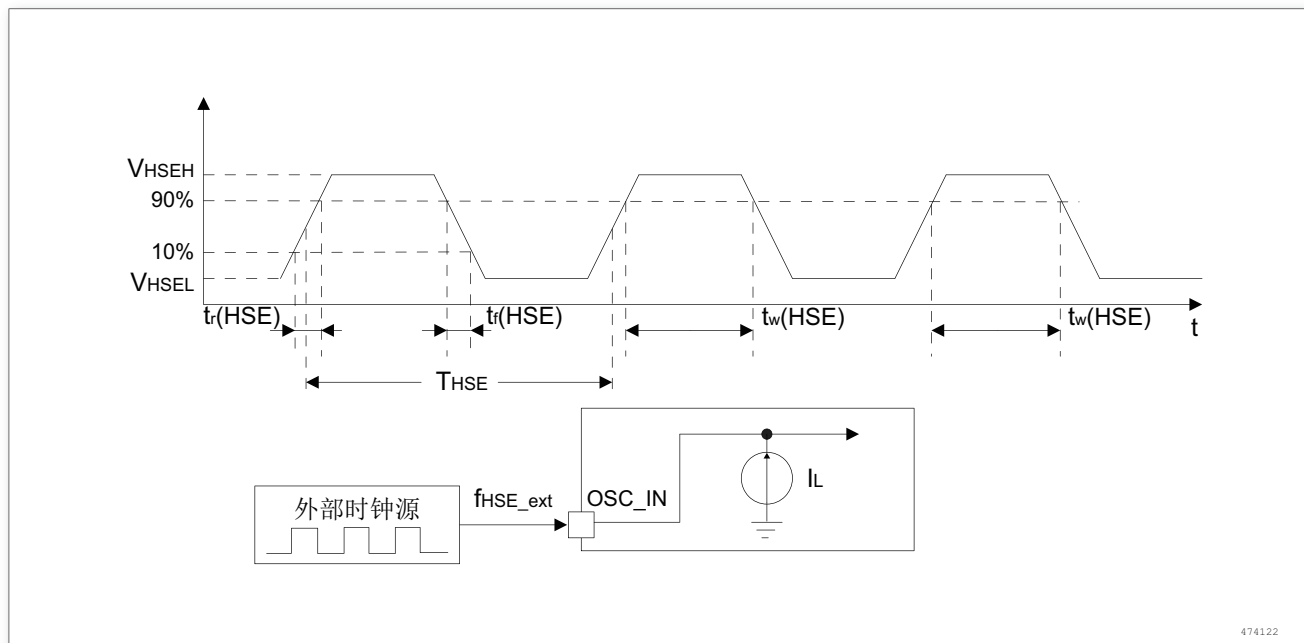


图 9. 外部高速时钟源的交流时序图

使用一个晶体/陶瓷谐振器产生的高速外部时钟

高速外部时钟 (HSE) 建议使用一个 8 ~ 24MHz 的晶体。

陶瓷谐振器构成的振荡器产生。本节中所给出的信息是基于使用下表中列出的典型外部元器件，通过综合特性评估得到的结果。在应用中，谐振器和负载电容必须尽可能地靠近振荡器的引脚，以减小输出失真和启动时的稳定时间。有关晶体谐振器的详细参数 (频率、封装、精度等)，请咨询相应的生产厂商。

表 19: HSE 振荡器特性 (1)(2)

符号	参数	条件	最小值	典型值	最大值	单位
f_{OSC_IN}	振荡器频率		8	12	24	MHz
R_F	内部反馈电阻			1000		k Ω
C_{L1} $C_{L2}^{(3)}$	建议的负载电容与对应的晶体 串行阻抗 (R_S) ⁽⁴⁾	$R_S = 30\Omega$		30		pF
I_2	HSE 驱动电流	$V_{DD} = 3.3V$ $V_{IN} = V_{SS}$ 30pF 负载			1	mA
g_m	振荡器的跨导	启动	25			mA/V
$t_{SU(HSE)}^{(5)}$	启动时间	V_{DD} 是稳定的		2		mS

1. 谐振器的特性参数由晶体/陶瓷谐振器制造商给出。
2. 由综合评估得出，不在生产中测试。
3. 对于 C_{L1} 和 C_{L2} ，建议使用高质量的、为高频应用而设计的 (典型值为)5pF ~ 25pF 之间的瓷介电容器，并挑选符合要求的晶体或谐振器。通常 C_{L1} 和 C_{L2} 具有相同参数。晶体制造商通常以 C_{L1} 和 C_{L2} 的串行组合给出负载电容的参数。在选择 C_{L1} 和 C_{L2} 时，PCB 和 MCU 引脚的容抗应该考虑在内 (可以粗略地把引脚与 PCB 板的电容按 10pF 估计)。
4. 相对较低的 RF 电阻值，能够可以避免在潮湿环境下使用时所产生的问题提供保护，这种环境下产生

的泄漏和偏置条件都发生了变化。但是，如果 MCU 是应用在恶劣的潮湿条件时，设计时需要把这个参数考虑进去。

5. $t_{SU(HSE)}$ 是启动时间，是从软件使能 HSE 开始测量，直至得到稳定的 8MHz 振荡这段时间。这个数值是在一个标准的晶体谐振器上测量得到，它可能因晶体制造商的不同而变化较大。

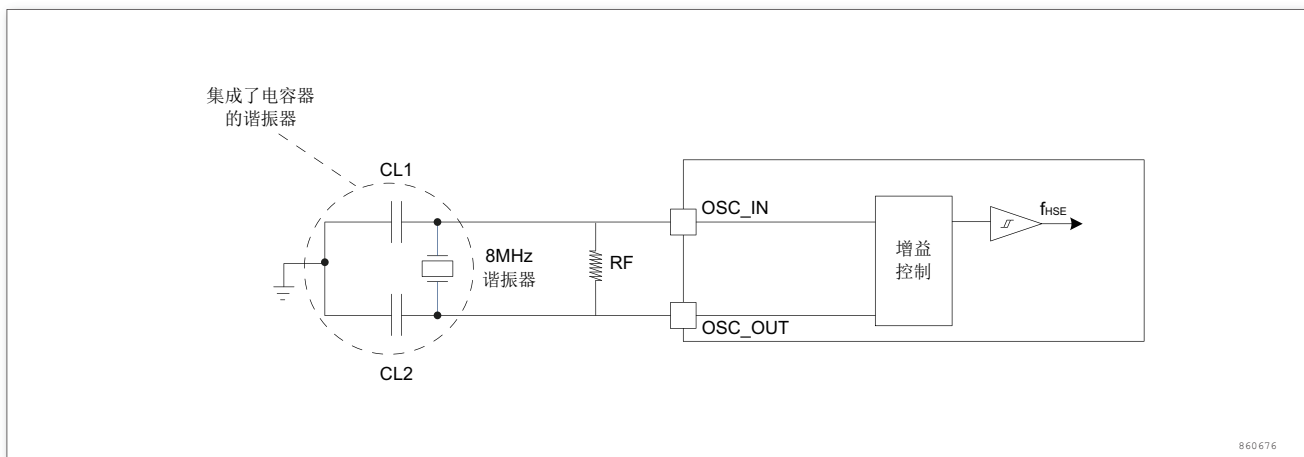


图 10. 使用 8MHz 晶体的典型应用

5.3.6 内部时钟源特性

下表中给出的特性参数是使用环境温度和供电电压符合通用工作条件测量得到。

高速内部 (HSI) 振荡器

表 20: HSI 振荡器特性 (1)(2)

符号	参数	条件	最小值	典型值	最大值	单位
f_{HSI}	频率		39.94	48.26	64.14	MHz
ACC_{HSI}	HSI 振荡器的精度	$T_A = -10^{\circ}C \sim 85^{\circ}C$				%
ACC_{HSI}	HSI 振荡器的精度	$T_A = 0^{\circ}C \sim 70^{\circ}C$				%
ACC_{HSI}	HSI 振荡器的精度	$T_A = 25^{\circ}C$	-1		1	%
$t_{SU(HSI)}$	HSI 振荡器启动时间				2	μS
$I_{DD(HSI)}$	HSI 振荡器功耗			80.53	122	μA

1. $V_{DD} = 3.3V$, $T_A = -40^{\circ}C \sim 105^{\circ}C$, 除非特别说明。
2. 由设计保证，不在生产中测试。

低速内部 (LSI) 振荡器

表 21: LSI 振荡器特性 (1)

符号	参数	条件	最小值	典型值	最大值	单位
$f_{LSI}^{(2)}$	频率		31.3	50.58	74.83	KHz
$t_{SU(LSI)}^{(2)}$	LSI 振荡器启动时间				1	μS
$I_{DD(LSI)}^{(3)}$	LSI 振荡器功耗			1.082	1.652	μA

1. $V_{DD} = 3.3V$, $T_A = -40^{\circ}C \sim 85^{\circ}C$, 除非特别说明。

2. 由综合评估得出，不在生产中测试。
3. 由设计保证，不在生产中测试。

从低功耗模式唤醒的时间

下表列出的唤醒时间是在一个 8MHz 的 HSI 振荡器的唤醒阶段测量得到。唤醒时使用的时钟源依当前的操作模式而定：

- 停机或待机模式：时钟源是振荡器
- 睡眠模式：时钟源是进入睡眠模式时所使用的时钟

所有的时间是使用环境温度和供电电压符合通用工作条件测量得到。

表 22: 低功耗模式的唤醒时间

符号	参数	条件	最大值	单位
$t_{WUSLEEP}^{(1)}$	从睡眠模式唤醒	使用 HSI 振荡器时钟唤醒	4	μS
$t_{WUSTOP}^{(1)}$	从停机模式唤醒 (调压器处于运行模式)	HSI 振荡器时钟唤醒 = $2\mu\text{S}$	8	
$t_{WUSTDBY}^{(1)}$	从待机模式唤醒	HSI 振荡器时钟唤醒 = $2\mu\text{S}$ 调压器从关闭模式唤醒时间 = $38\mu\text{S}$	20	mS

1. 唤醒时间的测量是从唤醒事件开始至用户程序读取第一条指令。

5.3.7 PLL 特性

下表列出的参数是使用环境温度和供电电压符合通用工作条件测量得到。

表 23: PLL 特性⁽¹⁾

符号	参数	最小值	典型值	最大值	单位
f_{PLL_IN}	PLL 输入时钟 ⁽²⁾	8		24	MHz
	PLL 输入时钟占空比	40		60	%
f_{PLL_OUT}	PLL 倍频输出时钟	40		100	MHz
t_{LOCK}	PLL 锁相时间			100	μS

1. 由设计保证，不在生产中测试。
2. 需要注意使用正确的倍频系数，从而根据 PLL 输入时钟频率使得 f_{PLL_OUT} 处于允许范围内。

5.3.8 存储器特性

闪存存储器

除非特别说明，所有特性参数是在 $T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$ 得到。

表 24: 闪存存储器特性

符号	参数	条件	最小值	典型值	最大值	单位
t_{prog}	8 位的编程时间	$T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$	4			μS
t_{ERASE}	页 (512K 字节) 擦除时间	$T_A = -40^\circ\text{C} \sim 125^\circ\text{C}$	4		5	mS



符号	参数	条件	最小值	典型值	最大值	单位
t_{ME}	整片擦除时间	$T_A = -40^{\circ}\text{C} \sim 125^{\circ}\text{C}$	20		40	mS
I_{DD}	供电电流	读模式, $f_{HCLK} = 48\text{MHz}$		5	6	mA
I_{DD}	供电电流	写模式, $f_{HCLK} = 48\text{MHz}$			7	mA
		擦除模式, $f_{HCLK} = 48\text{MHz}$			2	mA
I_{SB}	Standby 电流			1@25°C	50@125°C	μA
I_{DEP}	Deep Standby 电流			0.5	15@125°C	μA
V_{prog}	编程电压			3.3		V

表 25: 闪存存储器寿命和数据保存期限 (1)(2)

符号	参数	条件	最小值	典型值	最大值	单位
NEND	寿命 (擦写次数)	$T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$ (尾缀为 6)	10			千次
t_{RET}	数据保存期限	$T_A = 85^{\circ}\text{C}$ 时, 1000 次擦写 (2) 之后	30			年
		$T_A = 55^{\circ}\text{C}$, 1 万次擦写 (1)(2) 之后	20			

1. 由综合评估得出, 不在生产中测试。
2. 循环测试均是在整个温度范围下进行。

5.3.9 EMC 特性

敏感性测试是在产品的综合评估时抽样进行测试的。

功能性 EMS(电磁敏感性)

当运行一个简单的应用程序时 (通过 I/O 端口闪烁 2 个 LED), 测试样品被施加 2 种电磁干扰直到产生错误, LED 闪烁指示了错误的产生。

- 静电放电 (ESD)(正放电和负放电) 施加到芯片所有的引脚直到产生功能性错误。这个测试符合 IEC1000-4-2 标准。
- FTB: 在 V_{DD} 和 V_{SS} 上通过一个 100 pF 的电容施加一个瞬变电压的脉冲群 (正向和反向) 直到产生功能性错误。这个测试符合 IEC1000-4-4 标准。

芯片复位可以使系统恢复正常操作。

测试结果列于下表中。这是基于应用笔记中定义的 EMS 级别和类型进行的测试。

表 26: EMS 特性

符号	参数	条件	级别/类型
V_{EFT}	在 V_{DD} 和 V_{SS} 上通过 100pF 的电容施加的、导致功能错误的瞬变脉冲群电压极限。	$V_{DD}=3.3\text{V}, T_A=+25^{\circ}\text{C}, f_{HCLK}=48\text{MHz}$ 。符合 IEC1000-4-4	



设计牢靠的软件以避免噪声的问题

在器件级进行 EMC 的评估和优化，是在典型的应用环境中进行的。应该注意的是，好的 EMC 性能与用户应用和具体的软件密切相关。

因此，建议用户对软件实行 EMC 优化，并进行与 EMC 有关的认证测试。

软件建议

软件的流程中必须包含程序跑飞的控制，如：

- 被破坏的程序计数器
- 意外的复位
- 关键数据被破坏 (控制寄存器等……)

认证前的试验

很多常见的失效 (意外的复位和程序计数器被破坏)，可以通过人工地在 NRST 上引入一个低电平或在晶振引脚上引入一个持续 1 秒的低电平而重现。

在进行 ESD 测试时，可以把超出应用要求的电压直接施加在芯片上，当检测到意外动作的地方，软件部分需要加强以防止发生不可恢复的错误。

5.3.10 绝对最大值 (电气敏感性)

基于三个不同的测试 (ESD, LU)，使用特定的测量方法，对芯片进行强度测试以决定它的电气敏感性方面的性能。

静电放电 (ESD)

静电放电 (一个正的脉冲然后间隔一秒钟后一个负的脉冲) 施加到所有样品的所有引脚上，样品的大小与芯片上供电引脚数目相关 (3 片 \times (n+1) 供电引脚)。这个测试符合 JESD22-A114/C101 标准。

静态栓锁

为了评估栓锁性能，需要在 6 个样品上进行 2 个互补的静态栓锁测试：

- 为每个电源引脚，提供超过极限的供电电压。
- 在每个输入、输出和可配置的 I/O 引脚上注入电流。

这个测试符合 EIA/JESD78A 集成电路栓锁标准。

表 27: ESD 特性

符号	参数	条件	最大值	单位
$V_{ESD(HBM)}$	静电放电电压 (人体模型)	$T_A = +25^\circ\text{C}$, 符合 JESD22-A114	2000	V
$V_{ESD(CDM)}$	静电放电电压 (充电设备模型)	$T_A = +25^\circ\text{C}$, 符合 JESD22-C101	500	
I_{LU}	静态栓锁类 (Latch-up current)	$T_A = +25^\circ\text{C}$, 符合 JESD78A	200	mA

1. 由综合评估得出，不在生产中测试。



5.3.11 I/O 端口特性

通用输入/输出特性

除非特别说明，下表列出的参数是按照表 8 的条件测量得到。所有的 I/O 端口都是兼容 CMOS。

表 28: I/O 静态特性

符号	参数	条件	最小值	典型值	最大值	单位
V_{IL}	输入低电平电压	TTL 端口			0.8	V
V_{IH}	输入高电平电压		2			V
V_{IL}	输入低电平电压	CMOS 端口	-0.5		1.1	V
V_{IH}	输入高电平电压		2.08			V
V_{hy}	I/O 脚施密特触发器电压迟滞 ⁽¹⁾		500	700	800	mV
I_{lkg}	输入漏电流 ⁽²⁾				1	μ A
R_{PU}	弱上拉等效电阻 ⁽³⁾	$I_{IN}=V_{SS}$	30	50	100	k Ω
R_{PD}	弱下拉等效电阻 ⁽³⁾	$V_{IN}=V_{DD}$	30	50	100	k Ω
C_{IO}	I/O 引脚的电容			5		pF

1. 施密特触发器开关电平的迟滞电压。由综合评估得出，不在生产中测试。
2. 如果在相邻引脚有反向电流倒灌，则漏电流可能高于最大值。
3. 上拉和下拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS/NMOS 实现。这个 PMOS/NMOS 开关的电阻很小 (约占 10%)。

所有 I/O 端口都是 CMOS 兼容 (不需软件配置)，它们的特性考虑了多数严格的 CMOS 工艺：

- 对于 V_{IH} ：
 - 如果 V_{DD} 是介于 [2.50V~ 3.08V]；使用 CMOS 特性。
 - 如果 V_{DD} 是介于 [3.08V~ 3.60V]；包含 CMOS。
- 对于 V_{IL} ：
 - 使用 CMOS 特性。

输出驱动电流

GPIO(通用输入/输出端口) 可以吸收或输出多达 ± 20 mA 电流。

在用户应用中，I/O 脚的数目必须保证驱动电流不能超过 5.2 节给出的绝对最大额定值：

- 所有 I/O 端口从 V_{DD} 上获取的电流总和，加上 MCU 在 V_{DD} 上获取的最大运行电流，不能超过绝对最大额定值 I_{VDD} 。
- 所有 I/O 端口吸收并从 V_{SS} 上流出的电流总和，加上 MCU 在 V_{SS} 上流出的最大运行电流，不能超过绝对最大额定值 I_{VSS} 。

输出电压

除非特别说明，下表列出的参数是使用环境温度和 V_{DD} 供电电压符合表 11 的条件测量得到。所有的 I/O 端口都是兼容 CMOS 的。



表 29: 输出电压特性

符号	参数	条件	最小值	最大值	单位
$V_{OL}^{(1)}$	输出低电平, 当 8 个引脚同时吸收电流	CMOS 端口, $I_{IO} = +8mA$		0.4	V
$V_{OH}^{(2)}$	输出高电平, 当 8 个引脚同时输出电流	$2.7V < V_{DD} < 3.6V$	$0.8V_{DD}$		
$V_{OL}^{(1)(3)}$	输出低电平, 当 8 个引脚同时吸收电流	$I_{IO} = +20mA$		0.4	
$V_{OH}^{(2)(3)}$	输出高电平, 当 8 个引脚同时输出电流	$2.7V < V_{DD} < 3.6V$	$0.8V_{DD}$		
$V_{OL}^{(2)(3)}$	输出低电平, 当 8 个引脚同时吸收电流	$I_{IO} = +6mA$		TBD	V
$V_{OH}^{(2)(3)}$	输出高电平, 当 8 个引脚同时输出电流	$2V < V_{DD} < 2.7V$	TBD		

1. 芯片吸收的电流 I_{IO} 必须始终遵循表中给出的绝对最大额定值, 同时 I_{IO} 的总和 (所有 I/O 脚和控制脚) 不能超过 I_{VSS} 。
2. 芯片输出的电流 I_{IO} 必须始终遵循表中给出的绝对最大额定值, 同时 I_{IO} 的总和 (所有 I/O 脚和控制脚) 不能超过 I_{VDD} 。
3. 由综合评估得出, 不在生产中测试。

输入输出交流特性

输入输出交流特性的定义和数值分别在图 11 和表 30 给出。

除非特别说明, 表 30 列出的参数是使用环境温度和供电电压符合表 8 的条件测量得到。

表 30: 输入输出交流特性⁽¹⁾

MODEx[1: 0] 的配置	符号	参数	条件	最小值	最大值	单位	
01 (50MHz)	$f_{max(IO)out}$	最大频率 ⁽²⁾	$C_L=30pF,$ $V_{DD}=2.7V\sim 3.6V$		50	MHz	
			$C_L=50pF,$ $V_{DD}=2.7V\sim 3.6V$		30		
			$C_L=50pF,$ $V_{DD}=2V\sim 2.7V$		20		
	$t_{r(IO)out}$	输出高至低电平的下降时间	$C_L=30pF,$ $V_{DD}=2.7V\sim 3.6V$			5	nS
			$C_L=50pF,$ $V_{DD}=2.7V\sim 3.6V$			8	
			$C_L=50pF,$ $V_{DD}=2V\sim 2.7V$			12	
	$t_{r(IO)out}$	输出低至高电平的上升时间	$C_L=30pF,$ $V_{DD}=2.7V\sim 3.6V$			5	
			$C_L=50pF,$ $V_{DD}=2.7V\sim 3.6V$			8	
			$C_L=50pF,$ $V_{DD}=2V\sim 2.7V$			12	

MODEx[1: 0] 的配置	符号	参数	条件	最小值	最大值	单位
10 (20MHz)	$f_{\max(\text{IO})\text{out}}$	最大频率 ⁽²⁾	$C_L=50\text{pF}$, $V_{DD}=2\text{V}\sim 3.6\text{V}$		20	MHz
	$t_{\text{f}(\text{IO})\text{out}}$	输出高至低电平的下降时间			20 ⁽³⁾	nS
	$t_{\text{r}(\text{IO})\text{out}}$	输出低至高电平的上升时间			20 ⁽³⁾	
11 (10MHz)	$f_{\max(\text{IO})\text{out}}$	最大频率 ⁽²⁾	$C_L=50\text{pF}$, $V_{DD}=2\text{V}\sim 3.6\text{V}$		10	MHz
	$t_{\text{f}(\text{IO})\text{out}}$	输出高至低电平的下降时间			25 ⁽³⁾	nS
	$t_{\text{r}(\text{IO})\text{out}}$	输出低至高电平的上升时间			25 ⁽³⁾	
	t_{EXTIpw}	EXTI 控制器检测到外部信号的脉冲宽度		10		nS

1. I/O 端口的速度可以通过 MODEx[1: 0] 配置。参见本芯片参考手册中有关 GPIO 端口配置寄存器的说明。
2. 最大频率在图 11 中定义。
3. 由设计保证，不在生产中测试。

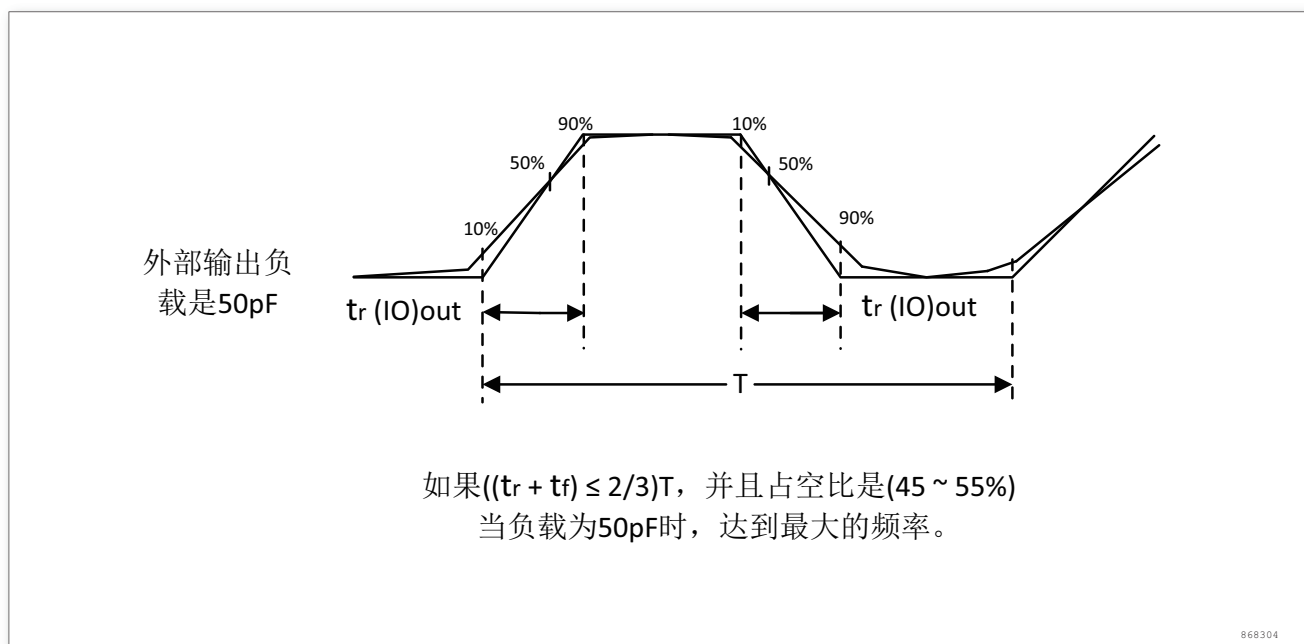


图 11. 输入输出交流特性定义

5.3.12 NRST 引脚特性

NRST 引脚输入驱动使用 CMOS 工艺，它连接了一个不能断开的上拉电阻， R_{PU} 。

除非特别说明，下表列出的参数是使用环境温度和 V_{DD} 供电电压符合表 11 的条件测量得到。

表 31: NRST 引脚特性

符号	参数	条件	最小值	典型值	最大值	单位
$V_{IL(\text{NRST})}^{(1)}$	输入低电平电压		-0.5		0.8	V
$V_{IH(\text{NRST})}^{(1)}$	NRST 输入高电平电压		2		V_{DD}	
$V_{\text{hys}(\text{NRST})}$	NRST 施密特触发器电压迟滞			$0.2V_{DD}$		V

符号	参数	条件	最小值	典型值	最大值	单位
R_{PU}	弱上拉等效电阻 ⁽²⁾	$V_{IN} = V_{SS}$		15		k Ω
$V_{F(NRST)}$ ⁽¹⁾	NRST 输入滤波脉冲				100	ns
$V_{NF(NRST)}$ ⁽¹⁾	NRST 输入非滤波脉冲		300			

1. 由设计保证，不在生产中测试。
2. 上拉电阻是设计为一个真正的电阻串联一个可开关的 PMOS 实现。这个 PMOS/NMOS 开关的电阻很小 (约占 10%)。

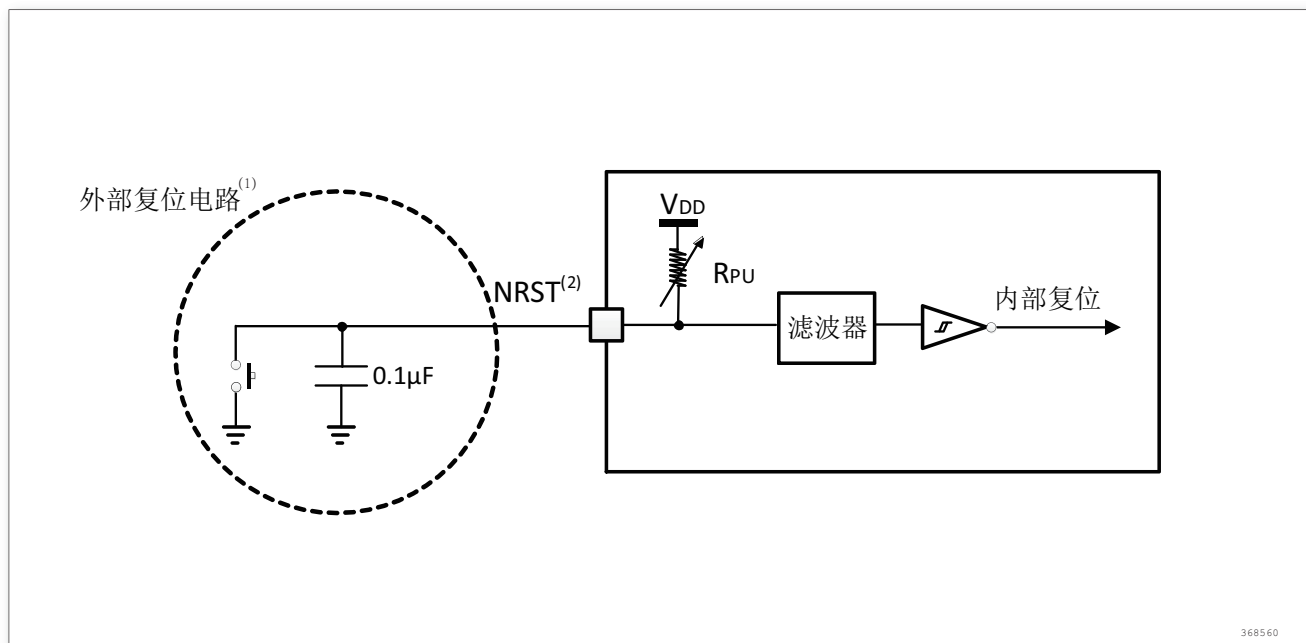


图 12. 建议的 NRST 引脚保护

1. 复位网络是为了防止寄生复位。
2. 用户必须保证 NRST 引脚的电位能够低于表 31 中列出的最大 $V_{IL(NRST)}$ 以下，否则 MCU 不能得到复位。

5.3.13 TIM 定时器特性

下表列出的参数由设计保证。

有关输入输出复用功能引脚 (输出比较、输入捕获、外部时钟、PWM 输出) 的特性详情，参见小节 5.3.11。

表 32: TIMx⁽¹⁾ 特性

符号	参数	条件	最小值	最大值	单位
$t_{res(TIM)}$	定时器分辨时间		1		$t_{TIMxCLK}$
$t_{res(TIM)}$	定时器分辨时间	$f_{TIMxCLK}=48MHz$	10.4		ns
f_{EXT}	CH1 至 CH4 的定时器外部时钟频率		0	$f_{TIMxCLK}/2$	MHz
		$f_{TIMxCLK}=48MHz$	0	24	
ReS_{TIM}	定时器分辨率			16	位

符号	参数	条件	最小值	最大值	单位
t_{COUNTER}	当选择了内部时钟时, 16 位 计数器时钟周期		1	65536	t_{TIMxCLK}
		$f_{\text{TIMxCLK}}=48\text{MHz}$	0.0104	682	μS
$t_{\text{MAX_COUNT}}$	最大可能的计数			65536×65536	t_{TIMxCLK}
		$f_{\text{TIMxCLK}}=48\text{MHz}$		44.7	S

1. TIMx 是一个通用的名称, 代表 TIM1,2,3,14,16,17。

5.3.14 通信接口

I²C

除非特别说明, 表 33 列出的参数是使用环境温度, f_{PCLK1} 频率和 V_{DD} 供电电压符合表 11 的条件测量得到。

I²C 接口符合标准 I²C 通信协议, 但有如下限制: SDA 和 SCL 不是‘真’的引脚, 当配置为开漏输出时, 在引出脚和 V_{DD} 之间的 PMOS 管被关闭, 但仍然存在。

I²C 接口特性列于表 33, 有关输入输出复用功能引脚 (SDA 和 SCL) 的特性详情, 参见小节 5.3.11。

表 33: I²C 接口特性

符号	参数	标准 I ² C ⁽¹⁾		快速 I ² C ⁽¹⁾⁽²⁾		单位
		最小值	最大值	最小值	最大值	
$t_{\text{w(SCLL)}}$	SCL 时钟低时间	4.7		1.3		μS
$t_{\text{w(SCLH)}}$	SCL 时钟高时间	4.0		0.6		μS
$t_{\text{su(SDA)}}$	SDA 建立时间	250		100		ns
$t_{\text{h(SDA)}}$	SDA 数据保持时间	0 ⁽³⁾		0 ⁽⁴⁾	900 ⁽³⁾	
$t_{\text{r(SDA)}} t_{\text{r(SDL)}}$	SDA 和 SCL 上升时间		1000	$2.0+0.1C_{\text{b}}$	300	
$t_{\text{f(SDA)}} t_{\text{f(SDL)}}$	SDA 和 SCL 下降时间		300		300	
$t_{\text{h(STA)}}$	开始条件保持时间	4.0		0.6		μS
$t_{\text{su(STA)}}$	重复的开始条件建立时间	4.7		0.6		
$t_{\text{su(STO)}}$	停止条件建立时间	4.0		0.6		
$t_{\text{w(STO:STA)}}$	停止条件至开始条件的时 间 (总线空闲)	4.7		1.3		
C_{b}	每条总线的容性负载		400		400	pF

1. 由设计保证, 不在生产中测试。
2. 为达到标准模式 I²C 的最大频率, f_{PCLK1} 必须大于 3MHz。为达到快速模式 I²C 的最大频率, f_{PCLK1} 必须大于 12MHz。
3. 如果不要拉长 SCL 信号的低电平时间, 则只需满足开始条件的最大保持时间。
4. 为了跨越 SCL 下降沿未定义的区域, 在 MCU 内部必须保证 SDA 信号上至少 300nS 的保持时间。

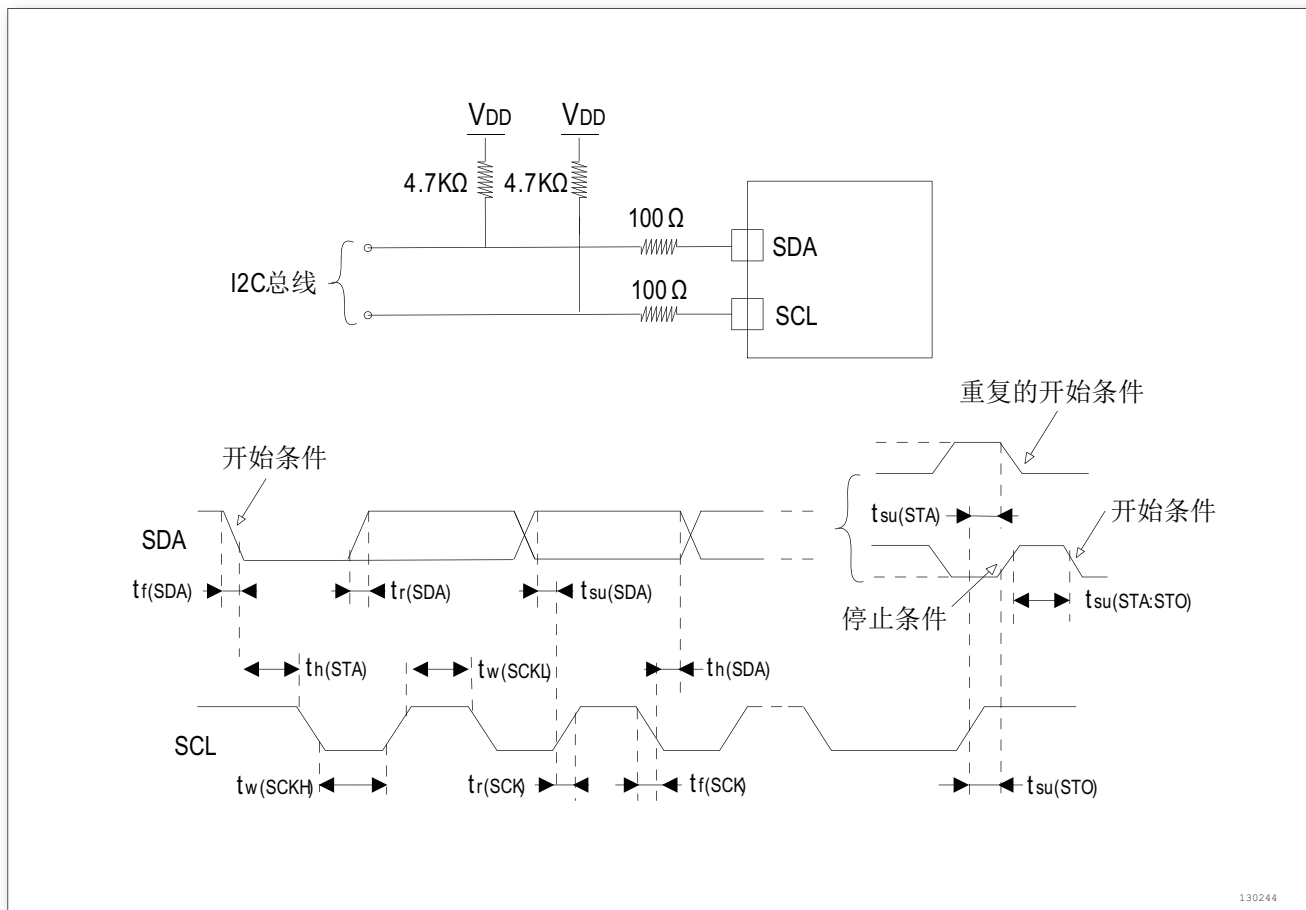


图 13. I²C 总线交流波形和测量电路⁽¹⁾

1. 测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

SPI 接口特性

除非特别说明，表 34 列出的参数是使用环境温度，f_{PCLKx} 频率和 V_{DD} 供电电压符合表 11 的条件测量得到。

有关输入输出复用功能引脚 (NSS、SCK、MOSI、MISO) 的特性详情，参见小节 5.3.11。

表 34: SPI 特性⁽¹⁾

符号	参数	条件	最小值	最大值	单位
f _{SCK} 1/t _c (SCK)	SPI 时钟频率	主模式	0	36	MHz
		从模式	0	18	
t _r (SCK) t _f (SCK)	SPI 时钟上升和下降时间	负载电容: C= 30pF		8	nS
t _{su} (NSS) ⁽²⁾	NSS 建立时间	从模式	4t _{PCLK}		
t _h (NSS) ⁽²⁾	NSS 保持时间	从模式	73		
t _w (SCKH) ⁽²⁾ t _w (SCKL) ⁽²⁾	SCK 高和低的时间	主模式, f _{PCLK} = 36MHz, 预分频系数 = 4	50	60	nS
t _{su} (MI) ⁽²⁾	数据输入建立时间, 主模式	SPI1	1		
t _{su} (SI) ⁽²⁾	数据输入建立时间, 从模式		1		

符号	参数	条件	最小值	最大值	单位
$t_{h(MI)}^{(2)}$	数据输入保持时间, 主模式	SPI1	1		nS
$t_{h(SI)}^{(2)}$	数据输入保持时间, 从模式		3		nS
$t_{a(SO)}^{(2)(3)}$	数据输出访问时间	从模式, $f_{PCLK} = 36MHz$, 预分频系数 = 4	0	55	nS
		从模式, $f_{PCLK} = 24MHz$		$4t_{PCLK}$	
$t_{dis(SO)}^{(2)(4)}$	数据输出禁止时间	从模式	10		
$t_{v(SO)}^{(2)(1)}$	数据输出有效时间	从模式 (使能边沿之后)		25	
$t_{v(MO)}^{(2)(1)}$	数据输出有效时间	主模式 (使能边沿之后)		3	
$t_{h(SO)}^{(2)}$	数据输出保持时间	从模式 (使能边沿之后)	25		
$t_{h(MO)}^{(2)}$		主模式 (使能边沿之后)	4		

1. 重映射的 SPI1 特性需要进一步确定。
2. 由综合评估得出, 不在生产中测试。
3. 最小值表示驱动输出的最小时间, 最大值表示正确获得数据的最大时间。
4. 最小值表示关闭输出的最小时间, 最大值表示把数据线置于高阻态的最大时间。

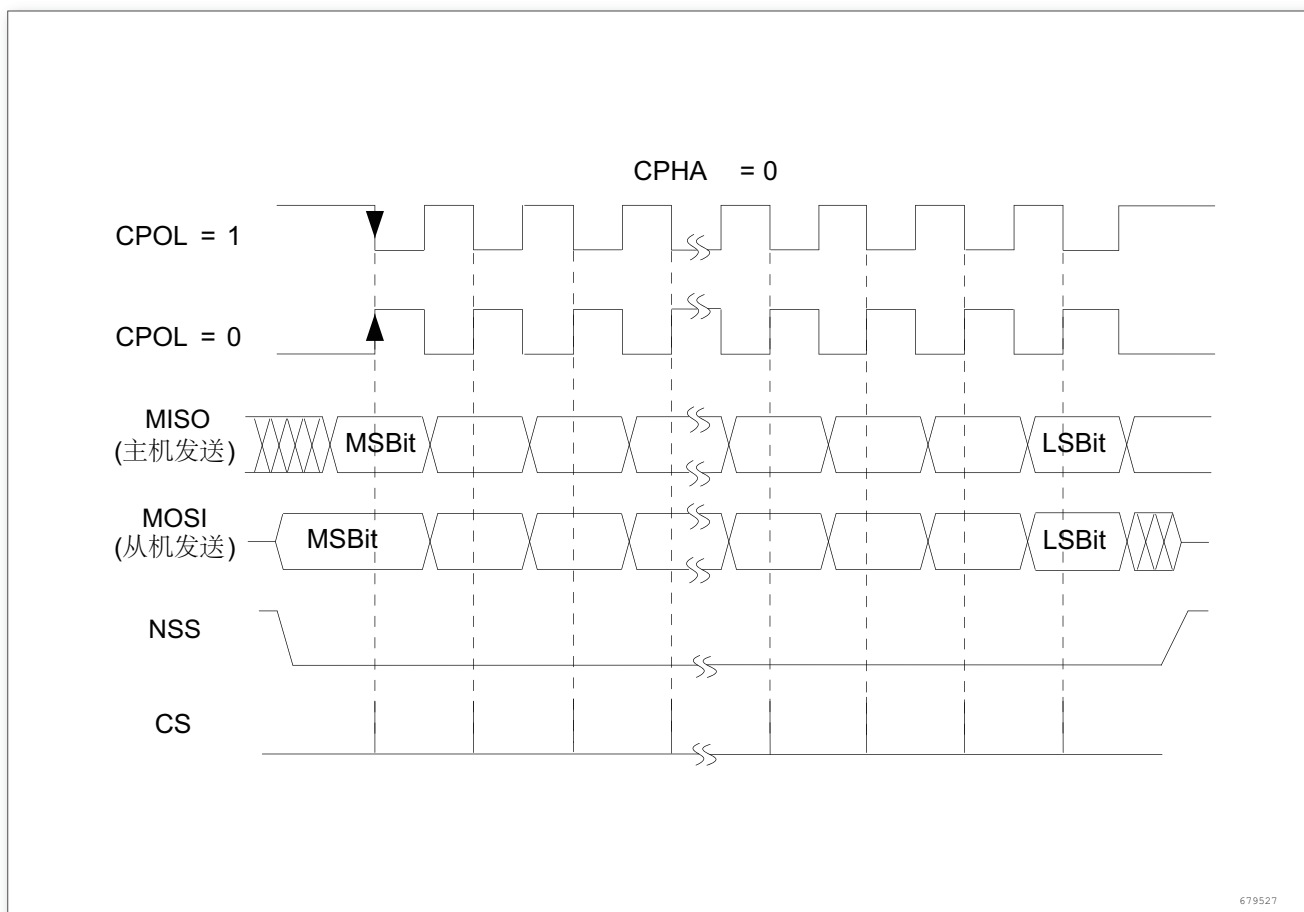


图 14. SPI 时序图-从模式和 CPHA = 0

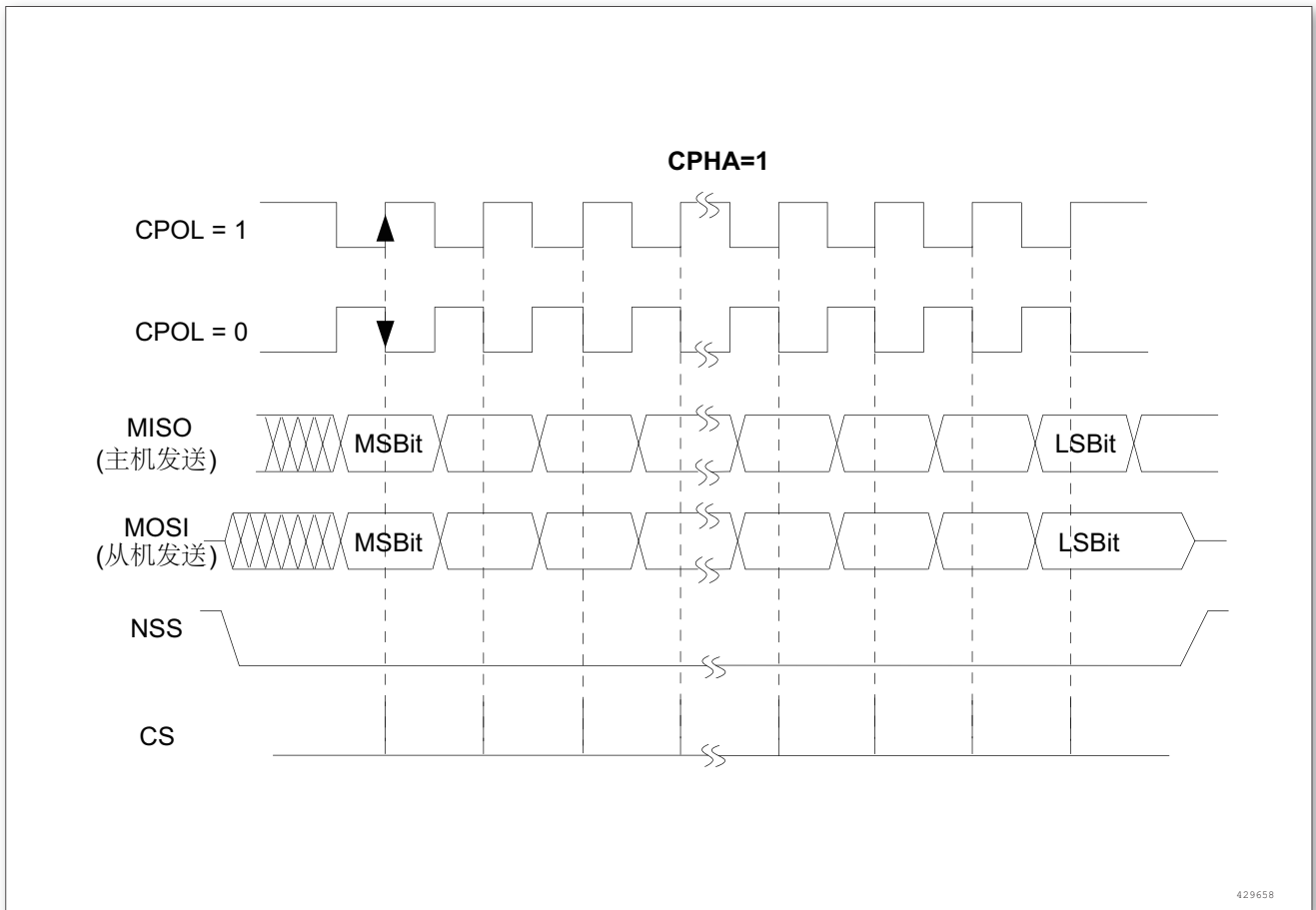


图 15. SPI 时序图-从模式和 CPHA = 1⁽¹⁾

1. 测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

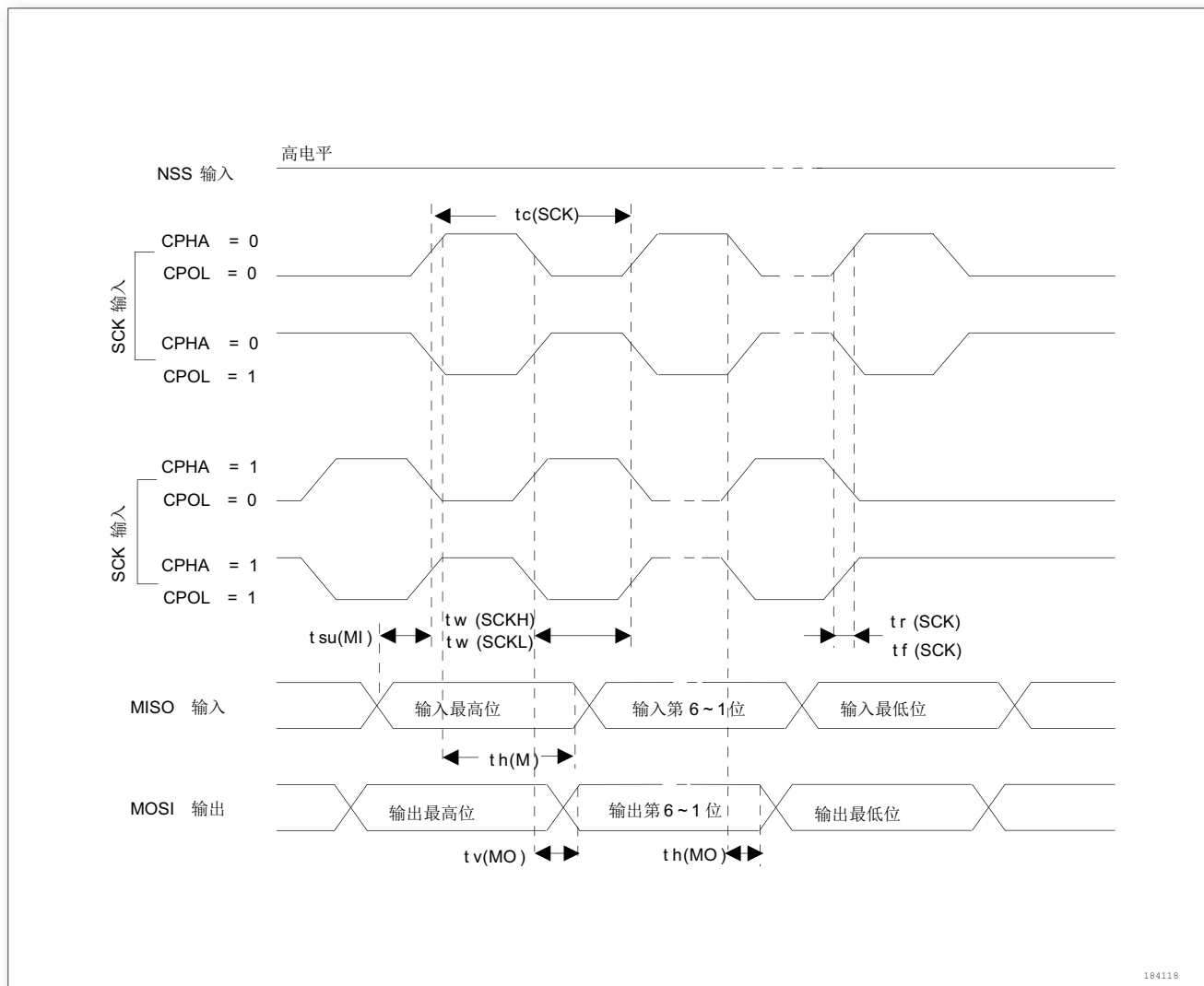


图 16. SPI 时序图-主模式⁽¹⁾

1. 测量点设置于 CMOS 电平：0.3V_{DD} 和 0.7V_{DD}。

USB 特性

表 35: USB 启动时间

符号	参数	最大值	单位
t _{START} ⁽¹⁾	USB 收发器启动时间	1	μs

1. 由设计保证，不在生产中测试。

5.3.15 24 位 ADC 特性

ADC 功能说明

ADC 包括一个 ADC 信号链，具有 5 个外部输入通道，可编程低噪声增益放大器 (PGA)，以及一个 Σ - Δ ADC 和数字滤波器 Digital Filter；其中差分输入端口 MUXP/MUXN 之后有电平移位模块 LVSHIFT，可以对地轨附近的输入信号移位后送入 PGA，PGA 和 ADC 调制器增益具有多种选择，数字滤波器可配置多种输出速率。除此之外，

ADC 内置有低温漂 LDO，基准电压 VREF 和高精度振荡器 OSC。

表 36: ADC1 电气特性

参数	条件	最小值	典型值	最大值	单位	
模拟输入	满幅输入电压		$\pm VREF/Gain$		V	
	共模输入电压		参见 PGA&ADC 一节			
	差分输入阻抗		100		MΩ	
PGA&ADC	分辨率	无失码	24		Bits	
	Data Rate		12.5	50	200	SPS
	建立时间			4		转换周期
	噪声性能	Gain32*2 200Hz		95		nV
		Gain1*1 200Hz		2.3		uV
	失调误差	Gain=128		±8		uV
Gain=1			±100		uV	
PGA&ADC	积分线性度	Gain=128		0.0015		%of FS
	失调误差漂移	Gain=128		±0.5		nV/°C
		Gain=1		0.4		uV/°C
	增益误差	Gain=128		±5		%
		Gain=1		±1		%
	增益误差漂移	Gain=128		8		ppm/°C
		Gain=1		TBD		ppm/°C
	输入 REFP		VLDO/2		AVDD+0.1	
输入 REFN		AGND-0.1	AGND	VLDO/2		
LDO&VREF	VLDO 电压	VLDOS=11	2.97	3.00	3.03	V
	VREF 电压		1.212	1.225	1.238	V
整体功耗	工作电流	ADC 普通模式		1		mA
	工作电流	ADC 性能模式		1.5		mA
	工作电流	Power down		0.2	1.3	uA

功能描述

- 输入选择

ADC 模拟输入通道及内部若干信号分别通过 MUXP 和 MUXN 后，再经过输入电平移位模块 LVSHIFT 接到 PGA 正端和负端，如图 17 所示

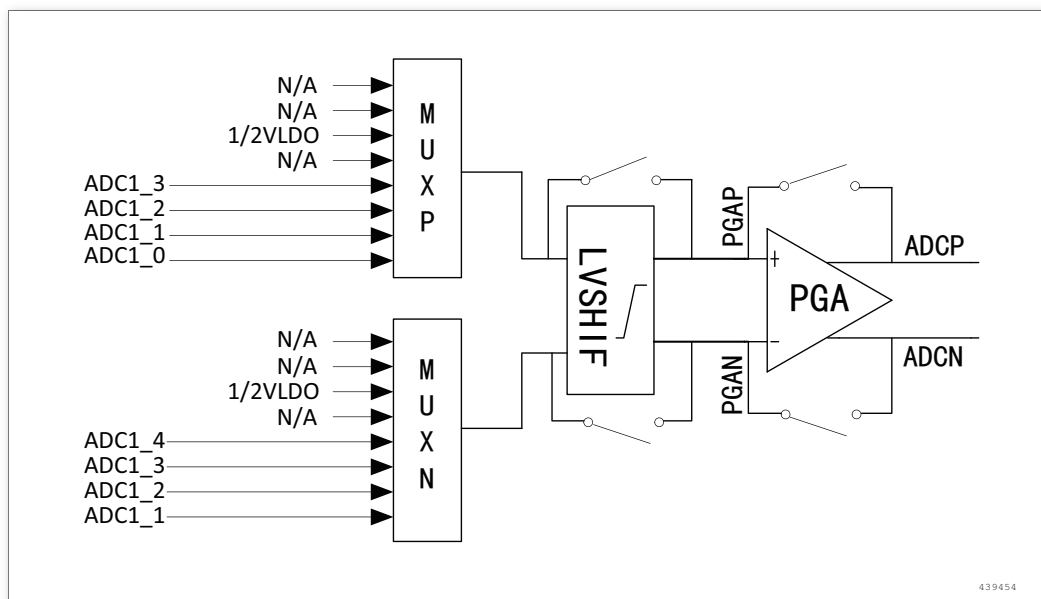


图 17. 模拟输入结构图

输入信号中 ADC1_x (x=0~4) 来自相应的模拟输入引脚，可以任意组合成差分对；1/2 VLDO 用于内短进行失调校正。

- 输入电平移位器

在某些应用场合，输入信号的共模电压接近地轨、或者输入为一端接地的单端信号，此时 PGA 将不能将信号进行正常放大。输入电平移位模块可以将上述接近地轨的信号的共模电压抬高约 0.9V 使其可以被 PGA 正常放大。

如图 18所示，当 LVSHIFT=1 时，INP 和 INN 经过电平移位器之后输出给 PGAP 和 PGAN；反之则 INP 和 INN 直通 PGAP 和 PGAN；LVSCP 控制是斩波控制位，开启后可以减小由于电平移位器自身引入的失调和低频噪声。

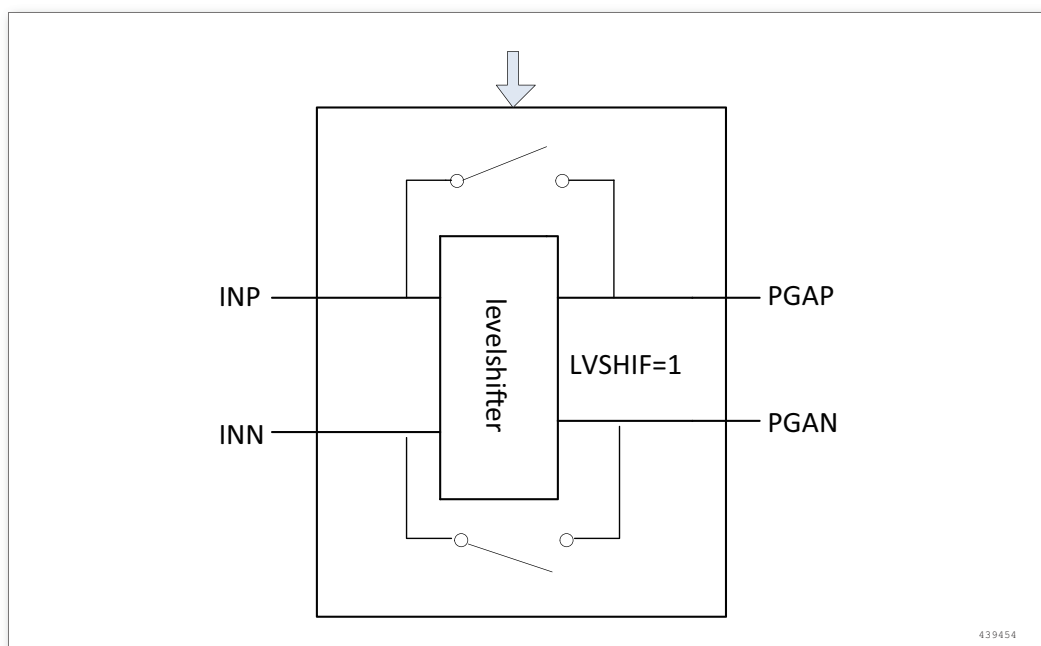


图 18. 电平移位模块

- PGA 和 ADC

ADC 通过一个低噪声，低漂移的 PGA 放大器将输入信号放大后送入一个 2 阶的 Σ - Δ ADC 进行模数转换。如图 19 所示为 PGA 和 ADC 的结构图，其中 PGA 的增益由 PGA[3:2] 选择，具有 1/16/32 三档可选；调制器的增益由 ADGN[1:0] 所选择、具有 1/2/4/8 四档可选；另外 ADC 参考电压来自输入的 REFP-REFN。

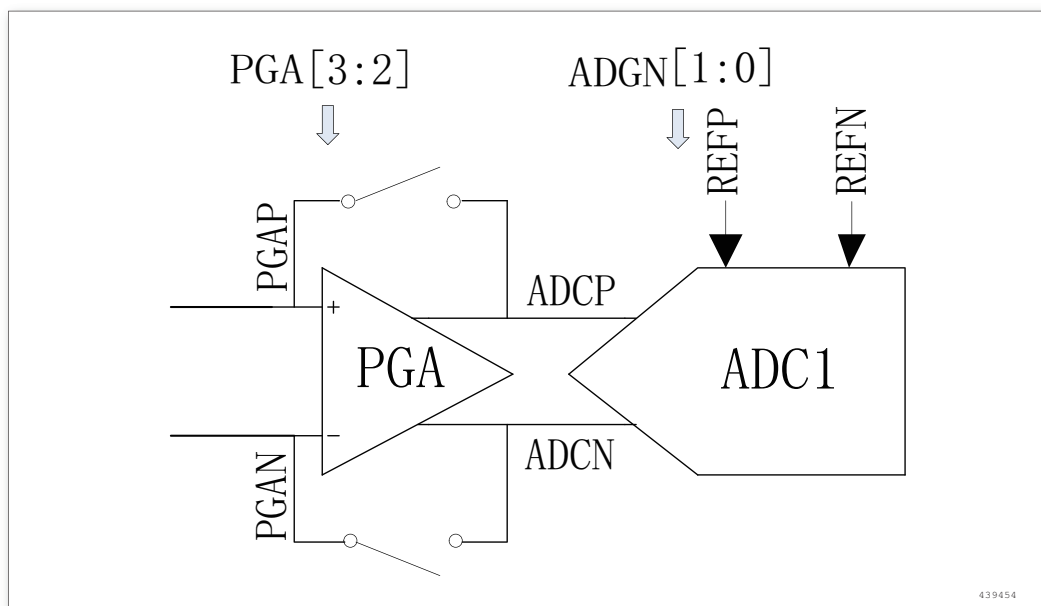


图 19. PGA 和 ADC 结构图

输入信号的增益 Gain 由 PGA 和 ADC 各自增益的乘积决定的。

$$Gain = PGA \times ADGN \quad (1)$$

为了提高信号的建立表现，PGA 输出到 ADC 调制器输入还有 Buffer 作为缓冲；ADC1 的差分满幅输入范围 FS 由 Gain 决定，

$$FS = (REFP - REFN) / Gain \quad (2)$$

若差分输入通道 $ADC1_{x(P)} - ADC1_{x(N)} = V_{in}$ ，则为保证不溢出， V_{in} 的范围必须小于 FS。

在 PGA 开启的情况 (包括 $PGA \neq 1$ 和 $PGA = 1$) 下，输入通道的输入信号范围需要保证 PGA 能够正常工作，一般

$$AVDD1 - 1.0V > ADC1_x > AGND + 0.2V \quad (3)$$

输入信号的共模电压为 VCM， $VCM = (ADC1_{x(P)} + ADC1_{x(N)}) / 2$ ，则 VCM 的范围也受 PGA 决定，

$$AVDD1 - 1.0V - V_{in} * PGA / 2 > VCM > AGND + 0.2V + V_{in} * PGA / 2 \quad (4)$$

以上各种情况还会影响输入通道的等效输入阻抗，详细请参考表 37。

表 37: PGA 和 ADGN 与 Gain 及输入信号的关系

Gain=PGA*ADGN			BUFBP	输入阻抗	输入信号范围	共模输入范围
1	1	1	0	>100Mohm	Equation 3	Equation 4
2	1	2	0			
4	1	4	0			
8	1	8	0			
16	16	1	0			
32	32	1	0			
64	32	2	0			
128	32	4	0			

当输入信号接近地轨，例如单端信号，同时又希望开启 PGA 以获得大的 Gain，可以开启 LVSHIFT 功能，可以将输入信号上移约 0.9V 后送入 PGA 中，这也等效于开启 LVSHIFT 功能后，开启 PGA 情况下的输入信号下限下移约 0.9V。ADC1 采用 2 阶 Σ - Δ 调制器实现，内部采样频率为 331.11KHz (普通模式) 或 662.22KHz(性能模式)。

- 数字滤波器

从 Σ - Δ ADC 出来的数据是 1 位的高速比特流数据，并且包含了大量的高频噪声，因此需要数字滤波器对该比特流数据进行滤波和比特率转换，将高频噪声滤除、同时完成降采样，将 1 位高速比特流数据变成 24bit 的二进制码数据。这个工作通过多阶的 COMB 滤波器完成。COMB 滤波器之后可以选择是否使用滤波器进一步进行滤波。

- 建立时间

正常模式下数字 COMB 在低速是 3 阶 (12.5Hz、25Hz、50Hz、100Hz)，高速时是 4 阶或 5 阶 (200Hz)；数据建立时间跟 COMB 的阶数有关，3 阶 COMB 的数据在第三个能够建立好；4 阶 COMB 的数据在第四个能够建立好；5 阶 COMB 的数据在第五个能够建立好。

如果 FIL_EN[2] 设置为 1，数据建立时间更长，所需时间如下表所示（数据误差收敛到在万分之一以内的时间）。

表 38: 数据建立时间表

CON2	CON1	建立时间
0	0	COMB 数据建立时间 +300ms
0	1	COMB 数据建立时间 +590ms
1	0	COMB 数据建立时间 +230ms
1	1	COMB 数据建立时间 +460ms

- 参考电压源

ADC1 内部有一个低漂移的 VLDO，输出 3.0V，可以用于给外部桥式传感器供电，负载电流最大 10mA。内部还有一个参考电压源 VREF，输出为 1.225V。VLDO 还可以用于测量作为 ADC 的外部参考电压接到 REFP（外接电容提高精度）。参考电压源的输出电压初始精度为 $\pm 1\%$ ，典型的温漂系数为 30ppm/ $^{\circ}\text{C}$ (-40 $^{\circ}\text{C}$ ~+85 $^{\circ}\text{C}$)。

- 内部振荡器

ADC1 内部有一个低漂移的 RC 振荡器，频率为 7.45MHz，在 -40 $^{\circ}\text{C}$ ~85 $^{\circ}\text{C}$ 变化范围内漂移小于 2%，在

2.4~3.6V 的 VDD 电压范围内，变化小于 1%。

- 多种工作模式

ADC1 提供了多种工作模式可以选择，包括性能模式、正常模式。性能模式下，采样频率为 662.22KHz，此时 ADC 信号链精度最高，增益温漂、线性表现最好，同时 ADC 信号链功耗达到 1.5mA，可应用于需要 12.5Hz SPS，10000 点以上分度的测量场合。正常模式对性能和功耗进行了平衡，采样频率降低为 331.11KHz，可应用于 10000 分度以下测量场合（例如人体称重），ADC 信号链功耗为 1.2mA。

转化有效位

表 39: ADC 信号链不同 GAIN 及 DR 下的有效位 (ENOB)

Gain=PGA*ADGN			BUFBP	DR		
				12.5Hz	50Hz	200Hz
1	1	1	0	22.3	21.2	20.9
2	1	2	0	21.6	20.6	19.7
4	1	4	0	21.2	20.3	19.3
8	1	8	0	20.3	19.7	18.8
16	16	1	0	22	21.2	20.3
32	32	1	0	21.4	20.8	19.7
64	32	2	0	20.8	20	19
128	32	4	0	20	19.5	18.6

1. AVDD=3.3V, VLDO=3V, VIN=±VS/Gain, Tc=25°C
2. 性能模式条件下；信号源为桥式电阻，输入共模电压 VS/2，内阻为 2Kohm，共模电容 100pF，差模滤波电容为 0.1uF；

5.3.16 比较器特性

表 40: 比较器特性

符号	参数	寄存器配置	最小值	典型值	最大值	单位
HYST	迟滞	00		0		mV
		01		15		mV
		10		30		mV
		11		90		mV
OFFSET	失调电压	00	0.091	0.213	0.358	mV
		01	3.23	7.51	12.08	mV
		10	9.79	15	20.8	mV
		11	34.25	47.4	62.22	mV
DELAY ⁽¹⁾	传播延时	00		80		nS
		01		51		nS
		10		26		nS
		11		9		nS

符号	参数	寄存器配置	最小值	典型值	最大值	单位
$I_q^{(2)}$	工作电流均值	00		4.5		μA
		01		4.4		μA
		10		4.4		μA
		11		4.4		μA

1. 输出翻转 50% 与输入翻转的时间差。
2. 总消耗电流均值，工作电流。

6 封装特性

6.1 封装 QFN32

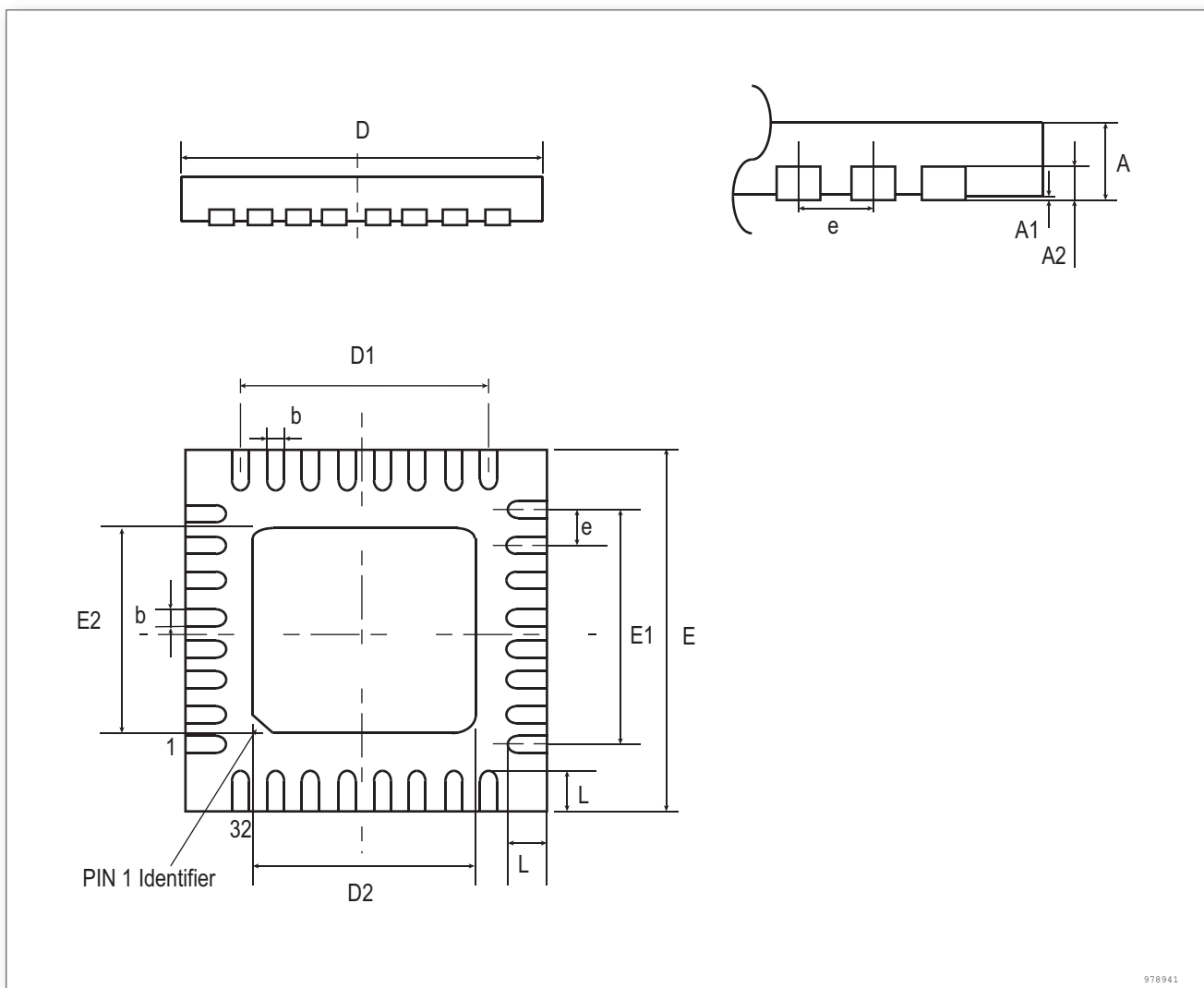


图 20. QFN32 , 32 脚方形扁平无引线封装外形封装图

1. 图不是按照比例绘制。
2. 尺寸单位为毫米。

表 41: QFN32 尺寸说明

标号	毫米		
	最小值	典型值	最大值
A	0.7	0.75	0.80
A1	0.00	0.035	0.05
b	0.20	0.25	0.30
D	4.90	5.00	5.10
D1		3.50	
D2	3.40	3.50	3.60

ZML166N32A

内置 24 位 ADC 的 Cortex M0 核混合信号微控制器

DataSheet

标号	毫米		
	最小值	典型值	最大值
E	4.90	5.00	5.10
E1		3.50	
E2	3.40	3.50	3.60
e		0.5	
L	0.30	0.40	0.50
N	引脚数目 = 32		



7 型号命名

该芯片的命名规则如下图所示。

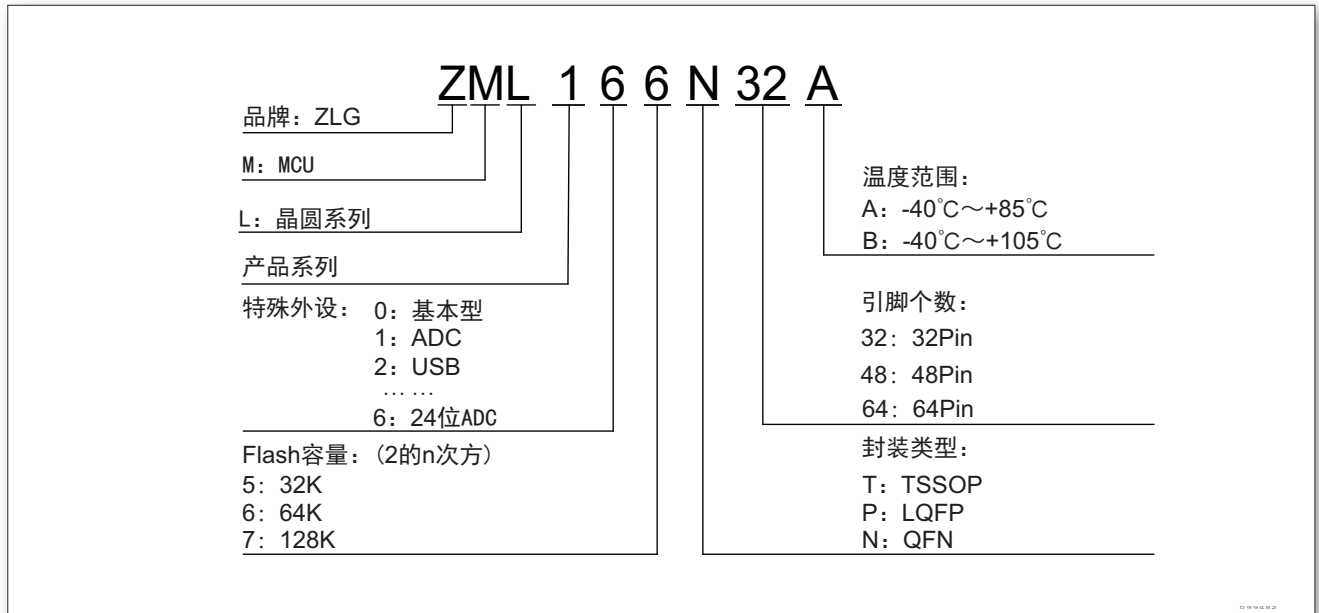


图 21. ZML166N32A 型号命名

8 表格

2	ZML166 产品功能和外设配置	3
3	定时器功能比较	5
4	引脚定义	11
5	PA 端口功能复用	12
6	PB 端口功能复用	13
7	存储器映像	14
8	电压特性	18
9	电流特性	18
10	温度特性	19
11	通用工作条件	19
12	上电和掉电时的工作条件	20
13	内嵌复位和电源控制模块特性	20
14	停机和待机模式下的典型和最大电流消耗 ⁽²⁾	21
15	运行模式下的典型电流消耗, 数据处理代码从内部 Flash 中运行	22
16	睡眠模式下的典型电流消耗, 数据处理代码从内部 Flash 或 RAM 中运行	22
17	内置外设的电流消耗 ⁽¹⁾	23
18	高速外部用户时钟特性	23
19	HSE 振荡器特性 ⁽¹⁾⁽²⁾	24
20	HSI 振荡器特性 ⁽¹⁾⁽²⁾	25
21	LSI 振荡器特性 ⁽¹⁾	25
22	低功耗模式的唤醒时间	26
23	PLL 特性 ⁽¹⁾	26
24	闪存存储器特性	26
25	闪存存储器寿命和数据保存期限 ⁽¹⁾⁽²⁾	27
26	EMS 特性	27
27	ESD 特性	28
28	I/O 静态特性	29
29	输出电压特性	30
30	输入输出交流特性 ⁽¹⁾	30
31	NRST 引脚特性	31
32	TIMx ⁽¹⁾ 特性	32
33	I ² C 接口特性	33
34	SPI 特性 ⁽¹⁾	34
35	USB 启动时间	37
36	ADC1 电气特性	38
37	PGA 和 ADGN 与 Gain 及输入信号的关系	41
38	数据建立时间表	41
39	ADC 信号链不同 GAIN 及 DR 下的有效位 (ENOB)	42
40	比较器特性	42
41	QFN32 尺寸说明	44

9 图片

1	模块框图	9
2	时钟树	10
3	QFN32 引脚分布	11
4	引脚的负载条件	16
5	引脚输入电压	17
6	供电方案	17
7	电流消耗测量方案	18
8	待机模式下的典型电流消耗在 $V_{DD} = 3.3V$ 时与温度的对比	21
9	外部高速时钟源的交流时序图	24
10	使用 8MHz 晶体的典型应用	25
11	输入输出交流特性定义	31
12	建议的 NRST 引脚保护	32
13	I ² C 总线交流波形和测量电路 ⁽¹⁾	34
14	SPI 时序图-从模式和 CPHA = 0	35
15	SPI 时序图-从模式和 CPHA = 1 ⁽¹⁾	36
16	SPI 时序图-主模式 ⁽¹⁾	37
17	模拟输入结构图	39
18	电平移位模块	39
19	PGA 和 ADC 结构图	40
20	QFN32 , 32 脚方形扁平无引线封装外形封装图	44
21	ZML166N32A 型号命名	46

10 免责声明

应用信息

本应用信息适用于 ZML166N32A 的开发设计。客户在开发产品前，必须根据其产品特性给予修改并验证。

修改文档的权利

本着为用户提供更好服务的原则，广州致远微电子有限公司（下称“致远微电子”）在本手册中将尽可能地向用户呈现详实、准确的产品信息。但鉴于本手册的内容具有一定的时效性，致远微电子不能完全保证该文档在何时段的时效性与适用性。致远微电子有权在没有通知的情况下对本手册上的内容进行更新，恕不另行通知。为了得到最新版本的信息，请尊敬的用户定时访问立功科技官方网站或者与致远微电子工作人员联系。感谢您的包容与支持！

销售与服务网络

广州立功科技股份有限公司

地址：广州市天河区龙怡路 117 号银汇大厦 16 楼
邮编：510630
网址：www.zlmcu.com



全国服务热线电话:400-888-2705

华南地区

广州总部

广州市天河区龙怡路 117 号银汇大厦 16 楼

华南汽车

深圳市坪山区坪山大道新宙邦科技大厦 6 楼西南侧

厦门办事处

厦门市思明区厦禾路 855 号英才商厦 618 室

深圳分公司

深圳市宝安区海秀路 21 号龙光世纪大厦 A 座 1205 室

华东地区

上海分公司

上海市黄浦区北京东路 668 号科技京城东座 12E 室

苏州办事处

江苏省苏州市工业园区苏州大道东 181 号商旅大厦 1508 室

南京分公司

南京市秦淮区汉中路 27 号友谊广场 17 层 F、G 区

合肥办事处

安徽省合肥市蜀山区黄山路 665 号汇峰大厦 1607

杭州分公司

杭州市西湖区紫荆花路 2 号杭州联合大厦 A 座
4 单元 508

宁波办事处

浙江省宁波市高新区星海南路 16 号轿辰大厦 1003

华北、东北地区

北京分公司

北京市海淀区紫金数码园 3 号楼 (东华合创大厦)
8 层 0802 室

天津办事处

天津市河东区十一经路与津塘公路交口鼎泰大厦
1004 室



山东办事处

山东省青岛市李沧区枣园路 11 号银座华府 1 号楼
2 单元 1901 室

沈阳办事处

沈阳市浑南新区营盘西街 17 号万达广场 A4 座 2722
室

华中地区

武汉分公司

武汉市武昌区武珞路 282 号思特大厦 807 室

西安办事处

西安市长安区西部大道阳光天地 23 号楼 2206 室

郑州办事处

河南省郑州市中原区建设西路华亚广场 118 号 1
号楼 3 单元 1302 室

长沙办事处

湖南省长沙市岳麓区沁园春·御院 5 栋 3 单元 1806 室

西南地区

重庆办事处

重庆市渝北区龙溪街道新溉大道 18 号山顶国宾
城 11 幢 4-14

成都办事处

成都市高新区天府大道 500 号东方希望天祥 C 座 3521

请您用以上方式联系我们，我们会为您安排样机现场演示，感谢您对我公司产品的关注！

X-ON Electronics

Largest Supplier of Electrical and Electronic Components

Click to view similar products for [EEPROM](#) category:

Click to view products by [Zhiyuan](#) manufacturer:

Other Similar products are found below :

[M29F040-70K6](#) [718278CB](#) [718620G](#) [AT28C256-15PU-ND](#) [444358RB](#) [444362FB](#) [BR93C46-WMN7TP](#) [EEROMH](#) [AT24C256BY7-YH-T](#)
[CAT25320YIGT-KK](#) [LE2464DXATBG](#) [CAS93C66VP2I-GT3](#) [CAT24S128C4UTR](#) [S-25C040A0I-I8T1U](#) [S-93S66A0S-J8T2UD](#)
[N21C21ASNDT3G](#) [NV24M01MUW3VTBG](#) [AT93C86A-10SU-1.8-T](#) [S-93A66BD0A-K8T2U3](#) [CAT24C512C8UTR](#) [GT24C04A-2ZLI-TR](#)
[BL24CM1A-NTRC](#) [FM24C64D-DN-T-G](#) [HG24C08M/TR](#) [BL24C08F-RRRC](#) [HG24C04MM/TR](#) [BL24C04F-NTRC](#) [HG24C02MM/TR](#)
[HG24C128MM/TR](#) [HG24C16MM/TR](#) [HG24C08MM/TR](#) [BL24C16F-NTRC](#) [BL24C08A-NTRC](#) [BL24C08F-NTRC](#) [BL24C04A-DATC](#)
[BL24C64A-NTRC-1](#) [BL24C02F-NTRC](#) [FM24C128D-DN-T-G](#) [M24C64-DFCT6TPK](#) [M95080-RMC6TG](#) [AT24C01D-MAHM-T](#)
[AT24C08D-MAHM-T](#) [BR24G02FVJ-3GTE2](#) [BR24L16FJ-WE2](#) [BR24L16FVJ-WE2](#) [BR24S256F-WE2](#) [BR93L56RFV-WE2](#) [BR93L66F-](#)
[WE2](#) [BR93L76RFV-WE2](#) [34AA02T-IMNY](#)